CIRCUÍTOS DE MICROS

"CIRCUITOS DE MICROS-APPLE/KT/CP/IBM-PC" apresenta e analisa em detalhes os esquemas elétricos das quatro principais linhas de microcomputadores, das quais derivam praticamente todos os micros nacionais. O micro original estrangeiro (APPLE II SINCLAIR ZX, TRS-80, IBMPC-XT) é tomado como base, com comentários sobre a versão nacional.

Cada computador tem seu diagrama de blocos e microprocessador analisados. Em seguida são apresentados os circuitos dos estágios, discutindo-se as funções e acompanhando o sinal. É feita também uma discrição da pinagem e funcionamento dos Cis envolvidos. Os periféricos são estudados separadamente, registrando-se conectores e sinais necessários para expansão.

A obra poderá ser usada como referência prática pela enorme quantidade de dados que coleciona e ilustra fartamente, ou ainda como texto didático sobre hardware de microcomputadores. De qualquer forma a leitura deste livro leva a um amadurecimento da formação em Eletrônica Digital, ao demonstrar o resultado prático das teorias nesta importante área.

Mais que a leitura de um livro, o leitor participa aqui da desmontagem e montagem destas poderosas máquinas que estão revolucionando a humanidade. Todo o prazer da intimidade com elas estão disponíveis nas páginas de "CIRCUITOS DE MICROS-APPLE/TK/CP/IBM-PC".

petit®
Petit Editora e Marketing Direto Ltda.
Av. Brig.Luiz Antonio, 383 - 2º a. - cj. 208 - fone: (011) 220-5678 - S.Paulo-SP

MAURÍCIO CARUZO REIS

circuítos DE MICROS

APPLE-TK-CP-IBM PC

petit

circuítos DE MICROS

APPLE - TK - CP - IBM PC

MAURÍCIO CARUZO REIS

LITEC
LIVRARIA EDITORA TÉCNICA LTDA.
Rua dos Timbiras, 257 - CEP 01208 - São Paulo
Caixa Postal 30869 - Tel.: 222-0477

REF. 1545 PREÇO 650,00

CAPA E DIAGRAMAÇÃO
FLÁVIO MACHADO

DESENHOS TÉCNICOS
JOSÉ CARLOS DA SILVA

PRIMEIRA TIRAGEM DA PRIMEIRA EDIÇÃO:
3.000 EXEMPLARES – 1987

Petit Editora e Marketing Direto Ltda.

CAIXA POSTAL 8414 – AG. CENTRAL – SP

IMPRESSO NO BRASIL EM GRÁFICA PRÓPRIA
Printed in Brazil

PETIT
Editora e Marketing Direto Ltda.
Av. Brig. Luiz Antonio, 383 – 2º
São Paulo – Capital
Cep 01317

TODOS OS DIREITOS RESERVADOS

É expressamente proibida a reprodução parcial ou integral sem a autorização do editor

1987

Para minha esposa

MARIA BÁRBARA

INDICE

PREFÁCIO 11
INTRODUÇÃO 13
PRIMEIRA PARTE — APPLE
CAPÍTULO 1 — SISTEMA APPLE II 17
Estágios
Disposição Física
Mapa da Memória
Chaves de Software
CAPÍTULO 2 — MICROPROCESSADOR 6502 27
Características gerais
Organização interna
Pinagem do 6502
Circuito do microprocessador
CAPÍTULO 3 — CLOCKS 35
Diagrama de blocos
Formas de onda
Circuíto gerador de clocks
CAPÍTULO 4 — MEMÓRIA RAM 45
Codificação de endereços de memória
Operações RAM
Circuítos de controles da RAM
Endereçamento RAM
Bancos RAM
Refresh
CAPÍTULO 5 — MEMÓRIA ROM 61
Endereços de Cis ROM
Decoficiação de endereços ROM
Circuíto de 12 bytes ROM
CAPÍTULO 6 — PERIFÉRICOS 67
Diagrama de blocos e endereços
Slots
Periféricos embutidos
Alto-falante
Gravador cassete
Game
Keyboard

CAPÍTULO 7 — VÍDEO 89
Modos de vídeo
Endereçamento de vídeo
Gerador de vídeo
Circuíto de Seleção do modo de vídeo
Circuíto modo TEXTO
Circuíto gráfico
Circuíto de multiplexação de modo
Circuíto de saída de vídeo

SEGUNDA PARTE — SINCLAIR ZX (TK)
CAPÍTULO 1 — SISTEMA ZX (TK 82/83/85) 105
Histórico
Estágios do ZX 80
Disposição física
Mapa de memória

CAPÍTULO 2 — MICROPROCESSADOR Z-80 115
Histórico
Registros do Z-80
Execução de instruções pelo Z-80
Pinagem do Z-80
Circuíto do microprocessador
Circuíto de clock

CAPÍTULO 3 — MEMÓRIA 125
Seleção de memória
Circuíto RAM
Circuíto ROM
Memória TK-82/TK-83

CAPÍTULO 4 — VÍDEO 133
Tela do vídeo SINCLAIR
Apresentação do carácter na tela
Circuíto de lógica de vídeo
Sincronização de linhas de TV
Modulador RF

CAPÍTULO 5 — PERIFÉRICOS 147
Keyboard
Cassete
Conector de periféricos

CAPÍTULO 6 — ZX-81 COM ULA-SINCLAIR 151
Diagrama de blocos
Disposição física

TERCEIRA PARTE — TRS 80 (CP)
CAPÍTULO 1 — SISTEMA TRS-80 (CP300-CP500) 157
Introdução
Diagrama de blocos
Mapa de memória

CAPÍTULO 2 — MICROPROCESSADOR Z-80 163
Teoria de funcionamento
Gerador de clock
Barra de controles
Barra de dados
Barra de endereços
DMA

CAPÍTULO 3 — DECODIFICAÇÃO DE ENDEREÇOS 173
Tabela de endereços
Circuíto decodificador de endereços

CAPÍTULO 4 — MEMÓRIA 179
Circuíto ROM
Multiplexação de endereços RAM
Circuíto RAM 16 KBytes

CAPÍTULO 5 — VÍDEO 185
Diagrama de blocos
Gerador de endereços e sincronismos - Modo 64 caracteres
Seleção 64/3 2 caracteres
Seleção de endereçamento RAM de vídeo
Circuíto RAM de vídeo
Gerador de vídeo

CAPÍTULO 6 — PERIFÉRICOS 201
Keyboard
Gravador cassete
Conector de expansão

QUARTA PARTE — IBM-PC
CAPÍTULO 1 — SISTEMA PC-XT 209
Estágios
Disposição física
Mapa da memória
Mapa de IO
Chaves de configuração do sistema
CAPÍTULO 2 — MICROPROCESSADOR 8088 219
Histórico
Organização interna
Piniagem
Clock
Co-processador
CAPÍTULO 3 — CONTROLE DE BARRAS 231
8288 — Controlador de barras
Barra de endereços
Barra de dados
CAPÍTULO 4 — ROM 237
Habilitação
ROM 5X8 KBytes
ROM 32 KBytes + 8 KBytes
CAPÍTULO 5 — RAM 247
Habilitação de RAM
Refrescamento de RAM
Circuítos de bancos de memória
Checagem de paridade
CAPÍTULO 6 — DMA 259
Seleção de periféricos
Sinais de controle DMA
Controlador de DMA 8237
CAPÍTULO 7 — PERIFÉRICOS 267
Controle de interrupções
Interface de periféricos
Timer PI — 8253
Slots de expansão

PREFÁCIO

"CIRCUITOS DE MICROS - APPLE/TK/CP/IBM-PC" apresenta e analisa em detalhes os esquemas elétricos das quatro principais linhas de microcompudadores, das quais derivam praticamente todos os micros nacionais (com excessão da linha MSX - HOTBIT e EXPERT).Tomamos por base o micro original estrangeiro - APPLE II, SINCLAIR ZX, TRS-80 e IBM-PC/XT, apresentando cometários sobre a versão nacional.

O livro foi dividido em quatro partes, cada uma respondendo por uma linha de micros. As partes são totalmente independentes entre si , exceto a teoria do microprocessador Z-80 na linha TRS-80 (CP), já vista na linha SINCLAIR (TK).

O conhecimento de Eletrônica Digital é pré-requisito indispensável, especialmente de Lógica Digital e Numeração Binária. Entretanto, sempre que necessário, nos estendemos nas explicações sobre funcionamento lógico dos CIS e acompanhamento do sinal. Sendo o vídeo fator dominante em microcomputadores é desejável conhecimentos, mesmo que rudimentares, de televisão .

A obra poderá ser usada como referência prática, pela enorme quantidade de dados que coleciona e ilustra, ou ainda como texto didático sobre hardware de microcomputadores. A experiência autoral nos indica que o número de curiosos é muito grande; estes certamente terão farto material para as horas de folga.

O autor se sente à vontade para desculpar-se de lacunas e algumas omissões. A mais absoluta falta de manuais técnicos de micros nacionais (acessíveis ao público), as dificuldades para obtê-los em línguas estrangerias, o homérico trabalho de confrontá-los com os equipamentos e analisá-los foi esforço acumulado durante vários anos.

MAURÍCIO CARUZO REIS

INTRODUÇÃO

Os microcomputadores são classificados em quatro linhas (ou "famílias"): APPLE, SINCLAIR, TRS-80 e IBM-PC. Recentemente apareceu uma quinta linha - MSX. Micros de uma mesma linha têm poucas diferenças entre si - e em muitos casos são meras cópias. A esta semelhança chamamos "compatibilidade".

Nos micros nacionais a maioria das diferenças do original estrangeiro consiste em variar a disposição física (mudança de posição das placas, por exemplo) e, mais raramente, substituir uma pequena parte do circuito por outro que tenha o mesmo efeito lógico. Em caso de vídeo a cores usando televisor comum (como na linha APPLE) as alterações são obrigatórias, pois o sistema brasileiro de televisão a cores (PAL) é incompatível com o norte-americano (NTSC); acrescenta-se então um estágio "adaptador PAL".

Abaixo segue relação de microcomputadores brasileiros, divididos por linhas (alguns deles deixaram de ser fabricadas):

LINHA SINCLAIR: TK82, TK83, TK85, TK90 (MICRODIGITAL), CP200 (PRO LÓGICA), MC 1000 (CCE), RINGO (RITAS), NE 8000.

LINHA APPLE: U 6502 (ATS), EXATO PRÓ (CCE), DGT-AP (DIGITUS), D 8100 (DISMAC), CRAFT II (MICROCRAFT), TK 3000 (MICRODIGITAL), MC-186/TI (MICROPIC), APPLE (MILMAR), MICROENGENHO, SPETRUM (SPECTRUM), APII (UNITRON), US (US), ELPPA (VITOR)

LINHA TRS-80: CP 300, CP 500 (PROLÓGICA)

LINHA IBM-PC(XT): THOR (ATS), DIGINET (BÁSIC), MC (CCE), DIGITRON (DIGITRON), HS (HENGESYSTEMS), XT (HOUSTON), I 7000 (ITAUTEC), PC 8600 (LABO), CRAFT-XT (MICROCRAFIT), 2001, 2002, PC-PAQ (MICROTEC) MX (MICROPIC), NYDA (MONYDATA), ND (NOVADATA), 4270 (PROCEDA), SP16, SOLUTION (PROLÓGICA), NEXUS (SCOPUS), XT (SELL), EGO (SOFTEC), VICTOR (VICTOR).

Na linha MSX temos o HOTBIT (SHARP) e EXPERT (GRA-

DIENTE).

Todas linhas de micros mencionadas empregam CIS TTL, cuja numeração começa com 74. Mais precisamente são usados CIS 74LSXX, com as características:

INPUT
NÍVEL H - corrente máxima entrando 20 microAmpères
NÍVEL L - corrente máxima saindo 0,36 miliAmpères

OUT PUT
NÍVEL H - corrente mínima saindo 400 microAmpères
NÍVEL L - corrente mínima entrando 8 miliAmpères

Por "NÍVEL H" entende-se o sinal com voltagem maior que +2,4 Volts e "NÍVEL L" menor que +0,4 Volts, ambos com as especificações de corrente acima.

A pinagem de alimentação (+5 Volts dc regulados e terra) é padronizada para CIS TTL. +5 Volts (geralmente registrado como Vcc) sempre é o pino de maior número, enquanto terra ("GND-GROUND") é o último pino do lado onde começa osnúmeros Assim, em um CI TTL de 16 pinos o terra será o pino 8 e Vcc pino 16. Como é usual em esquemas de circuitos digitais omitiremos as ligações destes dois pinos.

PRIMEIRA PARTE
APPLE

CAPÍTULO 1
SISTEMA APPLE II

1 - Estágios

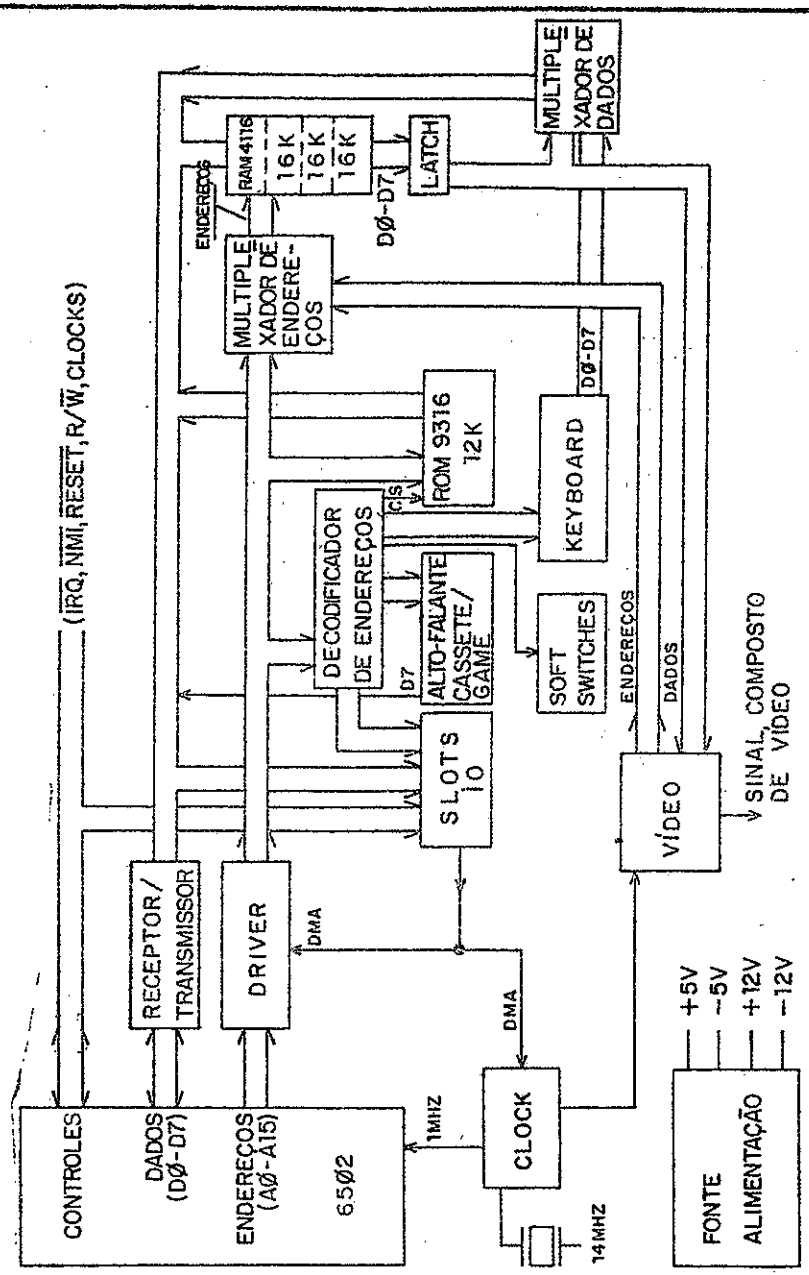
A figura 1-1 apresenta o diagrama de blocos do APPLE II, com simplificações nos sinais de controle e estágio de vídeo. Este esquema é válido para o APPLE II - PLUS, cuja diferença consiste na programação da ROM.

O sistema é baseado no microprocessador 6502 da MOSTEK, de 8 bits, que se caracteriza pela simplicidade e é bem inferior a rivais como o Z-80 (e certamente nem chega a competir com microprocessadores de 16 bits). O modelo usado no APPLE II opera com 1MHZ, frequência muito baixa mas que é parcialmente compensada pela eficiência da linguagem assembly.

O estágio de clock além de alimentar o 6502 com a frequência de 1MHZ, sincroniza o estágio de vídeo, fazendo com que este gere todos os sinais necessários ao monitor (ou TV) independente do microprocessador.

A memória ROM é formada de 6 CIS de 2 Kbytes cada, totalizando 12 k. Usa-se a 9316, de 2K X 8 bits , semelhante a popular 2716 da INTEL mas com pequenas diferenças de pinagem. Um decodificador recebe os sinais de endereços, decodificando aqueles que se referem a ROM e emitindo o sinal CS (seleção de chip) que seleciona um dos 6 CIS. A ROM é localizada nos endereços superiores (de 52 K a 64 K), devido ao fato que o 6502 tem reset na posição FFFCH (ao ser ligado ou resetado busca nesta posição o endereço da primeira instrução a ser executada).

A RAM basea-se no CI 4116 - dinâmica (necessita de refresh periódico) e de 16 K x 1 bit (cada endereço armazena apenas 1 bit, usando-se uma sequência de 8 CIS para armazenar 1 byte D0-D7). A capacidade total de RAM pode chegar a 48 Kbytes, divididas em 3 bancos de 16 Kbytes; o primeiro banco é obrigatório e os demais ficam como alternativa para o usuário, formando configurações de 16 K, 32 K e 48 K. Os CIS 4116 usam multiplexação de endereços, recebendo a primeira "remessa" de 7 bits e depois a segunda "remessa" de mais 7 bits.

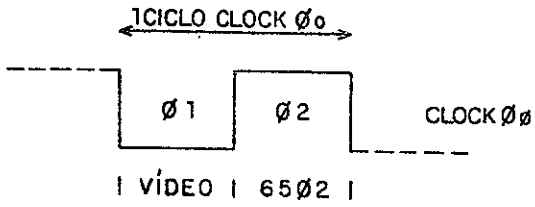


1-1 diagrama de blocos do APPLE II

Na gravação (escrita - WRITE) da RAM os dados são recebidos diretamente da barra D0-D7. Na leitura (READ) os dados são enviados para um latch e atravessam um multiplexador, chegando finalmente à barra. Entretanto, quando há uma tecla pressionada, este multiplexador bloqueia a RAM e transmite à barra de dados os sinais D0-D7 recebidos do Keyboard, correspondente ao código ASCII da tecla.

Os dados a serem apresentados no televisor (ou monitor) são armazenados na própria RAM do sistema. Na fase negativa do clock (fig. 1-2) o estágio de vídeo endereça a RAM e recebe dela os dados a serem apresentados através do latch, enquanto o multiplexador de dados fica bloqueado; na fase positiva o vídeo é desabilitado e o multiplexador ativado, transmitindo D0-D7 do latch da RAM para a barra de dados. Este esquema permite atualizar a tela à frequência de 1 MHZ sem ocupar o microprocessador, que continua a executar as instruções independente da atualização de vídeo. Para escrever um carácter na tela basta gravar seu código (através de instrução ao 6502) na posição correspondente da RAM.

Como periféricos embutidos no gabinete ("on board") o APPLE tem, além do teclado e saída de vídeo, o alto-falante, circuito de cassete e game. Esses três últimos são comandados apenas por endereçamento. Ao endereçá-los eles são ativados, trabalhando em fequências determinadas por rotinas na ROM (o sinal nível H corresponde a uma frequência e nível L a outra). Os bits recebidos serialmente no 7º terminal de dados (D7) do cassete e game são convertidos em paralelo por rotina do programa. Como o 6502 não tem terminais e instruções específicas para entrada/saída (IO) todos esses periféricos são colocados no espaço de memória (mapeamento de memória),



1-2 sincronização de vídeo e microprocessador pelo clock

controlado pelo decodificador de endereços.

SOFT SWITCHES (TEXTO/HIRES/LORES/MIX) são ativados ou desativados (nível H ou nível L) por instrução do programa de usuário, determinando o modo de vídeo (texto, gráfico, misto). Cada soft switch tem um endereço que a ativa e outro que a desativa, recebido do decodificador exatamente como se fosse um periférico embutido.

O gabinete do APPLE dispõe ainda de 8 slots ("fendas"), com conectores ligados a praticamente todos os sinais do sistema. Encaixando os terminais de um periférico (por exemplo, disk-drive, impressora) em um destes conectores ele passará a interagir com o sistema, recebendo ou enviando sinais como se estivesse no circuito (como o Keyboard ou o alto-falante). Para facilitar os circuitos de interfaces dos periféricos dos slots estes recebem sinais de ativação e seleção originados no decodificador de endereços.

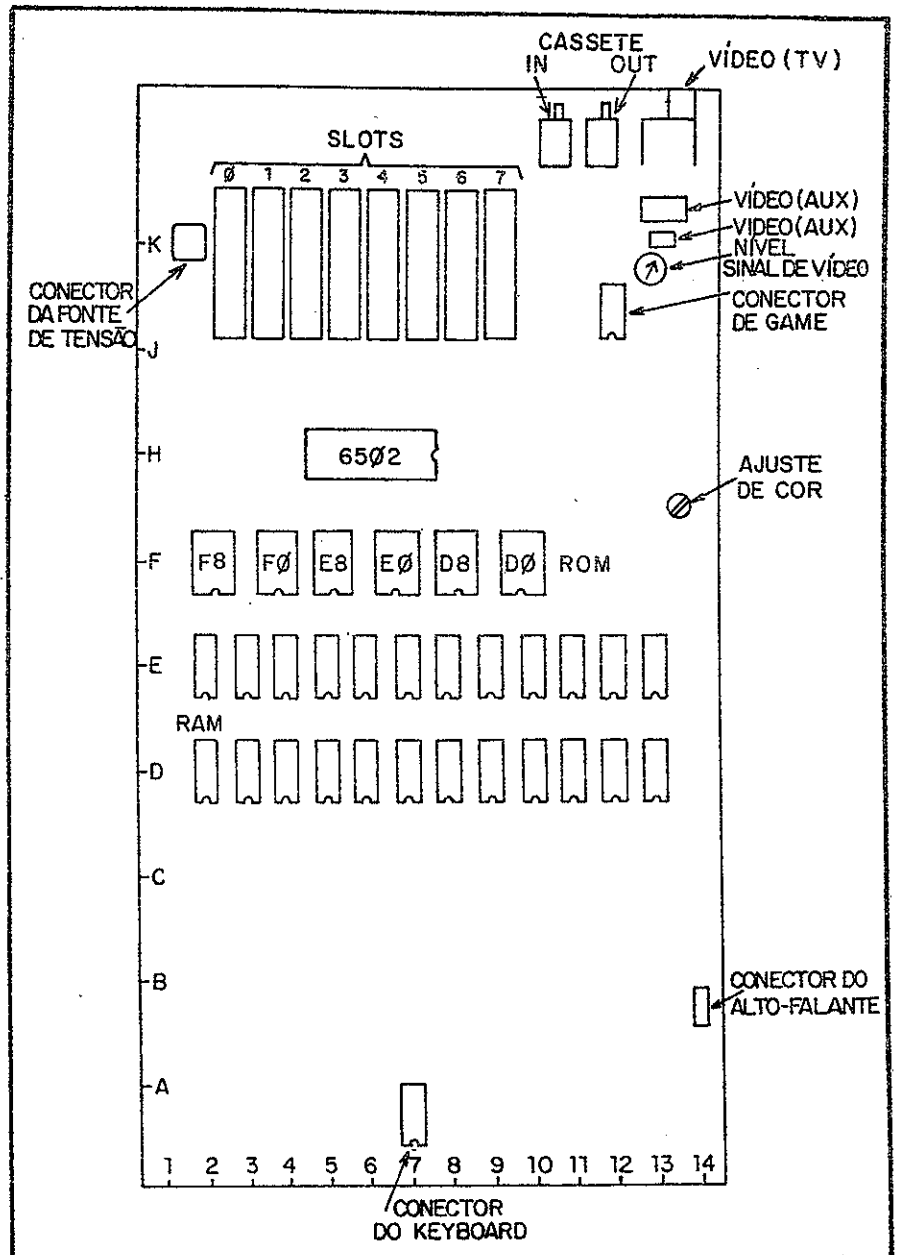
Nas operações DMA ("direct memory acess", acesso direto à memória) o periférico do slot ativa o terminal DMA, o que desativará o clok do 6502, deixando-o em estado de espera, enquanto o driver dos terminais de endereços e do controle de escrita/leitura é bloqueado. O periférico assume o controle desses terminais e passa a manipulá-los, fazendo o papel do microprocessador.

A fonte de alimentação também é embutida no gabinete, fornecendo +5V/-5V/+12V/-12V, todas estas tensões sendo DC reguladas.

2 - Disposição Física

A disposição física dos componentes no gabinete do APPLE II é vista na figura 1-3. Como se vê é um computador de uma só placa (há outra com os circuitos do Keyboard). Os "compatíveis" nacionais têm pouquíssimas (ou nenhuma) alterações deste diagrama.

Observe que as fileiras ("row") são caracterizadas por letras de 'A' até 'K' registradas à esquerda, começando de baixo para cima; ou seja, cada "linha" horizontal da placa tem uma letra. As colunas são numeradas de 1



1-3 disposição física do gabinete APPLE II

a 14, registrando-as na última linha inferior. Assim, a placa forma um eixo cartesiano de linhas (letras) e colunas (números). Nos circuitos e esquemas registram-se os componentes pela sua posição (coluna e linha) na placa. Por exemplo, ao lado esquerdo do microprocessador 6502, logo abaixo do slot 2, temos o CI "H5" - ou seja, CI que está na linha 'H' e coluna 5. Apenas os 6 CIS ROM não são denominados por esse processo, sendo mais usual registrá-los pelos dois primeiros números de seus endereços hexadecimais (F8/F0/E8/E0/D8/D0).

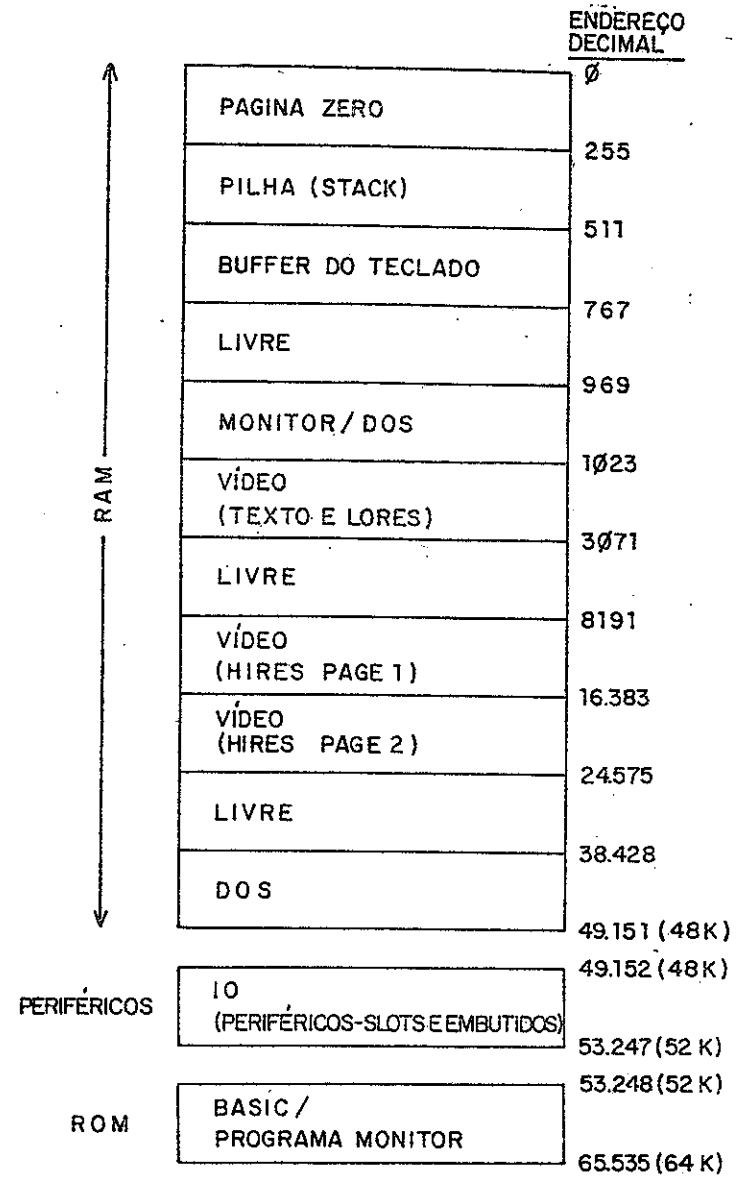
Os slots ficam próximos à lateral dianteira, facilmente acessíveis para encaixe de conectores. Ainda na lateral dianteira pequenos orifícios permitem conexões externas de cassete (IN e OUT) e vídeo para televisor; para monitor de TV a ligação é feita no conector VIDEO AUX.. Pouco acima do centro situa-se o microprocessador 6502 e abaixo dele os soquetes para 6 ROMs. Nas duas fileiras seguintes encontramos 24 soquetes para os 3 bancos de RAM, que podem estar totalmente preenchidos ou não. O Keyboard tem sua própria placa (tambem no gabinete), ligando-se à placa principal no conector de posição A-7.

3 - Mapa da Memória

O mapa da memória do APPLE II é visto na figura 1-4, dividindo-se em três blocos:
- RAM, de zero a 48 K
- IO (periféricos), de 48 K a 52 K
- ROM, de 52 K a 64K

Na RAM destacam-se os espaços destinados ao vídeo. Através de instrução do programa o usuário pode selecionar o tipo de apresentação da imagem na tela: TEXTO, LORES ("low resolution", baixa resolução) e HIRES ("high resolution", alta resolução). Quando TEXTO ou LORES é selecionado o espaço destinado a HIRES fica livre e vice-versa.

A ROM ocupa 12 Kbytes, de 52 K a 64 K, distribuidos pelos seus 6 CIS. Ai estão gravados o interpretador BASIC e o programa monitor que controlam por software todo o funcionamento do micro. Lembre-se que ao



1-4 mapa de memória do APPLE II

ser ligado ou resetado o 6502 vai aos endereços 65.532/65.533 (em hexadecimal - FFFC/FFFD) buscar o endereço (2 bytes) da primeira instrução a ser executada.

Entre a RAM e a ROM, de 48 K a 52 K, temos 4 K destinados ao endereçamento IO ("input/output", entrada/saída) de periféricos, compreendendo tanto aqueles embutidos no sistema ("on board") quanto os slots. A figura 1-5 detalha este espaço, registrando o endereçamento em decimal.

Na primeira linha - de 49.152 a 49.279 - temos 128 endereços

ENDEREÇO	CODIFICAÇÃO
49.152 — 49.279 (128 POSIÇÕES)	PERIFÉRICOS EMBUTIDOS (ALTO-FALANTE/KEYBOARD/GAME/ CASSETE – SOFT SWITCHES)
49.280 — 49.407 (8x16 POSIÇÕES)	($\overline{\text{DEV SEL}}$) PARA SLOTS 1 A 8
49.408 — 51.199 (7x256 POSIÇÕES)	($\overline{\text{IO SEL}}$) PARA SLOTS 1 A 7
51.200 — 53.247 (8x256 POSIÇÕES)	($\overline{\text{IO STB}}$) PARA SLOTS 1 A 8

1-5 endereçamento de periféricos

reservados aos periféricos embutidos. Nas três linhas restantes - de 49.280 a 53.247 - a ativação do endereço resulta num sinal ($\overline{\text{DEV SEL}}$, "device select" - seleção de dispositivo; $\overline{\text{IO SEL}}$, "IO select" - seleção IO; $\overline{\text{IO STB}}$, "IO strobe" - impulsão IO) que é enviado ao respectivo slot. A maneira como esses três sinais são usados e processados fica a critério do projetista de periféricos; o APPLE II apenas os deixa disponíveis nos slots.

Na tabela da fig. 1-6 são discrimidadas em hexadecimal as 128 posições de periféricos embutidos:

ENDEREÇO (HEXADECIMAL)	PERIFÉRICO EMBUTIDO
CØØX	ENTRADA DE DADOS KEYBOARD
CØ1X	LIMPA STROBE DO KEYBOARD
CØ2X	SAÍDA DO CASSETE
CØ3X	SAÍDA DO ALTO-FALANTE
CØ4X	STROBE DO GAME
CØ5Ø – CØ5F	SOFT SWITCHES
CØ6Ø – CØ68	ENTRADA DO CASSETE
CØ61 E CØ69	CHAVE Ø DO GAME
CØ62 E CØ6A	CHAVE 1 DO GAME
CØ63 E CØ6B	CHAVE 2 DO GAME
CØ64 E CØ6C	PADDLE Ø
CØ65 E CØ6D	PADDLE 1
CØ66 E CØ6E	PADDLE 2
CØ67 E CØ6F	PADDLE 3
CØ7Ø	GATILHO DO PADDLE

1-6 endereçamento de periféricos embutidos

4 - Chaves de Software ("soft switches")

Na tabela anterior observamos que os endereços C050H até C05FH são atribuidos a "chaves de software"(soft switches). Elas são terminais de um latch de 8 bits que ao serem endereçados ficam em nível H ou L, semelhante a chaves ON/OFF.

A tabela de endereços de soft switches é registrada na fig. 1-7:

As quatro primeiras soft switches determinam o tipo de vídeo a ser usado. As quatro últimas ficam disponíveis no conector de game, com função a ser determinada pelo programador.

ENDEREÇO (HEXADECIMAL)	ESTADO	SOFT SWITCH
CØ5Ø	OFF	VÍDEO (TEXTO)
CØ51	ON	
CØ52	OFF	VÍDEO (MISTO)
CØ53	ON	
CØ54	OFF	VÍDEO (PAGE 2)
CØ55	ON	
CØ56	OFF	VÍDEO (HIRES)
CØ57	ON	
CØ58	OFF	ANUNCIADOR Ø (GAME)
CØ59	ON	
CØ5A	OFF	ANUNCIADOR 1 (GAME)
CØ5B	ON	
CØ5C	OFF	ANUNCIADOR 2 (GAME)
CØ5D	ON	
CØ5E	OFF	ANUNCIADOR 3 (GAME)
CØ5F	ON	

1-7 endereçamento de soft switches

CAPÍTULO 2
MICROPROCESSADOR 6502

1 - Características Gerais

O micro processador 6502 faz parte da família 65xx (inclusive o 6507 usado no vídeo-game ATARI), todos compatíveis entre si em software e com pequenas diferenças de hardware. Foi projetado na MOSTEK pela mesma equipe que trabalhava no 6800 da MOTOROLA. Sob concessão da MOSTEK outras empresas ("second source", segunda fonte) também o fabricam.

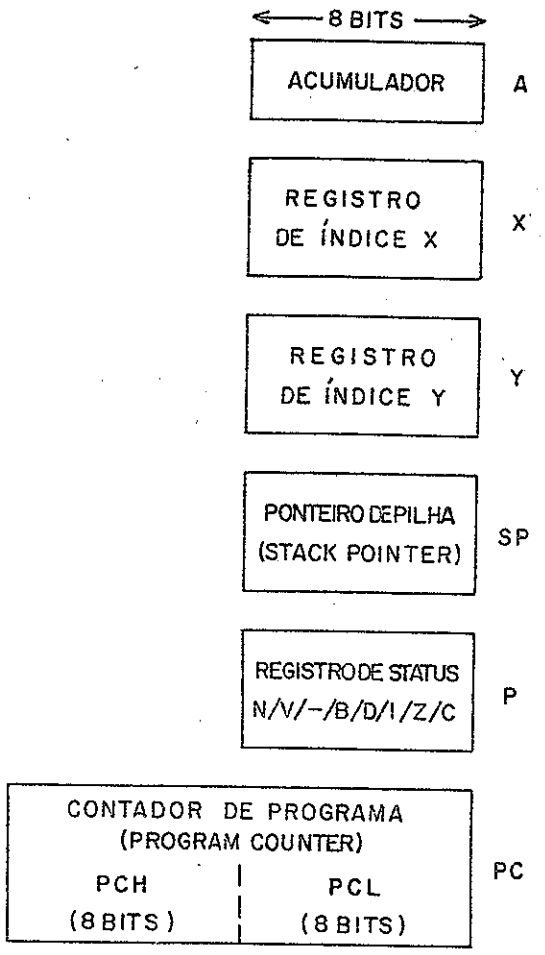
O6502 é fabricado com tecnologia NMOS, TTL - compatível, e tem três modelos caracterizados pela frequência do clock:
- 6502: 1 MHZ (usado no APPLE II)
- 6502A: 2 MHZ
- 6502B: 3 MHZ

A barra de dados e a estrutura interna deste microprocessador é de 8 bits. A barra de endereços dispõe de 16 terminais (A0-A15), permitindo o endereçamento de até 64 K posições.

Uma característica marcante do 6502 é não possuir terminais e instruções específicas para entrada/saída ("I/O - input/output"). Por isso todos os periféricos devem ser colocados em endereços da memória (mapeamento de memória)

2 - Organização Interna

O 6502 tem uma organização interna bastante simples, composta por 5 registros de 8 bits e um de 16 bits (fig. 2-1):
- A ACUMULADOR: centraliza e registra resultados de operações lógicas e aritméticas;
- X REGISTRO DE ÍNDICE X: contém o valor a ser somado ao endereço em instruções com indexação; pode ser usado ainda como contador em loopings e outras tarefas auxiliares;



2-1 registro do 6502

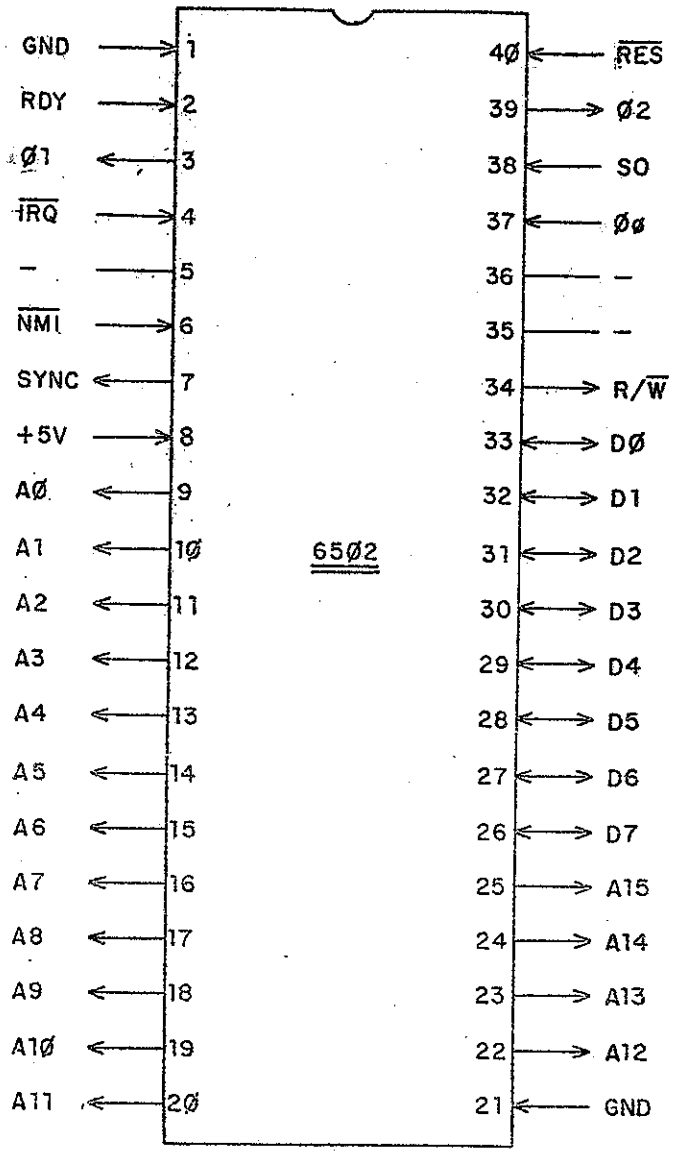
- Y REGISTRO DE ÍNDICE Y: semelhante ao registro de índice X;
- SP STACK POINTER (ponteiro de pilha): aponta para o último endereço na pilha (no APPLE II as posições RAM de 255 a 511) onde são salvos os conteúdos de registros quando ocorrem operações de interrupção ou sub-rotina;
- PC PROGRAM COUNTER (contador de programa): inicialmente é carregado com o endereço gravado nas posições (ROM) FFFCH e FFFDH, incrementando + 1 a cada byte de instrução executada, exceto em instruções de desvio, as quais alteram seu conteúdo.
- P REGISTRO DE STATUS: é composto de 7 "flags" que são setadas ou resetadas conforme o resultado da instrução:

*N (NEGATIVO): setada para resultado negativo, resetada para positivo
*V (OVERFLOW): setada para overflow na operação
*B (BREAK): setada após execução da instrução "BREAK"
*D (DECIMAL): setada para instrução "SED" (set decimal), resetada para instrução "CLD" (clear decimal)
*I (INTERRUPT): setada para instrução "SEI" (set interrupt), resetada para instrução "CLI" (clear interrupt)
*Z (ZERO): setada para operações cujo resultado seja zero e resetada para resultados diferentes de zero
*C (CARRY): setada quando ocorrer carry na operação

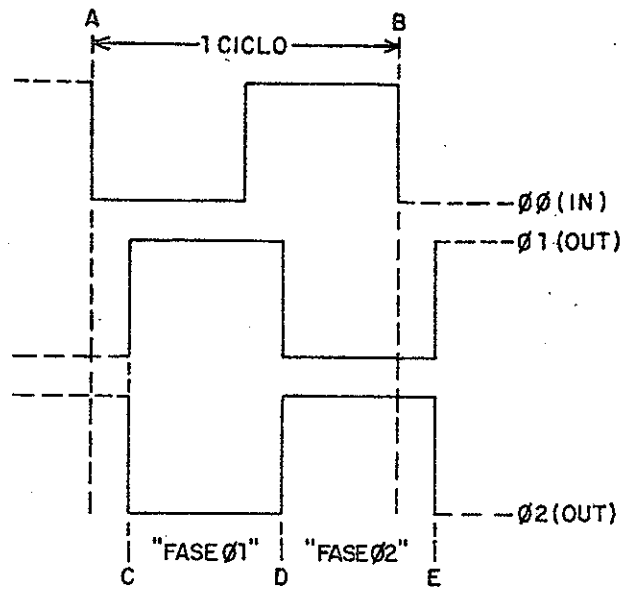
3 - Pinagem do 6502

O 6502 tem 40 pinos (fig. 2-2):

- A0/A15: barra de endereços
- D0/D7: barra de dados
- GND(1)/GND(2): terra
- + 5 Volts, dc regulados
- ϕo: clock recebido de circuito externo (oscilador de cristal ou multivibrador). Para o 6502 o limite máximo é de 1 MHZ, 6502A - 2MHZ, 6502B - 3 MHZ.
- $\phi 1$ E $\phi 2$: clocks emitidos pelo microprocessador, cujas frequências dependem de ϕo e servem para sincronizar periféricos. São ligeiramente atrasados em relação a ϕo (fig.2-3), com $\phi 1$ em oposição de fase e $\phi 2$ em fase. O meio-período em que $\phi 1$ é positivo é conhecido por "fase $\phi 1$"; da mesma forma quando $\phi 2$ é positivo dizemos "fase $\phi 2$". No APPLE II o vídeo acessa a RAM durante a fase $\phi 1$ eo 6502 o faz na fase $\phi 2$.



2-2 pinagem do 6502



2-3 clocks do 6502

- RDY ("ready", preparado): em nível L pára o microprocessador, para operações DMA ou tempo de espera de periféricos lentos
- $\overline{IRQ}$ ("interrupt request", requisição de interrupção): em nível L provoca interrupção do microprocessador (se flag I estiver resetada), que passa a seguir a instrução cujo endereço está gravado na posição FFFEH/FFFFH
- $\overline{NMI}$ ("no maskable interrupt", interrupção não mascarável): em nível L provoca interrupção para instrução cujo endereço está gravado na posição FFFAH/FFFBH, independente do estado da flag I
- SYNC (sincronismo): em nível H indica que o microprocessador está no 1º ciclo de máquina de uma busca ("fetch") de instrução
- R/$\overline{W}$ ("read/write", leitura/escrita): nível H indica R/leitura (entrada de dados no microprocessador), nível L indica $\overline{W}$/escrita (saída de dados do microprocessador)
- $\overline{SO}$ ("set overflow"): quando em nível L, determinado por controle externo, seta (nível H) a flag V - OVERFLOW do registro de status
- $\overline{RES}$ (reset): em nível L reinicia o programa, com o PC sendo carregado com

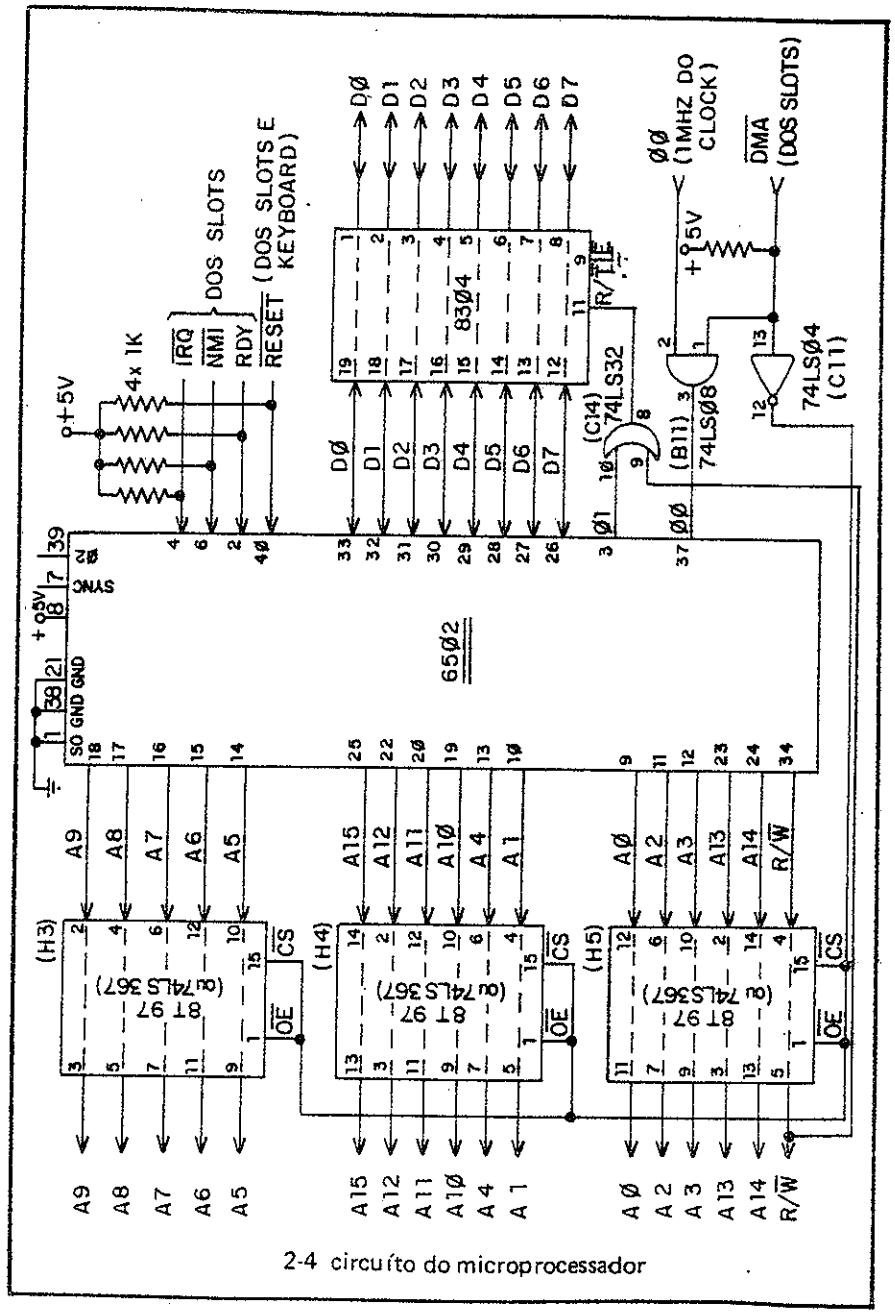
a instrução cujo endereço está gravado nas posições FFFCH/FFFDH (semelhante ao estado inicial do PC - contador de programa, quando o microprocessador é ligado).

4 - Circuito do Microprocessador

O circuito do microprocessador é visto na fig. 2-4. As anotações letra-número entre parêntesis referem-se à posição do componente na placa de circuito impresso. Note que no microprocessador os pinos 39(ø2) e 7 (SYNC) não são usados, ficando flutuando; $\overline{SO}$ (set overflow) - pino 1 - é constantemente desabilitado em nível L (aterrado).

Os terminais de endereços (A0-A15) do micro processador bem como R/$\overline{W}$(pino 34) são ligados às respectivas entradas de três CIS 8T97 (que podem ser substituidos por três 74LS367). Estes só permitem que os sinais os atravessem quando seus pinos 1 ($\overline{OE}$) e 15 ($\overline{CS}$) estiverem em nível L. Esta condição sempre é satisfeita pois o sinal nível H (+5 Volts através do resistor de 1 K) entra no pino 13 da inversora 74LS04 e aparece na sua saída pino 12 como nível L, habilitando os três pares de pinos 1 e 15 dos CIS. Entretanto, a entrada da inversora é ligada ao termial DMA dos slots. Se um dos periféricos ali instalados ativar DMA (nível L) o sinal de + 5 Volts recebido do resistor será aterrado, aparecendo como nível L na entrada da inversora e como nível H na sua saída, desativando os três pares de pinos 1 e 15. Neste caso os três CIS 8T97 ficam bloqueados, com as saídas (A0-A15 e R/$\overline{W}$) em tristate, o periférico então passa a controlar (a partir dos slots) a barra de endereços A0-A15 e o sinal R/$\overline{W}$

O microprocessador é sincronizado pelo sinal ϕo de 1 MHZ gerado no estágio de clock (por meio de cristal), que entra pelo pino 2 da AND 74LS08 e aparece como pulsos desta mesma frequência na sua saída pino 3, ligado diretamente ao terminal ϕo (pino 37) do 6502. Nas operações DMA o sinal DMA nível L recebido dos slots entra no pino 1 da AND, mantendo sua saída constantemente em nível L, o que cancela os pulsoss do clock em ϕo e desativa a sincronizaçãao do microprocessador, deixando-o sem atividade enquanto o periférico assume o controle da barra de endereços (A0-A15) e de R/$\overline{W}$.



2-4 circuíto do microprocessador

Observe que a DMA só pode ser solicitada por periférico nos slots. Os periféricos embutidos ("on board") não têm acesso a essa função. O terminal RDY (pino 2) não participa de operações DMA.

Para leitura ("read") o terminal R/$\overline{W}$ (pino 34 do 6502 e pino 5 do terceiro 8T97) é levado a nível H entrando na OR 74LS32 e saindo como nível H no seu pino 8, que ao ser percebido no pino 11 (R/$\overline{T}$ - "receiver /trasmiter", receptor/transmissor) do CI 8304 o coloca no modo receptor, recebendo byte de dados DO-D7 do exterior para o microprocessador. Na escrita ("write") o terminal R/$\overline{W}$ é ativado em nível L e quando ϕ1 também for nível L (fase ϕ2) a saída da OR será nível L, transformando o 8304 em transmissor, com os dados saindo do microprocessador em direção ao exterior

Os terminais $\overline{IRQ}$, $\overline{NMI}$ e RDY são mantidos desativados em nível H. Apenas os periféricos dos slots podem ativá-los (nível L). O $\overline{RESET}$ pode ser ativado pelo acionamento da respectiva tecla no Keyboard.

CAPÍTULO 3
CLOCKS

1 - Diagrama de Blocos

O diagrama de blocos do estágio de geração de clocks é apresentado na fig. 3-1. Sua implementação como circuito é razoavelmente complexa, envolvendo grande número de CIS. Além de sincronizar o microprocessador os clocks também controlarão o vídeo e o endereçamento de RAM.

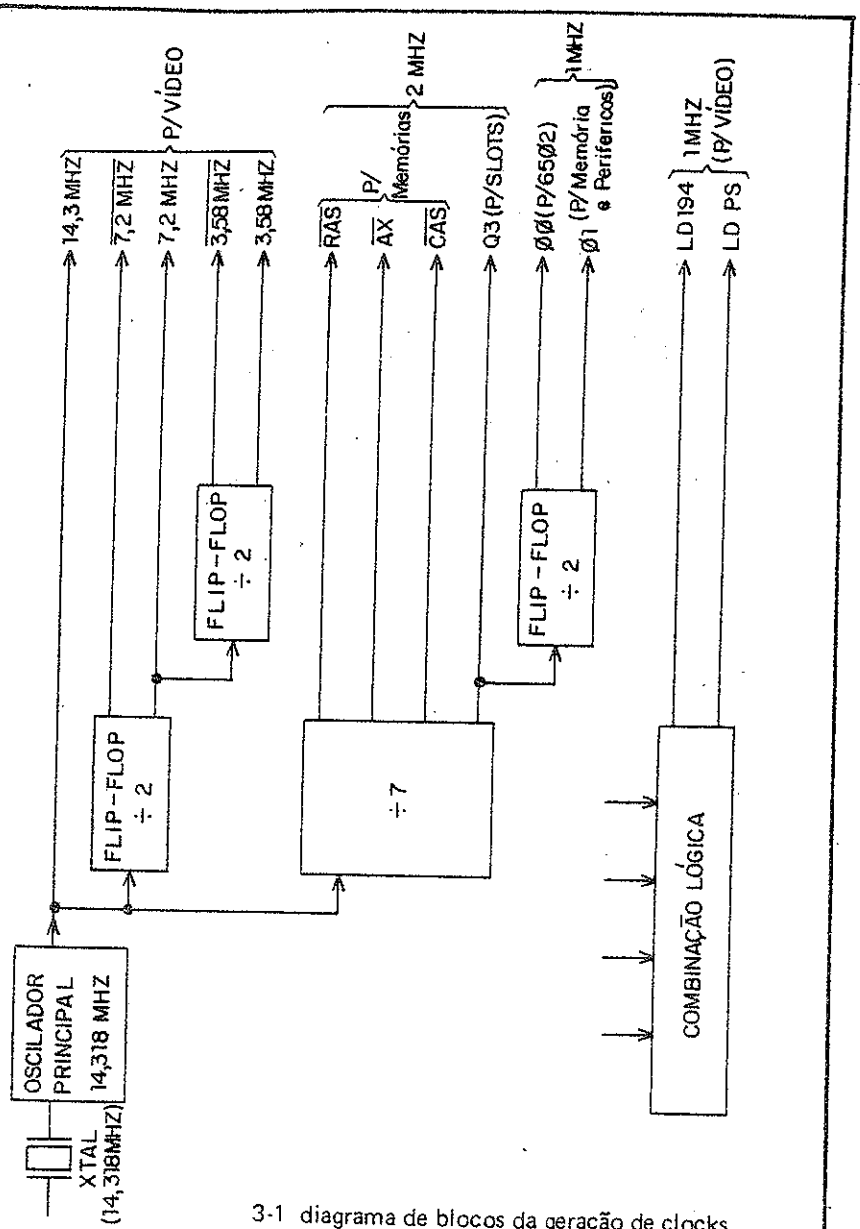
Todos clocks são derivados de um oscilador principal de 14,318 MHZ, sincronizado por um cristal de 14,318 MHZ. Esta frequência foi escolhida por ser múltiplo inteiro (4 vezes) do sinal que necessita de maior precisão - o burst de 3,579545 MHZ de referência de côr (no sistema NTSC de televisão).

O sinal de 14,3 MHZ é dividido por 2, resultando a frequência de 7,2 MHZ em duas fases opostas (7,2 MHZ e $\overline{7,2MHZ}$). Na nova divisão por 2 resulta na frequência referência de cor (burst) de 3,58 MHZ, também em duas fases opostas (3,58 MHZ e $\overline{3,58\ MHZ}$).

Todos os clocks acima são usados na geração de vídeo. Observe que as frequências são bem altas, já que o vídeo exige sinais de até 4 MHZ, enquanto o microprocessador opera em apenas 1 MHZ.

A divisão por 7 da frequência do oscilador principal gera os sinais $\overline{RAS}$, $\overline{AX}$, $\overline{CAS}$ e Q3, todos de 2 MHZ. O último é enviado aos slots para sincronização de periféricos, os outros três são usados no endereçamento de memória. Embora tenham a mesma frequência, esses sinais diferem pela fase e tamanho do pulso.

Dividindo Q3 (2 MHZ)por 2 obtem-se ϕo de 1 MHZ, que sincroniza o microprocessador (clock no pino 37), e ϕ1 de mesma frequência mas em oposição de fase. É comum referir-se a este ϕ1 em lugar do ϕ1 emitido pelo 6502 (pino 3), pois têm a mesma frequência e fase. Entretanto, o ϕ1 do microprocessador é ligeiramente atrasado em relação ao ϕ1 do clock. ϕ1 sincroniza a memória e os periféricos embutidos.



3-1 diagrama de blocos da geração de clocks

Na combinação lógica dos sinais anteriores retiramos LD194 e LDPS, ambos de 1 MHZ, usados no gerador de vídeo

2 - Formas de Onda

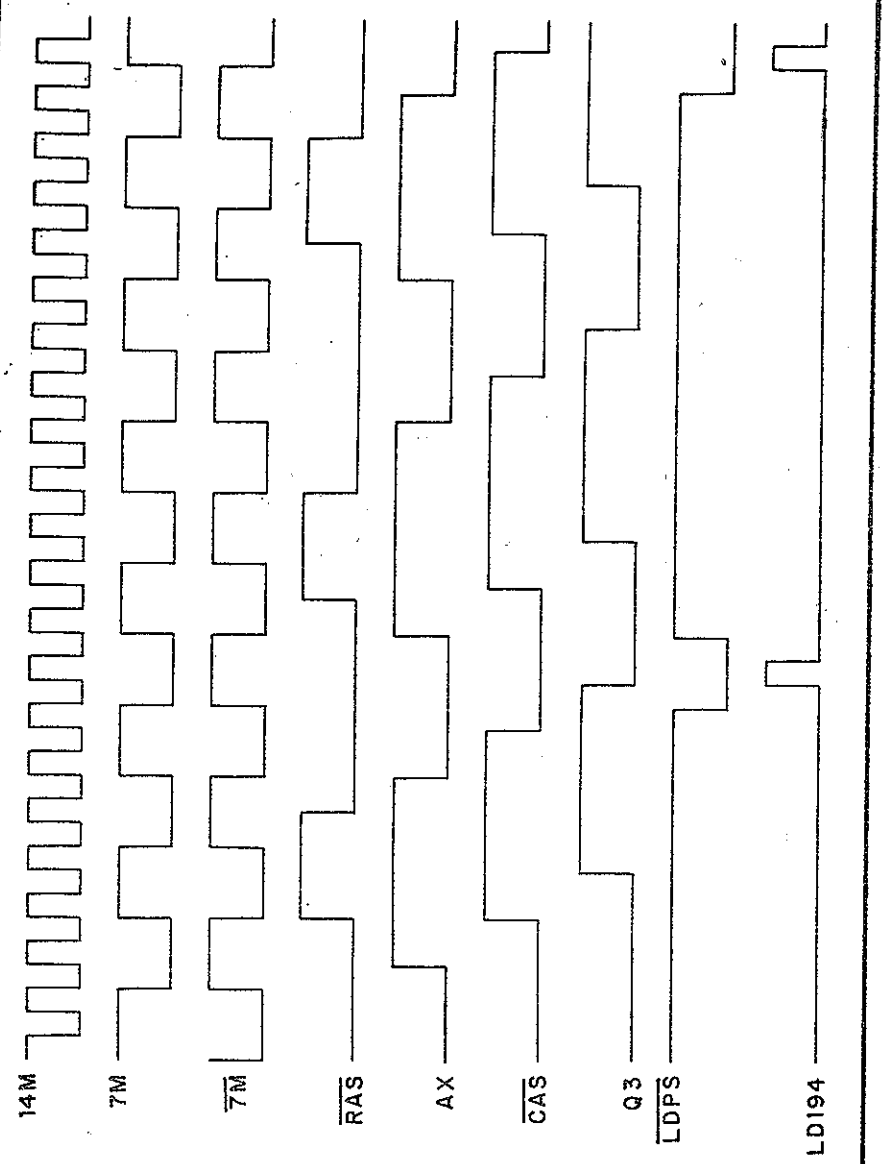
A fig. 3-2 apresenta as formas de onda dos sinais de clock estudados, com as respectivas frequências. Note que cada ciclo do sinal 14,3 MHZ tem 69,8 nonosegundos e o ciclo de ϕo é de 1 microsegundo. A execução de uma instrução pelo 6502 exige em média 5 ciclos de clock (ϕo), logo gasta 5 microsegundos. A RAM é acessada pelo vídeo a cada fase $\phi 1$, portanto a atualização de um carácter na tela (byte lido na RAM) ocorrerá a cada 1 microsegundo.

3- Circuito do Gerador de Clocks

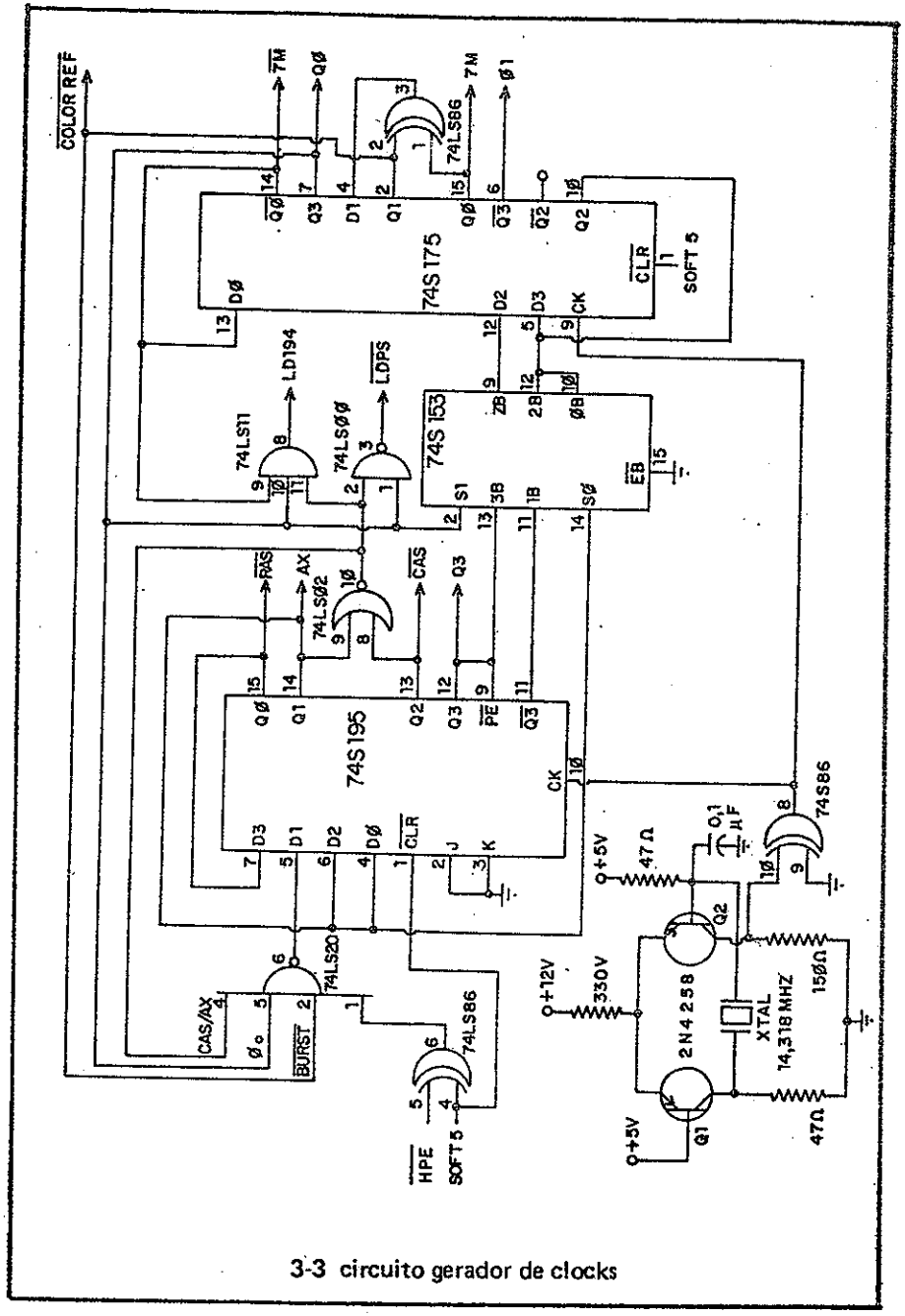
Na fig. 3-3 vemos o circuito gerador de clocks. Todo o estágio é sincronizado pelo oscilador principal formado pelos transistores Q1/Q2 e o cristal de 14,318 MHZ. A frequência de 14,318 MHZ é retirada da saída (pino 8) da EOR 74586.

OCI 74S175 - QUAD FLIP-FLOP tem quatro flip-flops sincronizados pelo mesmo clock. O primeiro flip-flop (FF0) recebe um bit no terminal D0, após um pulso de clock apresenta esse mesmo bit (nível H ou L) no terminal Q0 e seu complemento (inverso de H ou L) em $\overline{Q0}$. O segundo flip-flop (FF1) faz o mesmo com D1/Q1/$\overline{Q1}$, o terceiro (FF2) com D2/Q2/$\overline{Q2}$, e o quarto (FF3) com D3/Q3/$\overline{Q3}$. Se o pino 1 ($\overline{CLR}$, "clear", limpa) for levado a nível L todos os quatro flip-flops são resetados (Q0,Q1,Q2,Q3 em nível L).

Conectando a saída $\overline{Q}$ do flip-flop à sua entrada D ele mudará de estado à cada transição positiva (de nível L para nível H) do clock. Na primeira transição positiva do clock a saída (Q) do flip-flop muda para nível H (ponto 1 na figura 3-4), mas quando o clock volta a nível L (ponto 2 na figura3-4) a saída do flip-flop não muda, continuando em nível H, pois ele só se altera nas transições positivas. No início do pulso seguinte de clock (ponto



3-2 formas de onda dos sinais de clock



3-3 circuito gerador de clocks

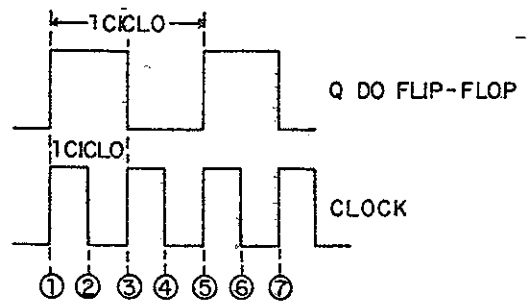
3 na fig. 3-4), na transição positiva, é que a saída do flip-flop volta a nível L. Observe que é preciso um ciclo completo de clock para produzir apenas meio ciclo na saída do flip-flop. Através deste processo a frequência no clock é dividida por 2 na saída do flip-flop. A saída $\overline{Q}$ apresentará o mesmo sinal de Q mas em oposição de fase.

O sinal de 14,318MHZ do oscilador principal é acoplado ao CLOCK (pino 9) do CI 74S175. No seu FF0 $\overline{Q}$O é ligado a D0, resultando a divisão de frequência por 2. Assim, em Q0 temos 14,318 MHZ ÷ 2 = 7,199MHZ e em $\overline{Q0}$ essa mesma frequência mas em oposiação de fase. No FF1 Q1 é ligado a D1 através da EOR 74S86, que recebe ainda o sinal de 7,159 MHZ de Q0, ocorrendo nova divisão por 2 da frequência, o que resulta 3,58 MHZ (burst de côr) em Q1 e seu complemento em $\overline{Q1}$.

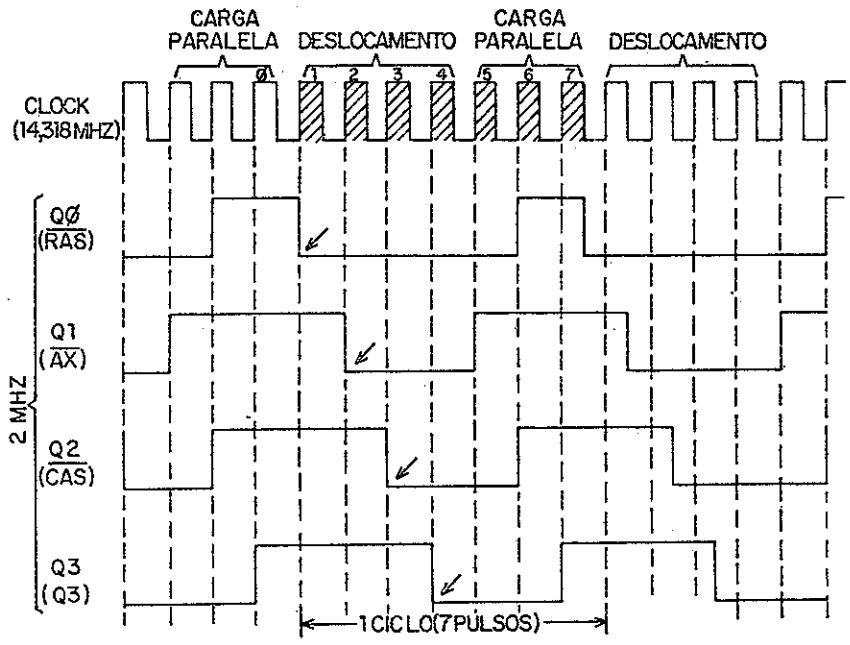
O CI 74S195 é um registro de deslocamento de 4 bits. Com o pino 9 - $\overline{PE}$ ("parallel enable", habilita paralelo) em nível L os dados existentes em D0, D1, D2, D3 são transferidos para as saídas Q0, Q1, Q2, Q3, respectivamente. Com $\overline{PE}$ em nível H os bits se deslocam de Q0 para Q3 (Q0 para Q1, Q1 para Q2 , Q2 para Q3). Mantendo J e K em nível L a saída Q0 apresentará nível L após o primeiro deslocamento, provocando o estado Q0 = L/Q1 = Q0/ Q2 = Q1/Q3 = Q2. Todas as mudanças de estado das saídas Q ocorrem na transição positiva do clock (pino 10).

No APPLE II a função do 74S195 será dividir por 7 a frequência do oscilador principal (de 14,318MHZ), fornecendo nas saídas os sinais $\overline{RAS}$, $\overline{AX}$, $\overline{CAS}$, Q3, todos de 2 MHZ. O processo consiste em manter D0-Q0 em nível H durante uma carga paralela ($\overline{PE}$ em nível L). A seguir, $\overline{PE}$ é levado a nível H, ativando o modo deslocamento o qual iniciará com Q0 em nível L (J e K estão aterrados), que se propagará até Q3 ao final de 4 pulsos do clock de 14,318 MHZ recebido do oscilador principal. Terminado o deslocamento são usados mais 3 pulsos de clock para carga paralela, completando o ciclo de 7 pulsos.

A fig. 3-5 ilustra a propagação do nível L de Q0 (resultante da carga com J e K aterrados) através das saídas Q1, Q2, Q3, do registro de deslocamento. Como são precisos 7 pulsos de clock de 14,318 MHZ a propagação resultará em sinais de 14,318 MHZ ÷ 7 = 2,045 MHZ.



3-4 divisão de freqüência no flip-flop



3-5 propagação do sinal de 2 MHz nas saídas do registro de deslocamento 74S195

Na análise do circuito assumiremos provisoriamente que a saída pino 6 da NAND 74LS20 (fig. 3-3) está sempre em nível H. Antes do início do ciclo, no ponto A da fig. 3-5, Q0 está em nível H e é ligado a D3.

No clock seguinte, começa o ciclo no pulso 1 e o nível H de D3 é transferido para Q3 e daí para $\overline{PE}$, colocando o registro no modo deslocamento. Apenas Q0 fica com nível L (pois J e K estão aterrados), enquanto seu nível H anterior é deslocado para Q1, o nível H anterior de Q1 deslocado para Q2, o nível H anterior de Q2 deslocado para Q3. No clock seguinte, pulso 2, o nível L anterior de Q0 desloca-se para Q1, o nível H anterior de Q1 desloca-se para Q2, o nível H anterior de Q2 desloca-se para Q3. No clock seguinte, pulso 3, o nível L anterior de Q0 desloca-se par Q1, o nível L anterior de Q1 desloca-se para Q2, o nível H anterior de Q2 desloca-se para Q3. No clock seguinte, pulso 4, o nível L anterior de Q0 desloca-se para Q1, o nível L anterior de Q1 desloca-se para Q2, o nível L anterior de Q2 desloca-se para Q3.

Agora, todas as saídas estão em nível L, inclusive Q3 que é ligada a $\overline{PE}$. No clock seguinte, pulso 5, o terminal $\overline{PE}$ percebe o nível L recebido de Q3 e coloca o registro no modo de carregamento paralelo, transmitindo para as saídas Q os bits que estiverem assentados nas entradas D. D0 e D2 estão ligadas a Q1, que no pulso 4 estava em nível L, e em consequência Q0 e Q2 serão levados a nível L; D3 é conectado a Q0, também em nível L no pulso 4, fazendo Q3 continuar em nível L; D1 recebe o nível H da saída NAND, levando Q1 a nível H. Como neste pulso 5 Q3 e $\overline{PE}$ são mantidos em nível L o registro continuará no clock seguinte, pulso 6, no modo carregamento. No pulso 6 D0 e D2 recebem o nível H existente no clock anterior em Q1, levando Q0 eQ2 a nível H; Q1 continua em nível H pois este é o bit recebido da NAND; D3 recebe o nível L do clock anterior de Q0 e deixa Q3 ainda em nível L, o que manterá o registro no modo deslocamento. No clock seguinte, pulso 7, D0 e D2 recebem o nível H existente no clock anterior em Q1, deixando Q0 e Q2 em nível H, D1 recebe o nível H da NAND e Q1 continua em nível H; no clock anterior Q0 estava em nível H, que é transmitido a D3, Q3 e $\overline{PE}$.

O registro percebe nível H em $\overline{PE}$, encerrando o modo carregamento. No clock seguinte começa o modo deslocamento, iniciando novo ciclo de 7 pulsos igual ao anterior.

O CI 74LS153 - MULTIPLEXER DUAL 4 X 1 - tem 4 entradas, 0B/1B/2B/3B. O sinal de uma delas é transferido para a saída ZB conforme o estado de S0 e S1, de acordo com a tabela abaixo:

Os terminais S0 e S1 recebem os simais $\overline{AX}$ e ϕo, respectivamente, enquanto as entradas são alimentadas por outros sinais do clock. O resultado da multiplexação sai por ZB do 74LS153 e entra em D2 do 74S175, aparecendo em Q2 e daí para D3 (de onde realimentará as entradas 0B e 2B do 74LS153), o que provocará em Q3 o sinal ϕo de 1 MHZ e seu complemento $\phi 1$ em $\overline{Q3}$.

Na porta AND 74LS11 e na NAND 74LS00 são combinados vários sinais para formar $\overline{LDPS}$ e LD194, ambos de 1 MHZ e usados no estágio de vídeo.

Assumimos anteriormente que a saída pino 6 da NAND 74LS20, ligada a D1 do 74S195, está constantemente em nível H. Na verdade a cada 64 microsegundos - tempo de uma varredura horizontal na tela ela é levada a nível L, o que aumenta dois pulsos neste ciclo do 74S195 (fig. 3-5) e estende pelo mesmo tempo os sinais $\overline{RAS}$, $\overline{CAS}$, $\overline{AX}$, Q3, ϕo, E $\phi 1$, diminuindo ligeiramente a frequência de varredura horizontal. Isto é necessário para compatibilizar a imagem gerada no computador com o sistema NTSC de televisão. Esta correção não é válida para o sistema PAL adotado no Brasil (o burst de cor NTSC tem oposição de fase a cada linha; o burst PAL tem defasagem de 90º a cada linha; a imagem criada pelo computador cancela qualquer defasagem e usa apenas um dos campos - par ou ímpar - da tela).

$\overline{HPE}$ ("hold $\overline{PE}$", mantenha $\overline{PE}$) é gerado no estágio de vídeo e invertido na EOR 74S86 (a outra entrada, SOFT 5, está sempre em nível H). Ao final de 64 pulsos ϕo (64 microsegundos) é ativado em nível L e aparece como nível H na entrada da NAND 74LS20; durante o tempo de sua ativação em que as outras entradas também estiverem em nível H a saída da NAND será nível L, estendendo este ciclo do 74S195 por dois clocks de 14MHZ (fig. 3-5). Veja que isso só ocorre em um único ciclo a cada 64 microsegundos, nos demais $\overline{HPE}$ está desativado em nível H e a saída da NAND fica constantemente em nível H, como havíamos assumido.

CAPÍTULO 4
MEMÓRIA RAM

1- Codificação de endereços de Memória

A memória RAM situa-se nos primeiros 48K endereços:

MEMÓRIA	ENDEREÇOS A15	A14
RAM BANCO 1	Ø	Ø
RAM BANCO 2	Ø	1
RAM BANCO 3	1	Ø
ROM E PERIFÉRICOS	1	1

4-1 codificação de endereços pelos terminais A15 e A14

Observe que são os dois números binários mais significativos (à esquerda), correspondentes aos terminais A15 e A14, que diferenciam os três bancos. A ROM e os periféricos ficam nos endereços acima de 48K = 11xx xxxx xxxx xxxxB. A fig. 4-1 ilustra esta codificação de endereços (lembre-se que nível H = 1 e nível L = 0). Para os circuitos bastará decodificar A15 e A14 para selecionar o estágio desejado.

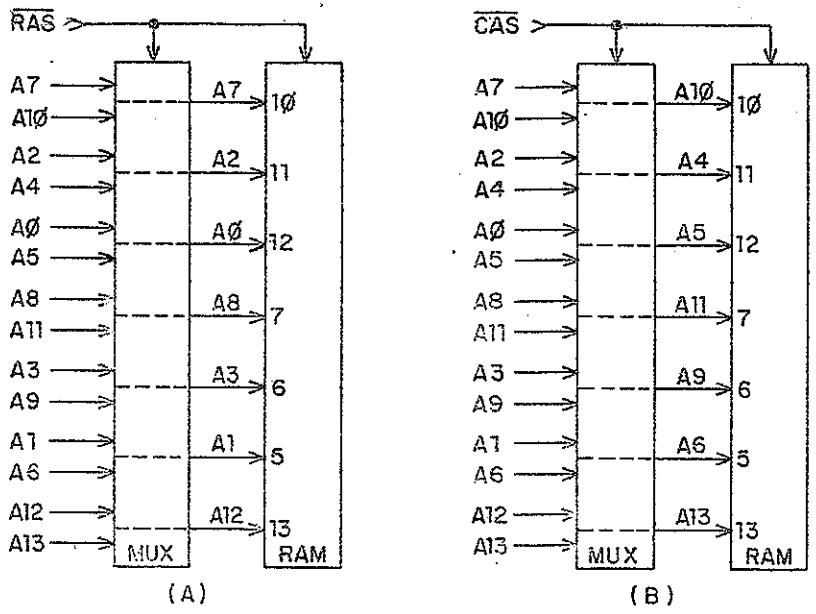
2- Operações RAM

O CI 4116 usado como RAM tem um pino para entrada de dados/escrita (DI - "data input", pino 2) e outro para saída de dados/leitura (DO - "data output", pino 14). O sinal de controle R/$\overline{W}$ determina qual das duas

operações (nível H leitura - saída, nível L escrita - entrada). Na escrita os dados vão direto da barra de dados para o CI, mas na leitura eles passam antes pelo latch - denominando-se então DL0/DL7.

Os dados DL0/DL7 recebidos da RAM podem se destinar tanto ao microprocessador quanto ser uma leitura para atualização de vídeo. O clock ϕo seleciona um dos dois (ϕo nível L - fase ϕ1 - vídeo; ϕo nível H -fase ϕ2 - 6502).

Se for leitura RAM pelo 6502 os dados DL0/DL7 entram num multiplexador, juntamente com os dados KBD0/KBD7. O sinal $\overline{KDB}$, extraído da decodificação do endereçamento do Keyboard, seleciona um dos dois grupos de dados ($\overline{KBD}$ nível H - DL0/DL7; $K\overline{DB}$ nível L - $\overline{KBD}$0/KBD7) a ser enviado ao microprocessador, enquanto o outro é bloqueado.



4-2 multiplexação de endereços na RAM (a) fileiras RAS (b) colunas CAS

Tratando-se de leitura RAM de vídeo o multiplexador é desativado (os dois grupos DL e KBD são bloqueados na sua entrada) e os dados-DL0/DL7 são enviados diretamente para o gerador de vídeo. Neste caso o endereçamento da RAM é feito pelos sinais do gerador de vídeo (H0/H5,VA-VB-VC, V0/V5) e não pelos terminais A0/A15.

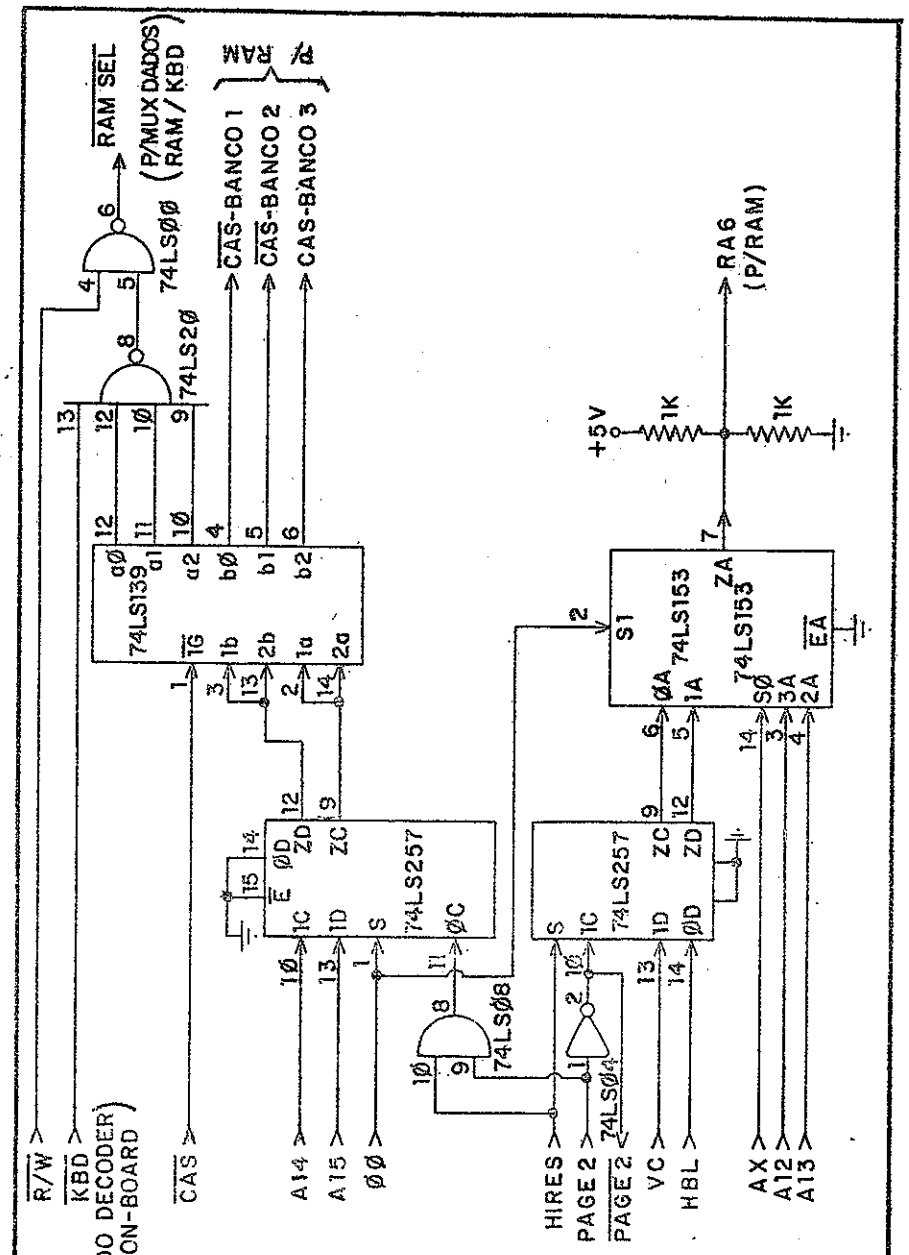
O CI RAM 4116 tem apenas 7 pinos de endereços (10, 11, 12, 7, 6, 5, 13). Para completar os 14 pinos que precisa para diferenciar seus 16 K endereços internos ele usa o processo de multiplexação (fig. 4-2). Um multiplexador seleciona uma de duas entradas, enviando-a para a RAM. Inicialmente o sinal $\overline{RAS}$("row address strobe",impulsão de endereço de fileira) faz o multiplexador selecionar as entradas A7/A2/A0/A8/A3/A1/A12 e também controla a RAM para considerar esses bits como primeiro grupo de endereço. (fig.4-2a). Em seguida é ativado o sinal $\overline{CAS}$ ("colunn address strb", impulsão de endereço de coluna) que faz o multiplexador selecionar as entradas A10/A4/A5/A11/A9/A6/A13 e também controla a RAM para considerar esses bits como segundo grupo do endereço (fig. 4-2b). Os circuitos internos do CI agupam as duas partes e formam o endereço A0/A13 de 14 bits.

3- Circuito de Controles da RAM

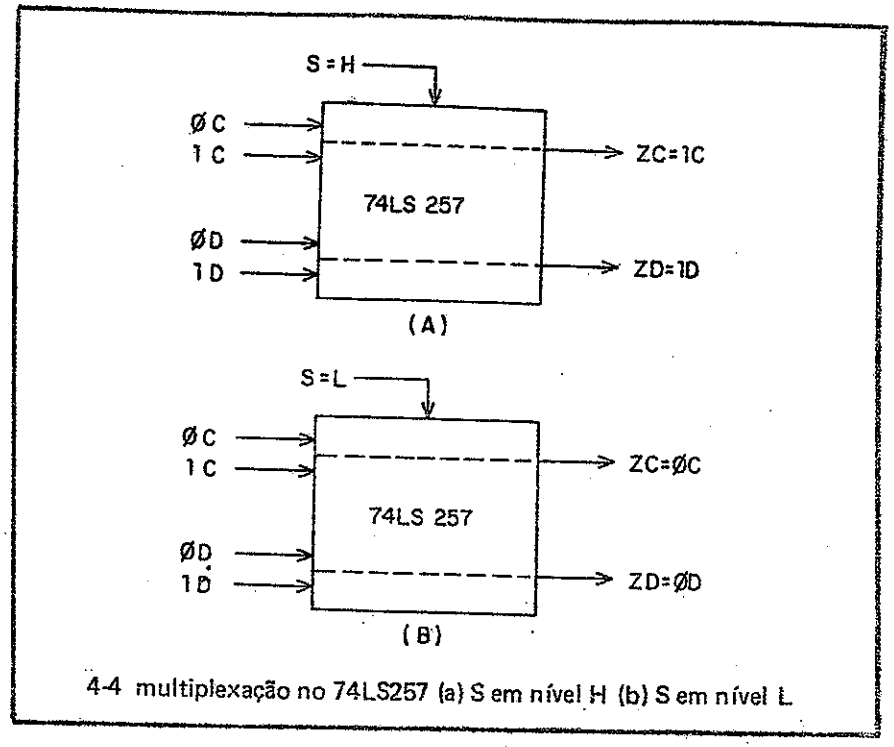
Os sinais que controlam as várias operações da RAM são gerados no circuito da fig. 4-3. Alguns sinais de entrada (HIRES, PAGE 2, VC, HBL) serão estudados com mais detalhes no capítulo sobre vídeo.

O multiplexador 74LS257 é permanentemente habilitado pelo aterramento de seu pino 15-$\overline{E}$ ("enable", habilita). Quando o pino 1-S (seleção) está em nível H as saídas pino 12-ZD e pino 9 ZC apresentam os bits que estiverem nas entradas pino 13-1D e pino 10-1C, respectivamente. Levando o pino 1-S a nível L ZD e ZC repetirão os bits do pino 14-0D e pino 11-0C, respectivamente. A fig. 4-4 ilustra essa multiplexação.

Quando ϕo está em nível H (fase ϕ2 em que o 6502 tem acesso à RAM) S selecionará como entradas os terminais de endereço A14 e A15, apresentando-os nas saídas ZD e ZC que são ligadas às entradas do 74LS139-



4-3 circuito de controles da RAM

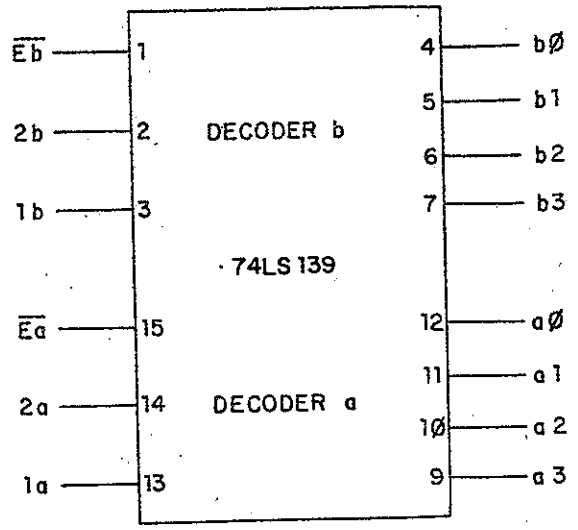


4-4 multiplexação no 74LS257 (a) S em nível H (b) S em nível L

O CI 74LS139 é um decoder dual; o pino 1-$\overline{Eb}$ em nível L ativa o decoder-b e o pino 15-$\overline{Ea}$ em nível L ativa o decoder-a (fig.4-5a). As saídas a0/a3 e bo/b3 obedecem a tabela da fig. 4-5b. Note que em cada decoder apenas uma das saídas é levada a nível L, conforme os bits nas duas entradas.

O decoder-a é mantido sempre ativado (pino 15 aterrado), o decoder-b é habilitado quando o sinal $\overline{CAS}$ é levado a nível L. Entradas semelhantes (1a com 1b, 2a com 2b) são ligadas entre si, de modo que os sinais recebidos do 74LS257 entram simultaneamente nos dois decoders.

Com ϕo em nível H os endereços A15 e A14 aparecem nas saídas ZD e ZC do 74LS257 e entram nos dois decoders. Se for um endereçamento de ROM A15 e A14 estarão em nível H, fazendo ZD e ZC também em nível H, que acoplados às entradas do decoder-a levarão suas três saídas (pinos 12, 11, 10) todas a nível H (última linha da tabela na figura 4-5b). Estes três pinos são entradas na NAND 74LS20; a quarta entrada será $\overline{KBD}$, que



(A)

ENTRADAS		SAÍDAS			
1a	2a	aØ	a1	a2	a3
L	L	L	H	H	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	H	H	H	L

(B)

4-5 decoder dual 74LS139 (a) pinagem (b) tabela verdade do decorder a, também válida para o decoder b

estará em nível H por não ser uma leitura de Keyboard. Com as quatro entradas em nível H a saída pino 8 da NAND será nível L, que entra na NAND seguinte e provoca nível H na saída pino 6 - $\overline{\text{RAM SEL}}$. Este sinal em nível H é enviado aos dois multiplexers 74LS257 que conduzem os dados da RAM ou Keyboard para o microprocessador, bloqueando-os (pino 15 - $\overline{E}$ - "enable", desativado em nível H). Com isso a ROM pode enviar seus dados para o 6502 sem interferência da RAM ou Keyboard.

Mas se o endereçamento for de RAM pelo menos um dos terminais A15-A14 estará em nível L (reveja fig. 4-1), que acoplados à entrada do decoder-a levará uma de suas saídas a nível L (tabela da fig. 4-5b; a entrada 1a é ZD/A15 e 2a é ZC/A14). Com uma de suas quatro entradas em nível L a primeira NAND terá saída em nível H, que é enviado à segunda NAND. Se for uma operação de leitura a outra entrada - R/$\overline{W}$ - desta última NAND também será nível H e em consequência sua saída pino 6 - $\overline{\text{RAM SEL}}$ estará ativa em nível L.

O sinal $\overline{\text{RAM SEL}}$ em nível L ativa os dois multiplexers 74LS257 (nível L no pino 15-$\overline{E}$ -"enable"), permitindo que um dos grupos DI ou KBD apareçam na saída para o microprocessador. Se o sinal $\overline{\text{KBD}}$, acoplado ao pino 1-S, estiver em nível L serão selecionadas as entradas KBD0/KDB7 recebi -

ENTRADAS		SAÍDA
S1	SØ	ZA
L	L	Øa
L	H	1a
H	L	2a
H	H	3a

4-6 codificação de sinais no 74LS153

das do Keyboard. Se $\overline{KBD}$ estiver em nível H a seleção será de DL0/DL7 byte de dados recebido da RAM e armazenados no latch.

Veja que na leitura do dados do Keyboard o sinal $\overline{KBD}$ é ativado em nível L e provoca nível H na saída pino 8 da primeira NAND, independente dos níveis de A15 e A14. Como R/$\overline{W}$ também estará em nível H (leitura), a saída pino 6 $\overline{RAM\ SEL}$ da segunda será ativada em nível L.

No caso de leitura de RAM o decoder-b será habilitado quando $\overline{CAS}$, gerado no circuito de clock, for levado a nível L. A15-A14 entram no decoder-b exatamente como fizeram no decoder-a e aparecerão nas suas saídas - pinos 4, 5 e 6 - de acordo com a tabela da fig. 4-5b. A15 corresponde à entrada 2b - pino 2, e A15 a 1b - pino 3. Aplicando a tabela da fig. 4-1 temos que para cada banco RAM endereçado resultará na ativação do respectivo $\overline{CAS}$ ($\overline{CAS1}$, $\overline{CAS2}$, $\overline{CAS3}$) na saída do decoder-b.

Os três sinais $\overline{CAS1}$, $\overline{CAS2}$, $\overline{CAS3}$ são levados aos respectivos bancos RAM. Quando um deles é ativado em nível L pelo decoder-b não somente habilita seu banco RAM como ainda indica ao CI 4116 que os 7 bits existentes nos seus pinos de endereço têm a validade A10/A4/A5/A11/A9/A6/A13 (multiplexação com A7/A2/A0/A8/A3/A1/A12)

As discussões acimareferem-sea ϕo em nível H. Mas quando ϕo está em nível L (fase $\phi 1$) o pino 1-S do 74LS257 selecionará a entrada 0D para sair em ZD e 0C para sair em ZC, enviando-as para o 74LS139.

Como 0D está sempre em nível L (aterrada), ZD também terá nível L, o que é percebido na entrada pino 13-1a do decoder-a e leva uma de suas saídas a nível L (reveja tabela na figura 4-5b), o que põe em nível H a saída pino 8 da primeira NAND. A segunda NAND fica dependente do estado de R/$\overline{W}$ (para operações de vídeo o sinal $\phi 1$ seleciona o modo leitura na RAM, independente do estado de R/$\overline{W}$).

Ainda com ϕo em nível L os sinais HIRES AND PAGE 2 são selecionados para aparecer em ZC do 74LS257. Com isso o decoder-b deste CI terá HIRES AND PAGE 2 na sua entrada 2b e nível L (0D aterrada) na entrada 1b. A tabela da fig. 4-5b fica reduzida às duas primeiras linhas (1b=L e

2b=L, ou 1b=L e 2b=H). De imediato nota-se que a saída b2-BANCO 3 do decoder-b jamais será ativada em nível L em operações de vídeo, o que é correto pois não há memória de vídeo nesta área da RAM (de 32K a 48K), como registrado na fig. 1-4.

Se o micro estiver programado para MODO TEXTO ou LORES o sinal HIRES estará desativado em nivel L, nível este que aparecerá na saída pino 8 da AND 74LS08 e na entrada 2b do decoder-b, provocando a ativação em nível L da sua saída bo-BANCO 1. Isto é correto , pois a memória de vídeo de MODO TEXTO e de LORES encontram-se no banco 1 da RAM (fig.1-4).

Com o micro programado em HIRES a saída da AND fica dependente de PAGE 2. Se a operação for HIRES-PAGE 1 o sinal PAGE 2 estará desativado em nível L, que será recebido na entrada 2b do decoder-b do 74LS139 e provocará a ativação em nível L de sua saída b0-BANCO 1. Isto é correto, pois PAGE 1 de HIRES está no banco 1 da memória RAM (fig. 1-4). Para operações HIRES-PAGE 2 o sinal PAGE 2 assumirá nível H, que entrará em 2b do decoder-b e ativará em nível L sua saída b1-BANCO 2. Isto é correto, pois PAGE 2 de HIRES está no banco 2 da memória RAM (fig. 1-4).

Por fim, temos o segundo CI 74LS257 e o 74LS153, cuja função sera alimentar o pino 13 (RA 6) da RAM. Este pino corresponde ao terminal de endereço A 12 durante AX em nível H ou A 13 para AX em nível L (multiplexação de endereços na RAM).

A codificação de sinais no multiplexador 4X1 74LS153 é vista na tabela da fig. 4-6. S1 recebe ϕo e S0 AX. Lembre-se que Ax em nível H seleciona os terminais de endereço da RAM como "row" (fileira) e em nível L como "colunn" (coluna).

Com ϕo em nível H (fase $\phi 2$ do microprocessador) é selecionada uma das entradas 2a (A13) ou 3a (A12), que aparecerá no pino 13 (RA6) da RAM. Com AX em nível H teremos a última linha da tabela da fig.4-6 (S1=H/S0=H) e a seleção será da entrada 3a; pino 13 da RAM receberá o terminal de endereço A12, completando os sete bits de "row". Quando AX é levado a nível L caracteriza-se a penúltima linha da tabela (S1=H/S0=L) e a entrada 2a é selecionada, transmitindo A13 para o pino 13 da RAM, comple-

tando os sete bits de "colunn".

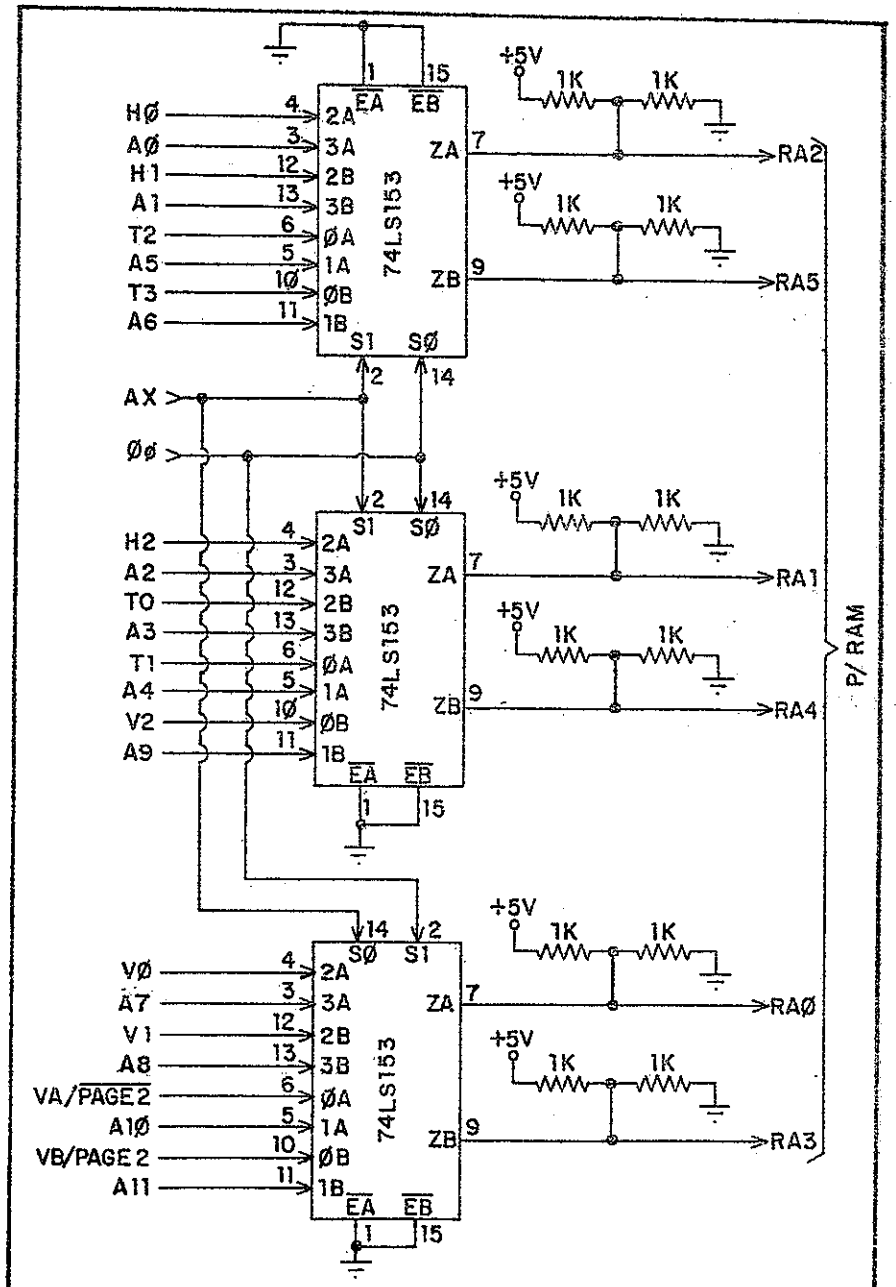
Com Ø0 em nível L (fase Ø1 de vídeo) é selecionada uma das saídas 0a ou 1a, alimentadas pelo 74LS257, que realiza a multiplexação já ilustrada na fig. 4-4. O pino 1-S é controlado pelo sinal HIRES. Com o micro programado para MODO TEXTO ou LORES o sinal HIRES estará desativado em nível L e serão selecionados as entradas 0C (aterrada, nível permanente) e 0D (HBL - "horizontal blnking", apagamento horizontal, que é emitido ativo nível alto ao final da varredura horizontal da tela e apaga o feixe luminoso para retorná-lo à margem esquerda da linha seguinte). Elas são injetadas nas entradas 0a e 1a do 74LS153 e apareçerão no pino 13 da RAM, HBL quando AX for nível H e o aterramento para AX nível L. Note que enquanto HBL estiver desativado (nível L) o endereço de vídeo no pino 13 da RAM será nível L ("0"), mas quando HBL for ativado (nível H) o pino 13 da RAM terá nível H ("1"), que caracteriza um endereço onde todos os dados são zeros (apagando a tela).

Ainda na fase Ø1 de vídeo se o micro estiver programado para HIRES o pino 1-S do 74LS257 selecionará as entradas 1C-$\overline{\text{PAGE 2}}$(complemento de PAGE 2, em nível H indica PAGE 1 e em nível L PAGE 2) ou 1D-VC (sinalização de deflexão vertical na tela indicando o fim de um carácter de 8 linhas e o começo de outro). Elas são conduzidas para o pino 13 da RAM, $\overline{\text{PAGE 2}}$ durante AX nível L e VC para AX nível H, correspondendo a diferentes endereços na memória.

4- Endereçamento RAM

O circuito de endereçamento RAM é visto na fig. 4-7. Os sinais H0, H1, H2, V0, V1, V2, T0, T1, T2 referem-se ao endereçamento de vídeo e serão estudados posteriormente. A rede de resistores de 1KOhms não altera a lógica dos sinais, apenas servindo para estabilizá-los.

O CI 74LS153 já foi visto na seção anterior. Entretanto aqui ele é usado com os dois multiplexadores (no circuito da fig. 4-3 apenas o multiplexador "a" era empregado). O multiplexador "a" transmite para a saída ZA uma das quatro entradas (0a, 1a, 2a, 3a), conforme a tabela 4-6. O multiple-



4-7 circuíto de endereçamento RAM

xador "b" faz o mesmo com a saída ZB e as entradas 0b, 1b, 2b, 3b. Note que os selecionadores S0 e S1 servem para os dois multiplexadores, simultaneamente.

Ø0 é injetado em S0, sendo nível L para vídeo (fase Ø1 e nível H para operações do 6502 (fase Ø2). Ax é ligado a S1, nível H para multiplexação "row" de endereços e nível L para "colunn". Os três CIS 74LS153 estão constantemente habilitados (pinos 1 e 15 aterrados). As 6 saídas dos 6 multiplexadores estão ligadas aos terminais de endereços RA0/RA1/RA2/RA3/RA4 /RA5 da RAM (na seção anterior vimos o terminal RA6 que completa os 7 bits, os quais formam 14 terminais multiplexados em dois grupos). O resultado da multiplexação 4X1 é visto na fig. 4-8.

É interessante notar que não existe uma exata correspondência entre a numeração da barra de endereços e os terminais da RAM, de tipo A0-RA0, A1-RA1, A2-RA2, etc. Essa disparidade não faz qualquer diferença, pois cada posição interna da RAM será determinada por um único endereço A0/A13, tanto na escrita quanto na gravação. Para efeitos práticos podemos assumir que as posições internas da RAM correspondem aos endereços A0/A13.

	(SØ) ØØ	(S1) AX	TERMINAIS DE ENDEREÇOS RAM RA2	RA5	RA1	RA4	RAØ	RA3	RA6
65Ø2	H	H	AØ	A1	A2	A3	A7	A8	A12
	H	L	A5	A6	A4	A9	A10	A11	A13
VÍDEO	L	H	HØ	H1	H2	TØ	VØ	V1	VC/HBL
	L	L	T2	T3	T1	V2	VA/ PAGE 2	VB/ PAGE 2	NIVEL L/ PAGE 2

4-8 decodificação de endereços da RAM

5- Bancos RAM

A fig. 4-9 apresenta o circuito de CIS RAM 4116. O estagio é dividido em três bancos de 16Kbytes, perfazendo o total de 48Kbytes. Como cada CI4116 tem apenas 1 bit de dados por posição são necessários 8 chips para completar o byte. Assim, por exemplo, o dado D0 do endereço 1000 está no CI C3, o dado D1 do mesmo endereço está no CI C4, o dado D2 do mesmo endereço no CI C5, ...

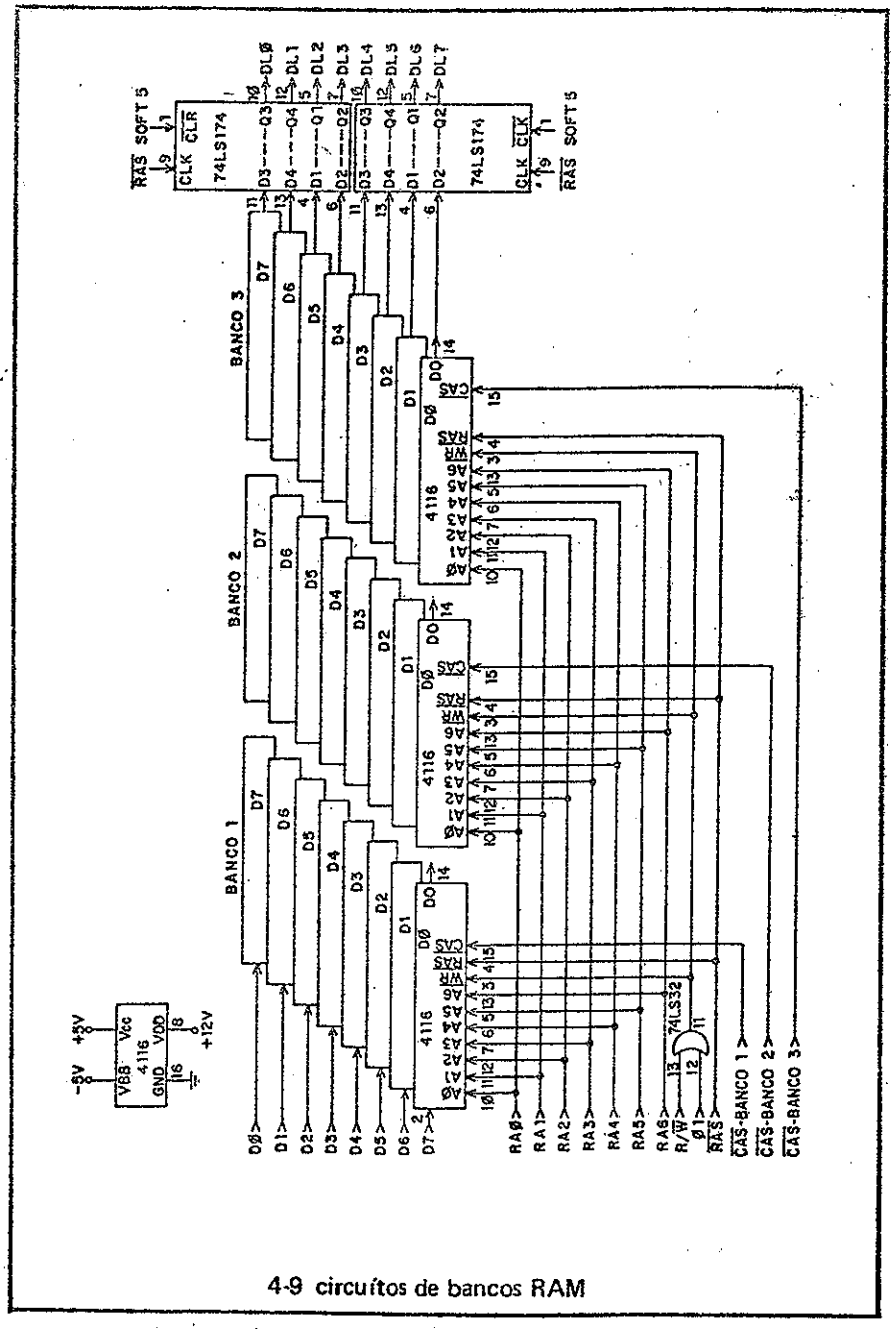
Os dados entram (escrita, $\overline{WR}$ - "write" - em nível L) pelos pinos 2 e saem (leitura , $\overline{WR}$ en nível H) pelos pinos 14, sendo armazenados nos dois latches 74LS174, de onde seguirão como DL0/DL7 para o microprocessador ou para o gerador de vídeo.

Os sinais R/$\overline{W}$ e Ø1 são combinados na OR 74LS32, cuja saída controla o terminal $\overline{WR}$ da RAM. Em operações de vídeo Ø1 estará em nível H (fase Ø1), colocando $\overline{WR}$ em nível H (leitura de vídeo) independente de R/$\overline{W}$. Em operações do 6502 (fase Ø2) Ø1 encontra-se em nível L e a saída da OR fica dependente de R/W (leitura nível H, escrita nível L)

O sinal $\overline{RAS}$ ("row address strobe", impulsão de endereço de fileira) é conectado aos três bancos. Quando é ativado em nível L todos os CIS recebem a "primeira remessa" de 7 bits de endereço (1ª ou 3ª linha da tabela da fig. 4-8). Porém, cada banco tem seu próprio sinal $\overline{CAS}$ ("colunn address strobe", impulsão de endereço de coluna) referente à "segunda remessa" de 7 bits de endereço (2ª ou 4ª linhas da tabela da fig. 4-8). O circuito da fig. 4-3 ativa em nível L apenas um deles ($\overline{CAS}$-BANCO 1, $\overline{CAS}$-BANCO 2, $\overline{CAS}$-BANCO 3). O banco CAS em nível L é ativado, recebendo a "segunda remessa" e executando a operação de leitura ou escrita; os outros dois bancos com $\overline{CAS}$ em nível H permanecem desativados, não participando da operação. Ou seja, o sinal $\overline{CAS}$ além de sicronizar a segunda fase de multiplexação deendereçostambém ativa o CI 4116.

6- Refresh

O CI 4116 é do tipo RAM dinâmica, necessitando refresh (re-



4-9 circuítos de bancos RAM

frescamento) periódico para conservar o dado armazenado. O processo de refresh é realizado automaticamente pelos circuitos internos do CI quando ele executa uma operação de leitura ($\overline{\text{write}}$ em nível H), com a devida ativação de $\overline{\text{RAS}}$. No APPLE II ocorre uma leitura de RAM a cada fase Ø1 (vídeo), levando $\overline{\text{WRITE}}$ a nível H e ativando $\overline{\text{RAS}}$ dos três bancos, garantindo o refresh em intervalos de tempo adequados.

CAPÍTULO 5
MEMÓRIA ROM

1- Endereços de CIS ROM

A memória ROM é composta de 6 CIS 9316, de 2K X 8, ou seja, comportam 8 bits em cada uma das 2K posições internas. Este CI é semelhante a popular INTEL 2716, mas com pequenas diferenças na pinagem.

Como vimos no mapa da memória (fig. 1-4) o endereço de ROM começa em 53.248 e vai até 65.535. Dividindo este espaço em blocos de 2K para cada CI resulta na tabela da fig. 5-1.

Observe que em todos CIS ROM os dois bits mais significativos (à esquerda), correspondendo aos terminais de endereço A15 e A14, são iguais a "11". O que diferencia os CIS entre si são os três bits seguintes, correspondendo a A13, A12, e A11. Os 11 bits restantes (A10/A0) são usados para endereçar as posições internas do CI. A tabela da fig. 5-2 destaca os valores dos terminais de enderço que diferenciam os 6 CIs.

2- Decodificação de endereços ROM

O estágio decodificador de endereços ROM é visto na fig. 5-3 (também decodifica posições de periféricos, que estudaremos com mais detalhes no próximo capítulo).

O 74LS138 é ativado quando seu pino 6-E3 está em nível H e os pinos 4-$\overline{E1}$ e 5-$\overline{E2}$ estão em nível L. ϕ1 é ligado a $\overline{E1}$ e $\overline{E2}$ e na leitura de vídeo (fase ϕ1) está em nível H, desativando o 74LS138 e os 6 CIs ROM. A15 e A14 são combinados na AND 74LS08, cuja saída pino 6 é ligada a E3. Assim este terminal (e o 74LS138 e os 6 CIs ROM) somente será ativado quando A14 e A15 estiverem ambos em nível H, o que só ocorre em endereçamento de ROM e dos periféricos (reveja tabela da fig. 5-2).

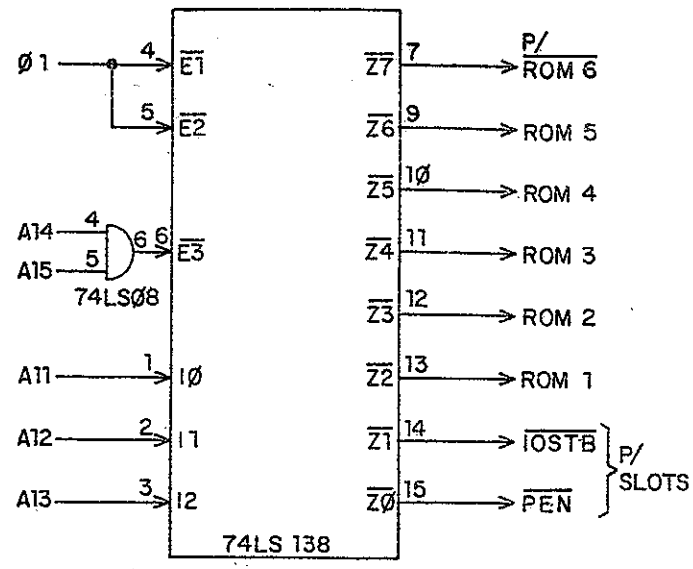
Os terminais A13/A12/A11 diferenciam os 6 CIs ROM (tabela

CI	ENDEREÇOS	
	DECIMAL	BINÁRIO
ROM 1	53.248–55.295	11Ø1 ØØØØ ØØØØ ØØØØ – 11Ø1 Ø111 1111 1111
ROM 2	55.296–57.343	11Ø1 1ØØØ ØØØØ ØØØØ –11Ø1 1111 1111 1111
ROM 3	57.344–59.391	111Ø ØØØØ ØØØØ ØØØØ–111Ø Ø111 1111 1111
ROM 4	59.392–61.439	111Ø 1ØØØ ØØØØ ØØØØ–111Ø 1111 1111 1111
ROM 5	61.440–63.487	1111 ØØØØ ØØØØ ØØØØ–1111 Ø111 1111 1111
ROM 6	63.488–65.535	1111 1ØØØ ØØØØ ØØØØ–1111 1111 1111 1111

5-1 endereços de CIs ROM

CI	ENDEREÇOS			
	A15/A14	A13	A12	A11
ROM 1	1 1	Ø	1	Ø
ROM 2	1 1	Ø	1	1
ROM 3	1 1	1	Ø	Ø
ROM 4	1 1	1	Ø	1
ROM 5	1 1	1	1	Ø
ROM 6	1 1	1	1	1

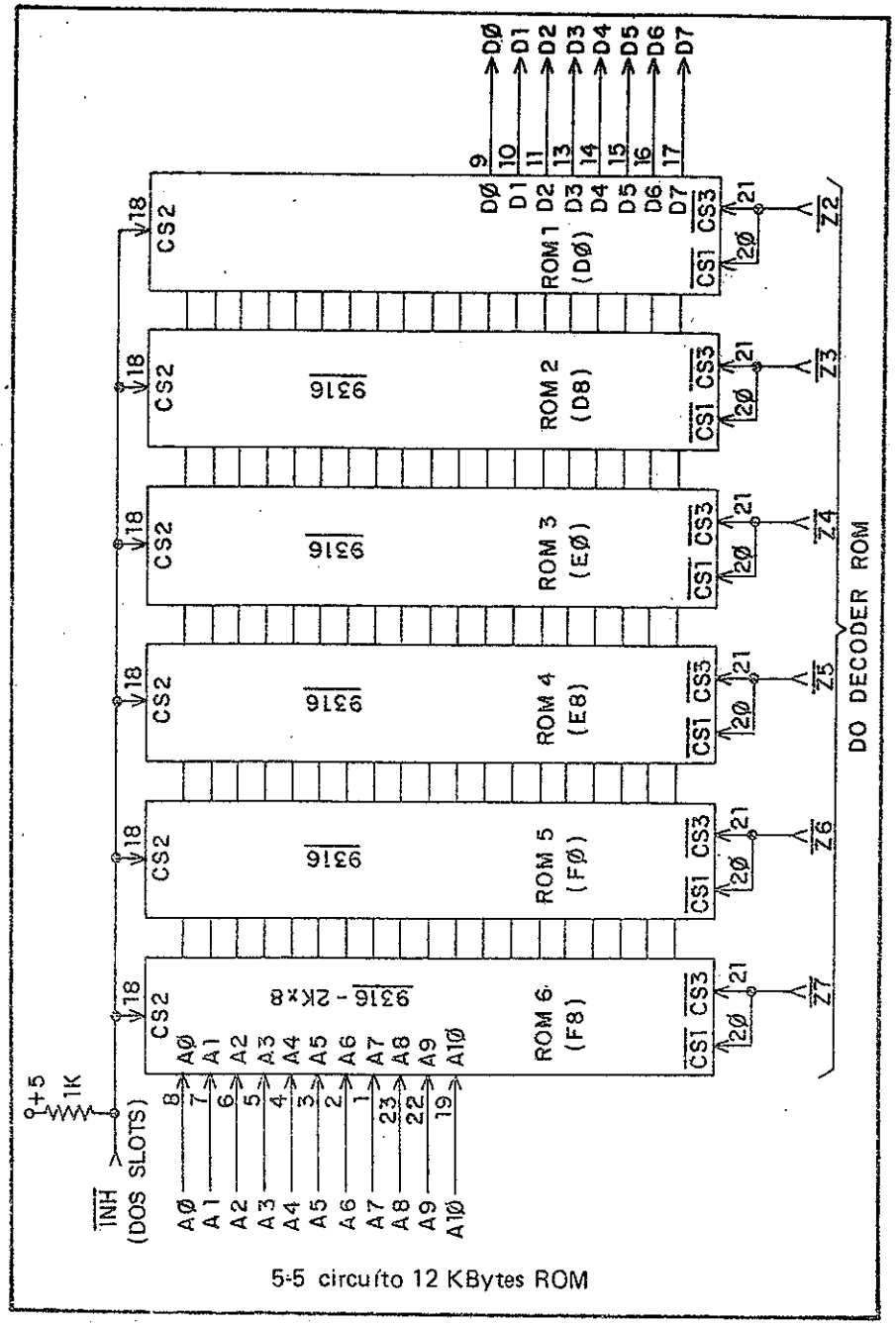
5-2 terminais de diferenciação de endereços dos CIs ROM



5-3 decodificador de endereços ROM

IØ	I1	I2	SAÍDA ATIVADA (NÍVEL L)
L	L	L	$\overline{Z0}$
H	L	L	$\overline{Z1}$
L	H	L	$\overline{Z2}$
H	H	L	$\overline{Z3}$
L	L	H	$\overline{Z4}$
H	L	H	$\overline{Z5}$
L	H	H	$\overline{Z6}$
H	H	H	$\overline{Z7}$

5-4 tabela de decodificação de 74LS138



5-5 circuíto 12 KBytes ROM

da fig. 5-2). Eles são conectados às entradas I2/I1/I0 do decoder, respectivamente. Os bits nas três entradas do decoder selecionam uma das saídas $\overline{Z0}/\overline{Z7}$, levando-a a nível L enquanto as outras permanecem em nível H, conforme a tabela da fig. 5-4. Deste modo se um endereço pertence a um dos 6 CIs ROM sua correspondente saída será levada a nível L, ativando-o enquanto os outros 5 CIs ROM permanecem desativados.

Como exemplo, digamos que o 6502 quer ler o byte existente no endereço 1101 1001 1100 0101B. A15 e A14 estão ambos em nível H (os dois primeiros "1" à esquerda), o que habilitará E3 do decoder. Os três binários seguintes do endereço são "011", correspondendo a A13=L/A12=H /A11=H que aparecerão nas entradas I2/I1/I0, caracterizando a 4ª linha da tabela da fig. 5-4. Em consequência a saída $\overline{Z3}$ será levada a nível L, que é enviado ao CI ROM 2, ativando-o. Ele coloca na barra de dados o byte D0/D7 gravado na sua posição interna 001 1100 0101B (onze bits à direita no endereço, referentes a A10/A0), que então é lido pelo microprocessador.

3- Circuito de 12KBytes ROM

O circuito de 12KBytes ROM é visto na fig. 5-5, composto de 6 CIs 9316. Cada um deles é conhecido por sua posição na placa do circuito ou pelos dois primeiros números hexadecimais de seus endereços iniciais. (fig. 5-1):

O CI 9316 é ativado quando seus pino 20-$\overline{CS1}$("chip select", seleção de chip) e 21-$\overline{CS3}$ estão em nível L e o pino 18-CS2 em nível H. $\overline{CS1}$ e CS2 são ligados e recebem as respectivas saídas do decodificador 74LS138. CS2 é mantido em nível H, recebendo +5V através de um resistor de 1KOhm, mas recebe também o sinal $\overline{INH}$ ("inhibit", inibe) dos slots. Se o periférico ali instalado ativar este terminal em nível L o CS2 será desativado, desativando todo o circuito 12KBytes ROM (o periférico poderá então substitui-lo pela sua própria memória).

Note que, ao contrário da RAM, a ROM não precisa de controles R/$\overline{W}$. Como ela só realiza operações de leitura ("read") ao ser ativada automaticamente os dados D0/D7 da posição endereçada ficam diponíveis para leitura

CAPÍTULO 6
PERIFÉRICOS

1- Diagrama de blocos e endereços

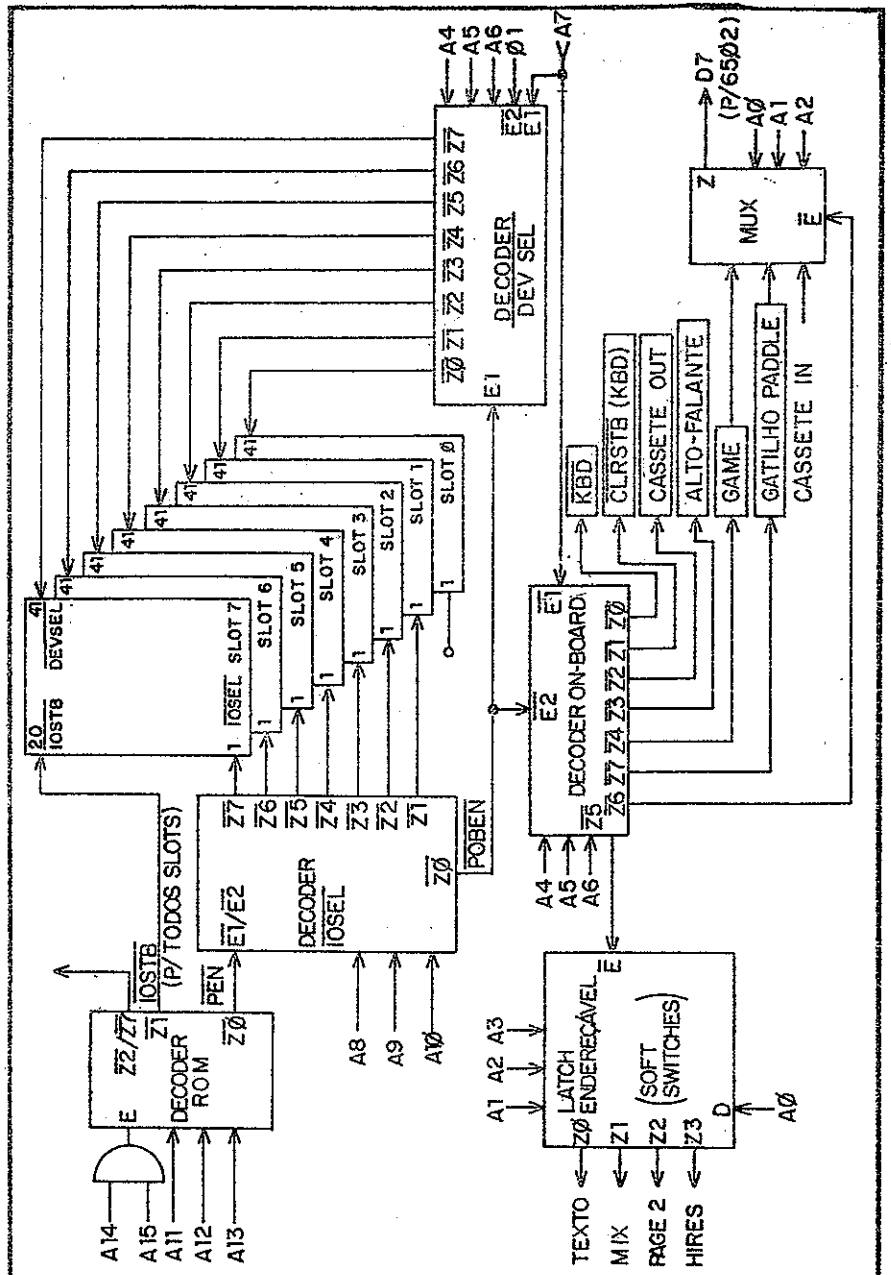
O diagrama de blocos do estágio de periféricos consta na fig. 6-1. Consiste em uma cascata de decodificadores que enviam três sinais ($\overline{IOSTB}$, $\overline{IOSEL}$, $\overline{DEV\ SEL}$) para os conectores nos slots e selecionam periféricos embutidos ("on board"). Os sinais enviados aos conectores não tem função pré-determinada, cabendo aos circuitos do periférico que for instalado no slot aplicá-los adequadamente.

Como vimos no mapa de menória (fig. 1-4) os periféricos localizam-se de 48K a 52K, isto é, nos endereços 1100 0000 0000 0000B, até 1100 1111 1111 1111B. Ou seja, o que caracteriza,um endereço de periférico é A15/A14 em nível H e A13/A12 em nível L. O terminal A11 pode estar tanto em nível H quanto L, apenas diferenciando posições internas no estágio periférico.

O decodificdor de endereços ROM (fig. 5-3) recebe os sinais A15/A14/A13/A12/A11, decodificando-os conforme a tabela da fig. 5-4. Quando A15/A14 estiverem ambos em nível H, A13/A12 em nível L e A11 em nível H (endereço 1100 1xxx xxxx xxxxB) será ativada em nível L a saída $\overline{Z1}$-$\overline{IOSTB}$ ("input/output strobe", impulsão de entrada/saída), que é conectada aos pinos número 20 dos 8 conectores de slots (fig 6-2). Por outro lado, se A15/A14 estiverem ambos em nível H e A13/A12/A11 em nível L (endereço 1100 0xxx xxxx xxxxB) a saída ativada em nível L será $\overline{Z0}$-$\overline{PEN}$ ("peripherical enable", habilita periférico).

O sinal $\overline{PEN}$ em nível L habilita o decoder IOSEL, que ativará uma de suas saídas em nível L, dependendo do estado de A8/A9/A10 nas suas entradas, conforme tabela da fig. 6-3.

Cada saída do decoder IOSEL, exceto Z0, é ligada a um conector de slot, enviando-lhe o sinal $\overline{IOSEL}$ ativo em nível L. Apenas o slot 0 não recebe este sinal. Note que IOSEL usa os terminais A8 até A15, ainda so-



6-1 diagrama de blocos do estágio de periféricos

ENTRADAS				SAÍDA ATIVADA
A15/A14	A13	A12	A11	(NÍVEL L)
H H	L	L	L	$\overline{Z0}$: $\overline{PEN}$
H H	L	L	H	$\overline{Z1}$: $\overline{IOSTB}$

6-2 decodificação de estágio de periféricos no decoder ROM

$\overline{PEN}$ = L	DECODER IOSEL				
A15/A14/A13/A12/A11	A10	A9	A8	SAÍDA ATIVADA (NÍVEL L)	
HHLLL	L	L	L	$\overline{Z0}$: $\overline{POBEN}$	
	L	L	H	$\overline{Z1}$: SLOT 1	IOSEL
	L	H	L	$\overline{Z2}$: SLOT 2	
	L	H	H	$\overline{Z3}$: SLOT 3	
	H	L	L	$\overline{Z4}$: SLOT 4	
	H	L	H	$\overline{Z5}$: SLOT 5	
	H	H	L	$\overline{Z6}$: SLOT 6	
	H	H	H	$\overline{Z7}$: SLOT 7	

6-3 decodificação do sinal $\overline{IOSEL}$ e habilitação de periféricos embutidos (POBEN)

brando ao conector de slot os terminais A0 até A7, 8 bits, para diferenciar 2^8= 256 posições internas. Cabe aos circuitos do periférico instalado no slot aplicar o sinal $\overline{IOSEL}$ e a disponibilidade das 256 posições internas, como for de sua conveniência.

Quando o decoder IOSEL seleciona a saída Z0 ($\overline{PEN}$ em nível L e A10/A9/A8 em nível L, ou seja, endereço 1100 0000 xxxx xxxx8) é emitido o sinal $\overline{POBEN}$ ("peripheral on board enable") que em nível L ativa parcialmente os decoders DEV SEL e ON-BOARD. O terminal de endereço A7 completa a ativação, em nível L ativando o decoder on-board e em nível H o de-

coder DEV SEL. Assim, o endereço do decoder on-board é 1100 0000 0xxx xxxxB e do decoder DEV SEL é 1100 0000 1xxx xxxxB. Cada um deles ainda pode usar 7 bits - de A0 até A6 - para diferenciar 2^7= 128 posições internas.

Ao ser habilitado pelo endereçamento 1100 0000 1xxx xxxxB o decoder DEV SEL decodifica os terminais A6/A5/A4 conforme a tabela da fig. 5-4 e ativa em nível L uma de suas saídas $\overline{Z0}/\overline{Z7}$, enviando ao respectivo conector de slot o sinal $\overline{DEV\ SEL}$ ("device select", seleção de dispositivo). Ainda resta ao slot 4 bits - A0 até A3 - para diferenciar 2^4= 16 posições internas. Como acontece com os sinais $\overline{IOSTB}$ e $\overline{IOSEL}$ cabe aos circuitos do periférico instalado no slot aplicar o sinal $\overline{DEV\ SEL}$ e a disponibilidade das 16 posições internas como for sua conveniêcia.

Neste ponto é importante ressaltar que o periféricoinstaladono slot pode desconhecer totalmente os sinais $\overline{IOSTB}$, $\overline{IOSEL}$ e $\overline{DEV\ SEL}$. Entretanto a existência destes sinais já codificados pelo sistema APPLE II facilita bastante a interface entre micro e periférico.

Após serendereçado por 1100 0000 0xxx xxxxB o decoder on-bord decodifica os terminais A4/A5/A6 ainda pela tabela da fig. 5-4, levando a nível L uma das saídas $\overline{Z0}/\overline{Z7}$ que ativará um dos periféricos embutidos. A tabela da fig. 6-4 apresenta o resultado da decodificação. Note que ainda sobram 4 bits - A0 até A3 - para diferenciar 2^4= 16 posições internas dentro de cada periférico.

A saída $\overline{Z6}$ do decoder on-board ativa um multiplexador que recebe os dados dos periféricos, enviando-os ao micro- processador. Na tabela da fig. 6-5 é apresentada a seleção de dado a ser lido pelo microprocessador (o terminal A3 pode assumir qualquer um dos dois níveis, indiferentemente). Por exemplo, para o micro ler os dados que estão chegando do gravador cassete o programa endereça 1100 0000 0110 1000B (ou alterando A3 - 1100 0000 0110 0000B), o que seleciona a entrada IN0 do multiplexador, transferindo o bit colocado ali pelo gravador para o terminal D7 da barra de dados, que é lido pelo 6502.

Os endereços decodificados nas fig. 6-4 e 6-5 são os mesmos apresentados inicialmente na fig. 1-6. Note no endereçamento do multiplexa-

ENDEREÇOS					DECODER ON-BOARD PERIFÉRICO ATIVADO
DECODER ROM	DECODER IOSEL	DECODER ON-BOARD			
A15/A14/A13/A12/A11	A10/A9/A8/A7	A6	A5	A4	
HHLLL	LLLL	L	L	L	$\overline{Z0}$ KEYBOARD (IN)
		L	L	H	$\overline{Z1}$ KEYBOARD($\overline{CLEAR\ STB}$)
		L	H	L	$\overline{Z2}$ CASSETE OUT
		L	H	H	$\overline{Z3}$ ALTO-FALANTE
		H	L	L	$\overline{Z4}$ GAME
		H	L	H	$\overline{Z5}$ SOFT SWITCHES
		H	H	L	$\overline{Z6}$ (HABILITA MUX)
		H	H	H	$\overline{Z7}$ PADDLE

6-4 decodificação de periféricos embutidos

ENDEREÇOS					DADO A SER ENVIADO AO 65Ø2 (COMO D7)
A15/A4	MUX				
	A3	A2	A1	AØ	
HHLL LLLL LHHL	X	L	L	L	INØ CASSETE IN
	X	L	L	H	IN1 CHAVE Ø - GAME
	X	L	H	L	IN2 CHAVE 1 - GAME
	X	L	H	H	IN3 CHAVE 2 - GAME
	X	H	L	L	IN4 PADDLE Ø
	X	H	L	H	IN5 PADDLE 1
	X	H	H	L	IN6 PADDLE 2
	X	H	H	H	IN7 PADDLE 3

6-5 seleção de dado a ser lido pelo 6502

dor que há dois endereços possíveis para entrada de dados dos periféricos, pois A3 pode assumir qualquer nível.

Quando o decoder on-board ativa sua saída $\overline{Z5}$ (endereço 1100 0000 0101 xxxxB) - SOFT SWITCHES - ela habilita o latch endereçável de sof switches. Este decodifica os terminais A3/A2/A1 nas suas entradas de acordo com a tabela da fig. 6-6, selecionando uma das saídas, que assumirá o mesmo nível do terminal A0 ligado a seu pino D. Por exemplo, para programar o vídeo em HIRES basta endereçar 1100 0000 0101 0111B (veja que o LSB - bit mais à direita - corresponde a A0 em nível H); para programar PAGE 1 - portanto PAGE 2 desativada em nível L - seria 1100 0000 0101 0100B. Os endereços resultantes desta decodificação constam da fig. 1-7.

O bit A0 programado para uma soft switch permanece por tempo indeterminado na saída do latch, podendo ser usado pelo programa ou pelo circuito a qualquer momento.

2- Slots

A fig. 6-7 apresenta o circuito de slots, formado por dois decoders 74LS138 (já ilustrado nas fig. 5-3 e 5-4) e 8 conectores. Entre os periféricos mais comumente instalados nos slots encontramos impressora, disk-drive, e "cartões" APPLE (placas com circuitos projetados especialmente para funcionar como expansão do micro).

O decoder IOSEL tem os pinos de habilitaçao $\overline{E1}$ e $\overline{E2}$ ligados à saída $\overline{Z0}$ ($\overline{PEN}$) do decoder da ROM. O terciero pino de habilitação - E3 - é mantido constantemente ativado em nível H por um resistor de 1KOhms ligado a +5Volts. Entretanto, do terminal E3 sai um jumper para os pinos 39 - USER - de todos conectores de slots. Se o jumper for soldado os periféricos nos slots poderão emitir USER em nível L, o que aterrará o resitor e desabiltará E3, desativando o decoder. Se o jumper não for soldado o terminal USER dos slots ficará sem utilidade.

O decoder DEV SEL é habilitado pelo sinal $\overline{POBEN}$ (do decoder IOSEL) no terminal $\overline{E1}$ e por A7 em E3 (ativo nível H). Além disso, há um terceiro termi-

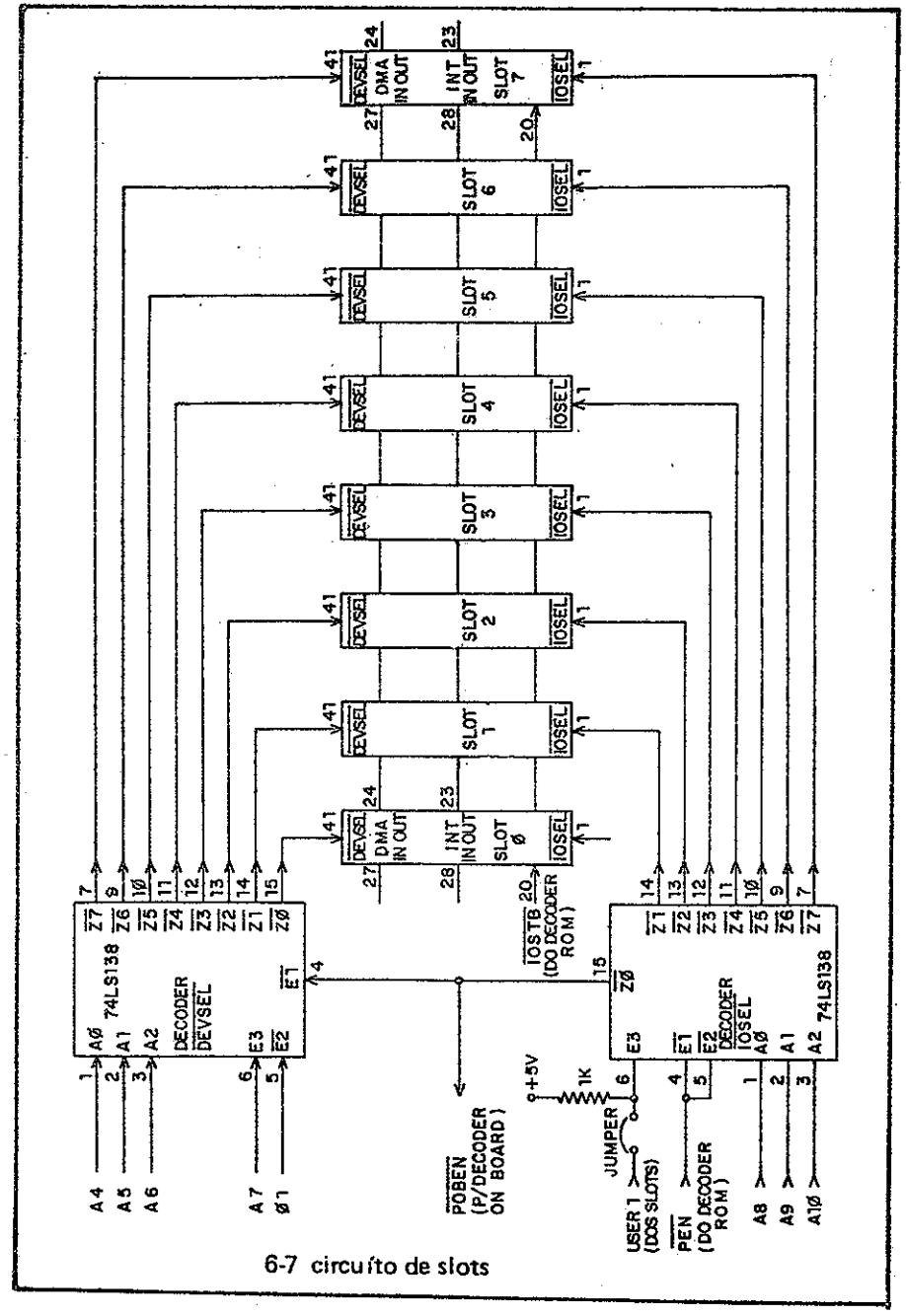
ENDEREÇOS				SOFT SWITCH SELECIONADA
A15/A4	LATCH			
	A3	A2	A1	
HHLL LLLL LHLH	L	L	L	ZØ TEXTO
	L	L	H	Z1 MISTO
	L	H	L	Z2 PAGE 2
	L	H	H	Z3 HIRES

6-6 endereçamento de soft switches

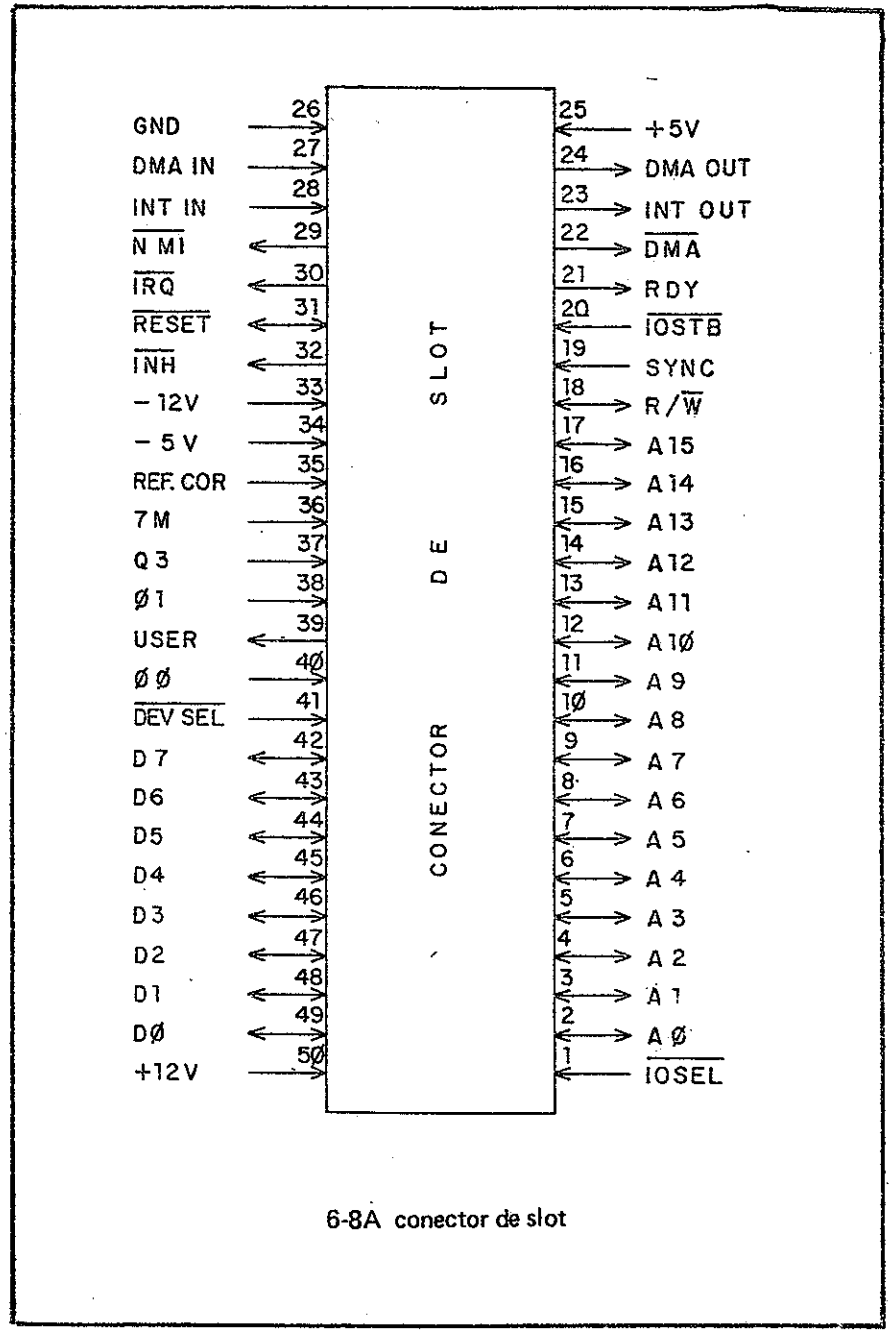
nal de habiltação - $\overline{E2}$ - ligado a Ø1, de maneira que este decoder só estará ativado na fase Ø2 (operações 6502), ficando bloqueado durante leitura de vídeo.

O conector de slot propriamente dito é visto na fig. 6-8. Tem 50 terminais, 25 em cada face. Note que praticamente todos sinais do sistema estão ligados ao conector, enquanto outros só são disponíveis aí (como INT - interrupção - e DMA - acesso direto à memória).

No circuito de slots o sinal INT/OUT - pino 23 é ligado a INT/IN -pino 28 do conector seguinte, em ordem crescente (do slot 0 para o slot 7), de maneira que se houver vários periféricos instalados possa ser criada uma sequência de prioridade entre eles (o INT/OUT ativado num slot desativa todos INT dos slots seguintes, tendo maior prioridade). Entretanto, circuitos que implementem esta cadeia de prioridade é da competência dos próprios periféricos, existido no micro apenas os termnais ligados entre si. A mesma exposição se aplica a operações DMA através dos pinos 24 - DMA OUT e 27 - DMA IN.



6-7 circuíto de slots



6-8A conector de slot

3- Periféricos Embutidos

Na figura 6-8 vemos o circuito de habilitação de periféricos embutidos ("on-board"), incluindo o latch endereçável de soft switches. A função de decoder on-board é exercida pelo 74LS138, já apresentado nas fig. 5-3 e 5-4.

O latch endereçável 74LS259 tem tabela de decodificação semelhante ao 74LS138. As suas quatro primeiras saídas (Z0/Z3) são dedicadas às soft switches e as quatro últimas (Z4/Z7) aos anunciadores do conector de game. O bit existente na entrada D-pino 13 é transferido para a saída selecionada.

O multiplexador 74LS251 segue a tabela da figura 6-5, selecionada na única saída (Z) o bit existente numa das 8 entradas (D0/D7). A saída Z-pino 5 do multiplexador é enviado ao terminal D7 da barra de dados. Várias instruções do 6502 permitem isolar e analisar D7, o que motivou a escolha deste terminal como saída do multiplexador.

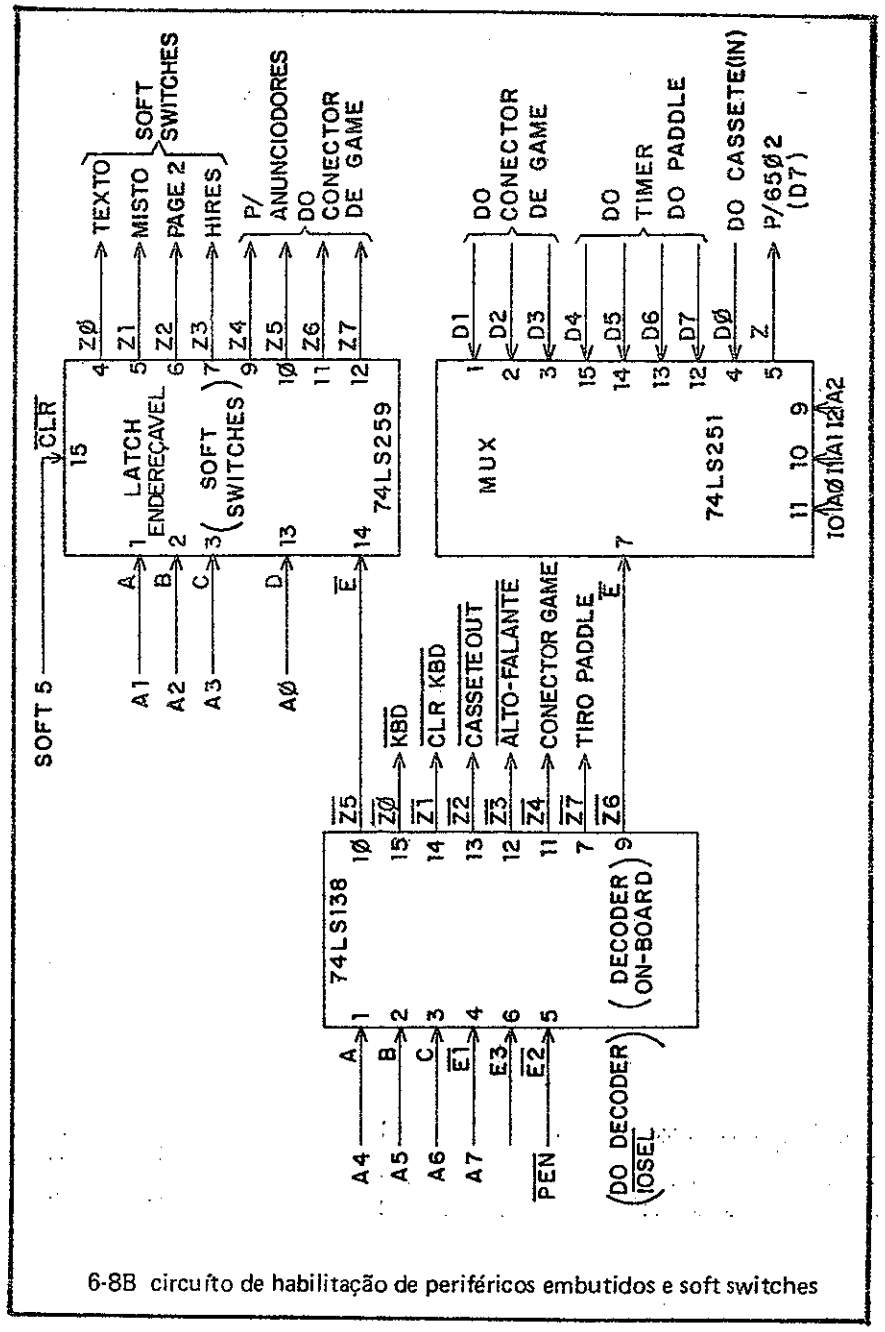
Nas próximas seções analisaremos separadamente os circuitos dos periféricos embutidos (game, paddle, cassete, alto-falante, Keyboard). Ao vídeo será dedicado o próximo capítulo.

4- Alto-Falante

O circuito do alto-falante é visto na fig. 6-9. A saída $\overline{Z3}$ do decoder on-board aparece como clock do flip-flop 74LS74, fazendo mudar de estado cada vez que o alto-falante é endereçado (1100 0000 0011 xxxxB). Para criar o tom desejado uma rotina no programa endereça o alto-falante a frequência adequada.

5- Gravador Cassete

Na fig. 6-10 temos o circuito para receber (IN) ou gravar (OUT) dados em fita magnética de gravador cassete. Na gravação (OUT) ocorre operação semelhante do alto-falante. Quando a saída $\overline{Z2}$ do decoder on-



6-8B circuito de habilitação de periféricos embutidos e soft switches

board é endereçada (1100 0000 0010 xxxxB) o clock de flip-flop 74LS74 produz um pulso, fazendo-o mudar de estado na saída $\overline{Q}$-pino 8. Uma rotina de endereçamento estabelece as frequências de endereçamento equivalentes a nível H e a nível L, que são gravadas como sinal de áudio na fita cassete.

Na recepção de dados vindos do gravador o sinal de áudio em duas frequências diferentes, correspondendo a nível H e nível L, passa por um amplificadoroperacionale é enviado à entrada D0 - pino 4 do multiplexador. O 6502 lê este sinal como dado D7 ao endereçar CASSETE IN (1100 0000 0110 X000B), percebendo-o como bits cuja frequência é indicada por rotina gravada na ROM e convertida em bit nível H ou nível L.

6- Game

Um conector denominado GAME (jogo) - mas que pode ter qualquer outra finalidade - fica disponível na posiçãoJ14, ligando-se ao sistema conforme o circuito da fig. 6-11.

O conector recebe quatro saídas do latch soft switches, que são denominadas AN0/AN1/AN2/AN3 e ativadas pelos endereçamentos:
- AN0 ($\overline{Z4}$): C058H (OFF)/C059H (ON)
- AN1 ($\overline{Z5}$): C05AH (OFF)/C05BH (ON)
- AN2 ($\overline{Z6}$): C05CH (OFF)/C05DH (ON)
- AN3 ($\overline{Z7}$): C05EH (OFF)/C05FH (ON)

A aplicação destes anunciadores AN0/AN3 é definida pelos circuitos do dispositivo instalado no conector e o programa sendo executado.

O dispositivo instalado no conector pode ter até três chaves - S0/S1/S2 - cujas saídas são ligadas às entradas D1/D2/D3 do multiplexador 74LS251. O microprocessador pode ler (dado D7 da saída Z do multiplexador) o estado destas chaves ao endereçar as posições:
- S0: C061H ou C069H
- S1: C062H ou C06AH
- S2: C063H ou CO6BH

(lembre-se que há dois endereços porque A3 pode assumir os os dois níveis

no multiplexador).

Ao ativar $\overline{Z7}$ do decoder on-board (endereço 1100 0000 0111 xxxxB) são habilitadas simultaneamente as entradas TA/TB/TC/TD ("triggers", gatilhos) dotimer 558 Após este gatilhamento as saídas QA/QB/QC/QD ficam em nível H durante o tempo RC (constante de tempo) determinado pela capacitância e resistência conectadas às entradas A/B/C/D, respectivamente. A capacitância é 0,022 micro Farads dos capacitores C8/C7/C6/C5. A resistência é 100 Ohms (resistores R20/R23/R22/R21) mais aresistência variável que for instalada nos respectivos terminais do conector - PDL0/PDL1/PDL2/PDL3.

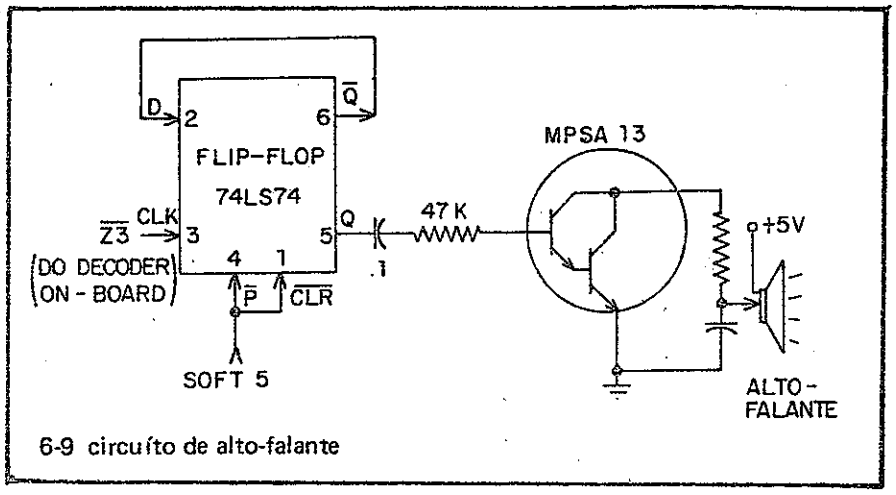
O microprocessador gatilha o timer e endereça uma de suas saídas QA/QB/QC/QD para aparecer na saída Z do multiplexador como dado D7. Quando perceber que ela foi levada a nível L - fim do tempo RC - uma rotina do programa calcula o valor da resistência variável no conector, fornecendo este novo dado para o programa (que o usa da maneira que for de sua conveniência). O endereço de multiplexação das saídas do timer é:
- PDL0: C064H ou C06CH
- PDL1: C065H ou C06DH
- PDL2: C066H ou C06EH
- PDL3: C067H ou CO6FH

Uma aplicação típica para o conector de game é o joystick. As chaves S0/S1/S2 são usadas para botão de tiro e aresistênciavariável corresponde à posição da manete.

7- Keyboard

O teclado consiste numa matriz de 5 colunas (X0/X4) por 10 linhs (Y0/Y9), com algumas posições desocupadas. (fig. 6-12).

Ao apertar a tecla é fechado o contacto entre a coluna e a linha em que ela se localiza. As linhas Y são levadas a nível H, uma por vez, e a cada uma delas verifica-se se uma das colunas X está transmitindo esse sinal. Por exemplo, aperta-se a tecla "I". A linha Y0 é colocada em nível H e as co-



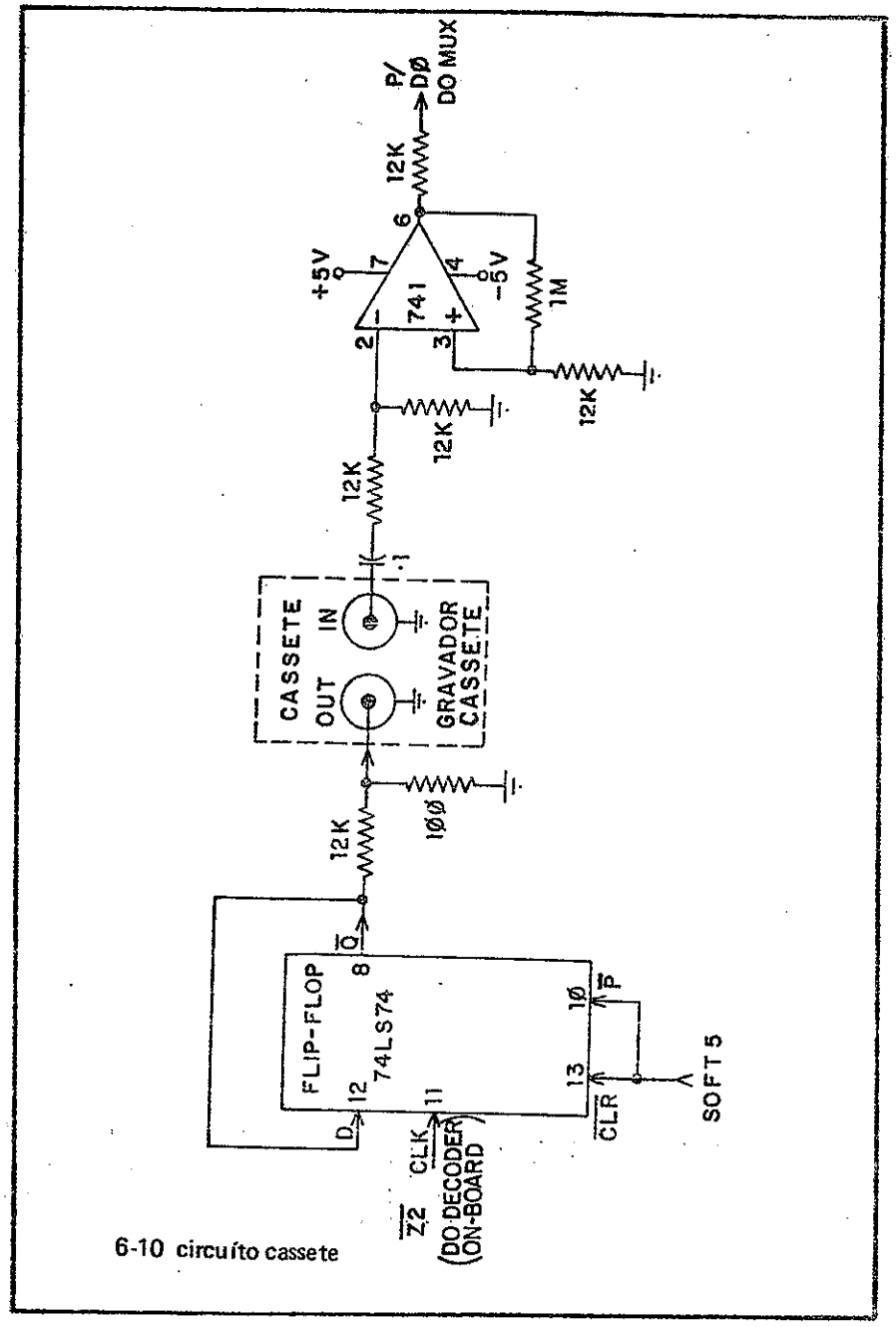
6-9 circuíto de alto-falante

lunas X0/X4 são pesquisadas, mas nenhuma delas estará transmitindo o nível H (os contactos estarão abertos). Repete-se para Y1 e pesquisa-se novamente X0/X4; a operação prossegue até Y6, sempre com o mesmo resultado. Entretanto, em Y7 a coluna X1 apresentará o nível H, pois a tecla "I" fecha contacto entre esta linha e a coluna

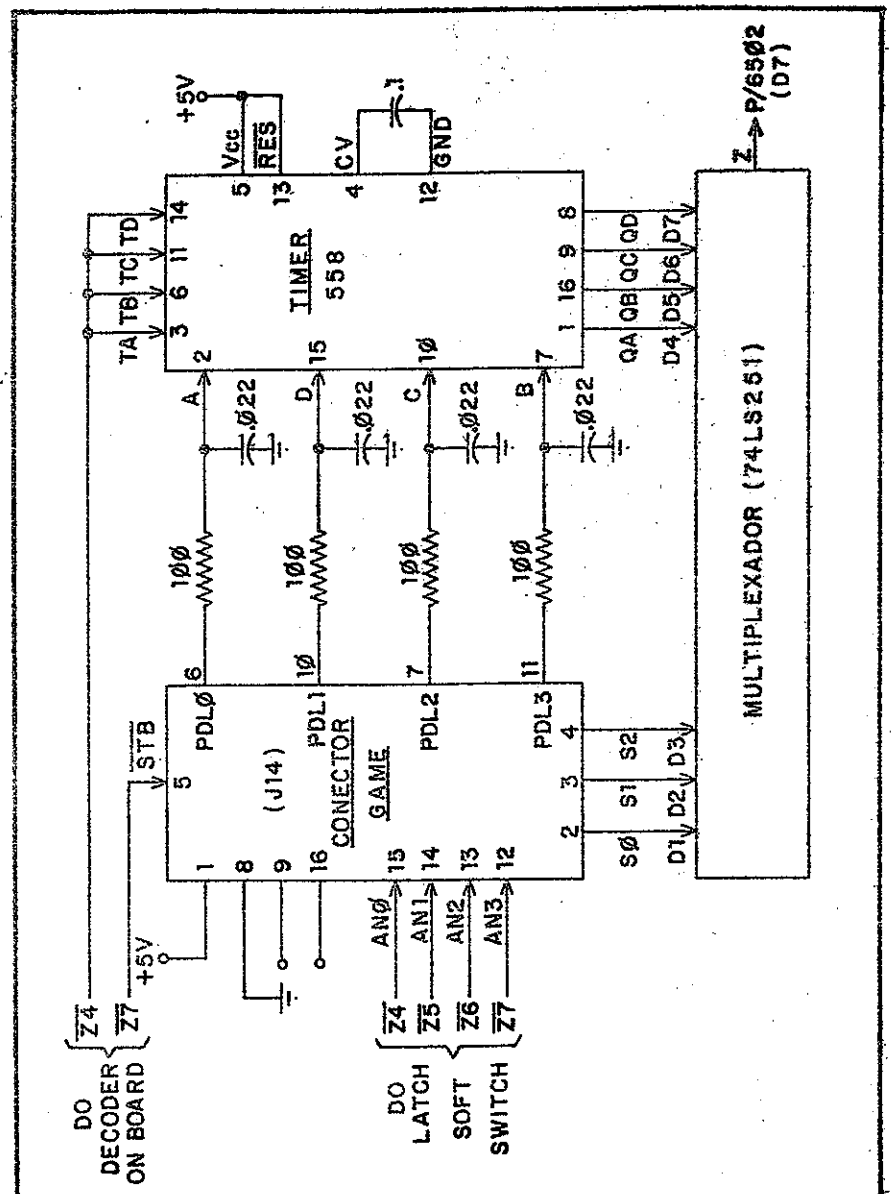
Quando se percebe uma tecla apertada são verificados também os estados das teclas especiais "SHIFT" e "CONTROL", que determinam um entre quatro símbolos possíveis para cada posição (fig. 6-13). Na fig. 6-12 os símbolos de cada tecla são registrados de acordo com a convenção da fig. 6-13.

O teclado localiza-se numa placa separada, ligando-se por conector a outra onde está o circuito de sensoreamento e codificação das teclas (fig. 6-14).

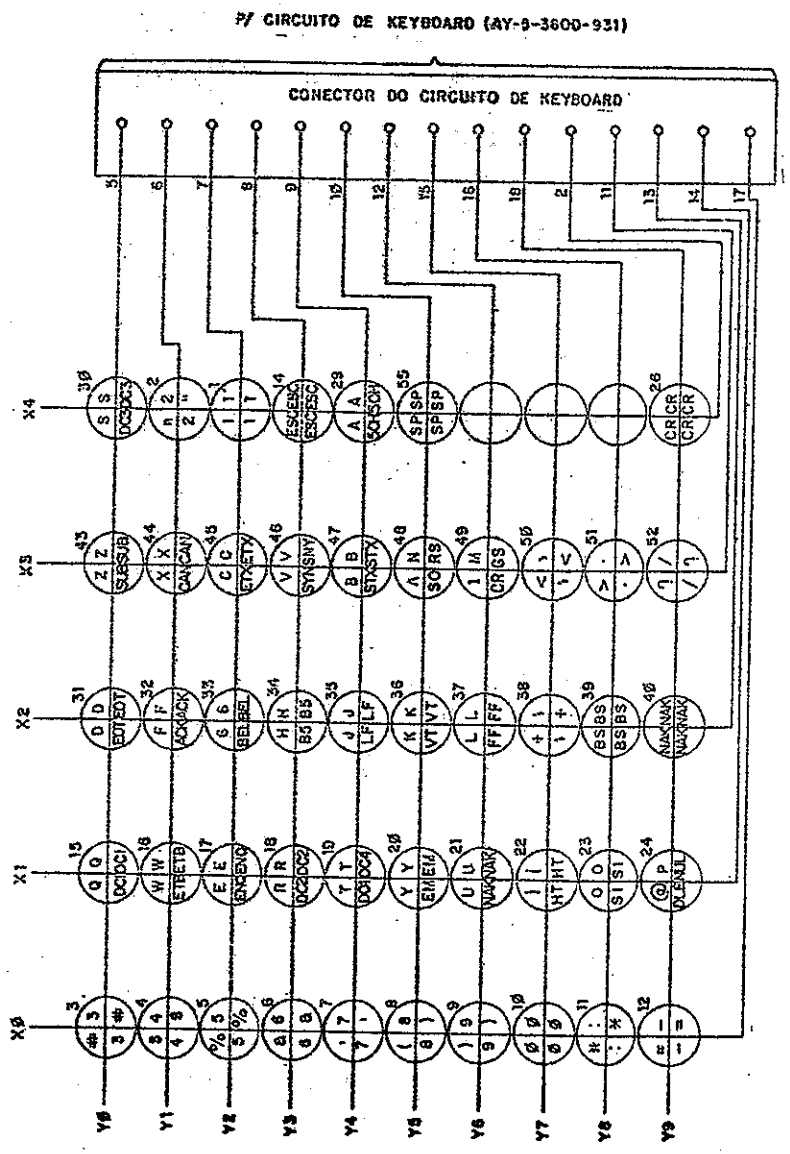
O CI AY-5-3600-931 envia o nível H para as linhas Y, uma de cada vez, e testa as entradas X0/X4, bem como o estado de "SHIFT" e "CONTROL". Se houver tecla apertada seu pino 18 - DATA STROBE OUT é levado a nível H, provocando um pulso positivo STROBE na saída - pino 3 da NAND 74LS00, enquanto os terminais B1/B7 apresentam o código ASCII correspondente a tecla (todo o processo de sensoreamento e codificação é



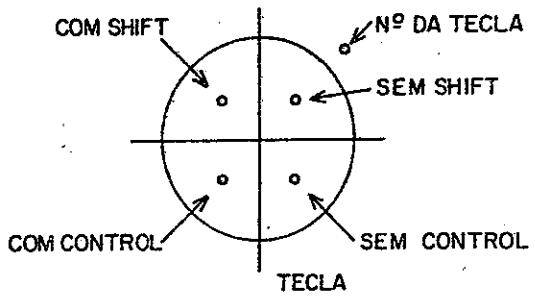
6-10 circuíto cassete



6-11 circuíto de game



6-12 teclado do APPLE II



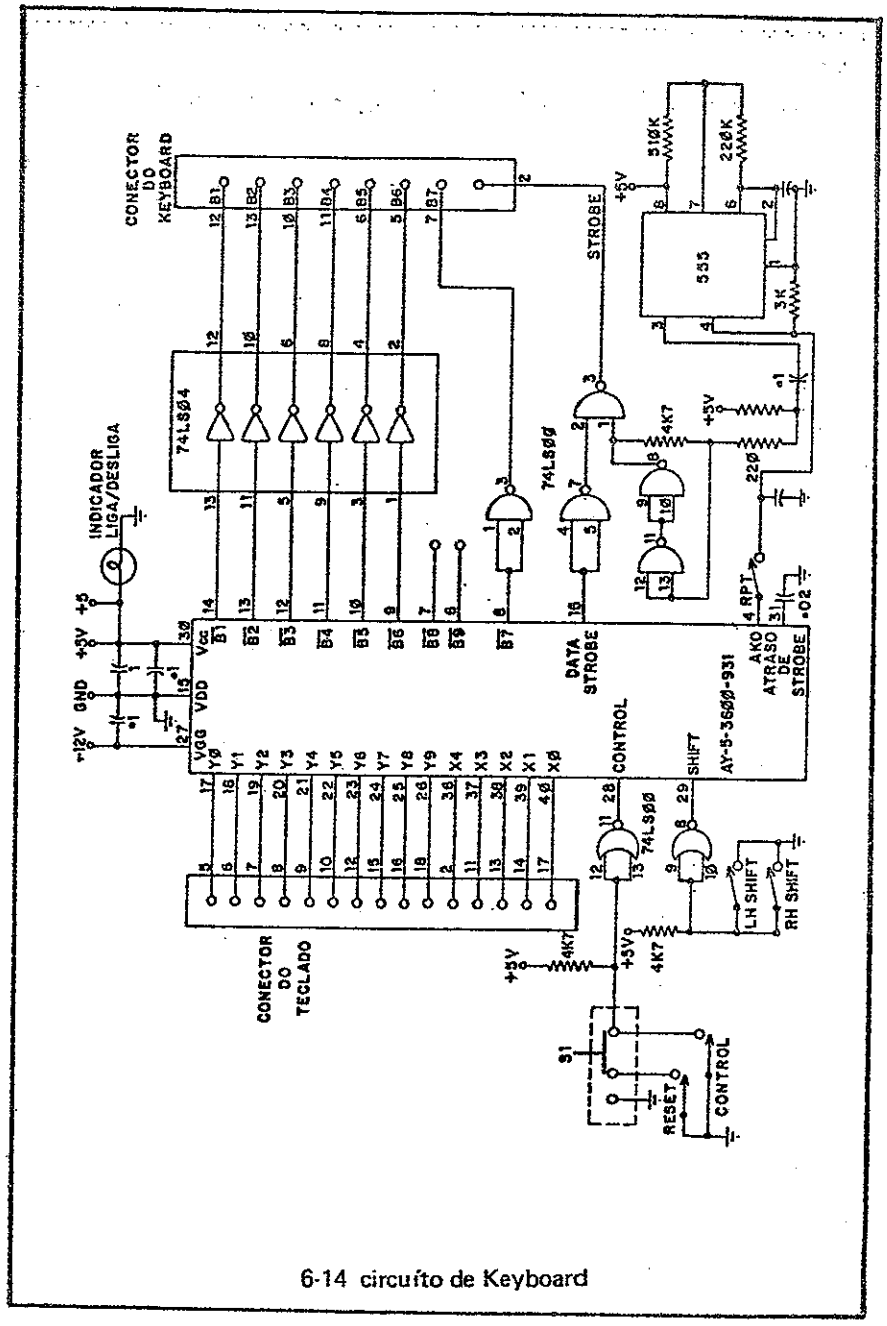
6-13 significado da tecla dependendo de SHIFT e CONTROL

feito automaticamente pelos circuitos internos do CI). Quando a tecla RPT (repete) ligada ao pino 4 é acionada o timer 555 provoca pulsos STROBE de 15HZ, resultando na repetição da leitura da mesma tecla nesta frequência.

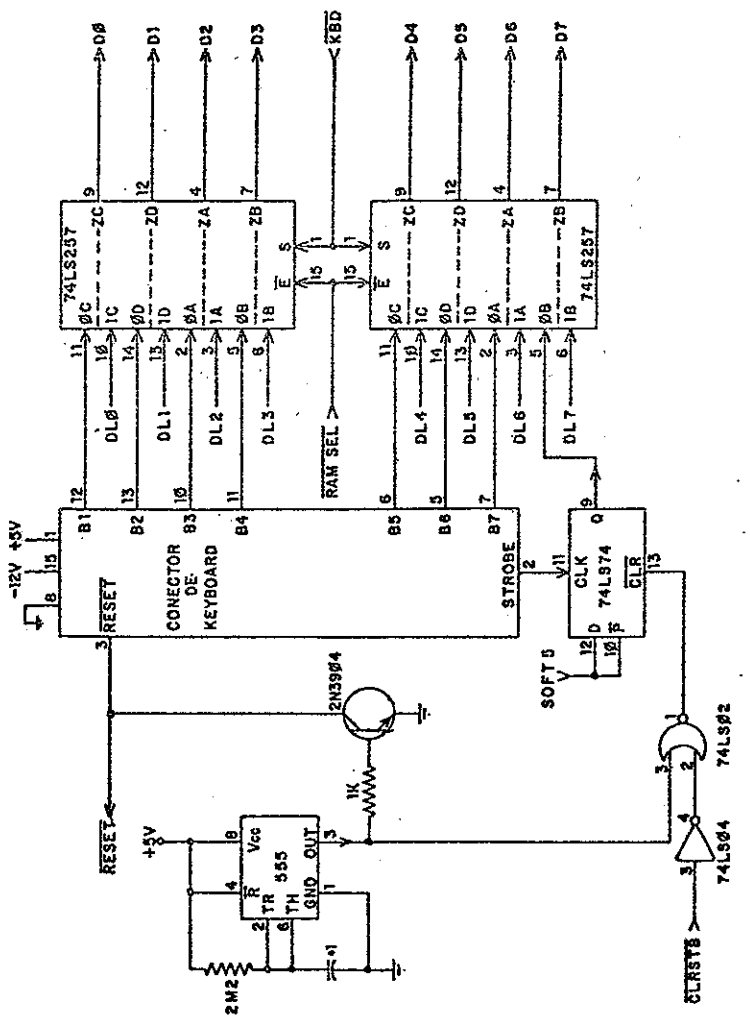
Os sinais B1/B7 do AY-5-3600-931 na placa do Keyboard são enviados ao conector de teclado na placa principal (fig. 6-15).

Uma rotina do programa faz o 6502 periodicamente endereçar C000H, o que ativa em nível L a saída Z0 do decoder on-board com a emissão do sinal $\overline{KBD}$ em nível L. Ele é acoplado aos pinos 1 - S dos multiplexadores 74LS257, bloqueando os dados DL0/DL7 recebidos da RAM e transmitindo os sinais do Keyboard.

O pulso STROBE (indicação de tecla apertada) entra como clock - pino 11 do flip-flop 74LS74. Quando ocorre STROBE (ativo nível H) o pino 9-Q do flip-flop fica em nível H (o pino 12-D é sempre mantido em nível H), que durante a rotina de leitura do Keyboard é transmitido para o microprocessador como dado D7. Se este estiver em nível H (portanto há tecla apertada) o 6502 lê e processa como código ASCII os dados D0/D6 e endereça C010H, ativando em nível L a saída $\overline{Z1}$ - $\overline{CLR\ STB}$ ("clear strobe", limpa strobe) do decoder on-board. Este sinal é invertido e "desinvertido" nos CIs 74LS04 e 74LS02, ativando o pino 13-$\overline{CLR}$ do flip-flop 74LS74, levando-o ao reset, com o pino 9-Q em nível L indicando que STROBE está "limpo" (desativado), pronto para receber a ativação de outra tecla apertada.



6-14 circuíto de Keyboard



6-15 interface do Keyboard

Logo após o micro ser ligado o timer 555 emite pulso positivo com o mesmo efeito da ativação de $\overline{\text{CLR STB}}$ na NOR 74SL02, além de levar o transistor Q5 à saturação (coletor em 0,2 Volts), o que provoca o pulso negativo $\overline{\text{RESET}}$ para o 6502. A ativação de $\overline{\text{RESET}}$ também ocorre quando é ativada esta tecla no Keyboard (fig. 6-14).

CAPÍTULO 7
VÍDEO

1- Modos de Vídeo

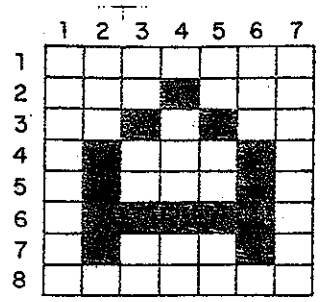
Para o APPLE II a tela tem 262 linhas, das quais 70 são mantidas apagadas para o retraço vertical, restando 192. Cada linha é varrida em aproximadamente 65 micro-segundos. A tela pode ser programada para um dos três modos (através das soft switches):

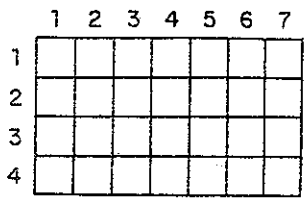
- TEXTO: cada caracter ocupa uma célula de 8 linhas por 7 colunas (fig. 7-1), cabendo 24 caracteres nas 192 linhas. As margens da matriz são mantidas em branco para separação dos caracteres, de forma que o carácter propriamente dito ocupará uma matriz 7X6.
- LORES: ("low resolution" - baixa resolução) a tela é formada por 48 linhas de "pixels" de 4 linhas por 7 colunas (fig. 7-2); não há espaços em branco entre os pixels (como entre os caracteres no modo TEXTO). Colorindo algumas quadrículas e mantendo outras apagadas formam-se pequenas figuras que são agrupadas em uma figura maior.
- HIRES: ("high resolution" - alta resolução) a tela é formada por 192 linhas, cada linha sendo uma sequência de pontos programados individualmente.

Uma linha da tela é varrida em aproximadamente 65 microsegundos, sendo sincronizada pelo sinal $\overline{LDPS}$ de 1MHZ, portanto formado de pulsos de 1 microsegundo. Com isso a linha da tela torna-se uma sequência de 65 pontos. Destes, 40 são visíveis e programáveis, enquanto os outros 25 são apagados para retraço horizontal (ao fim da linha o feixe é apagado para ser reposicionado no início da linha seguinte, na margem esquerda da tela).

2- Endereçamento de Vídeo

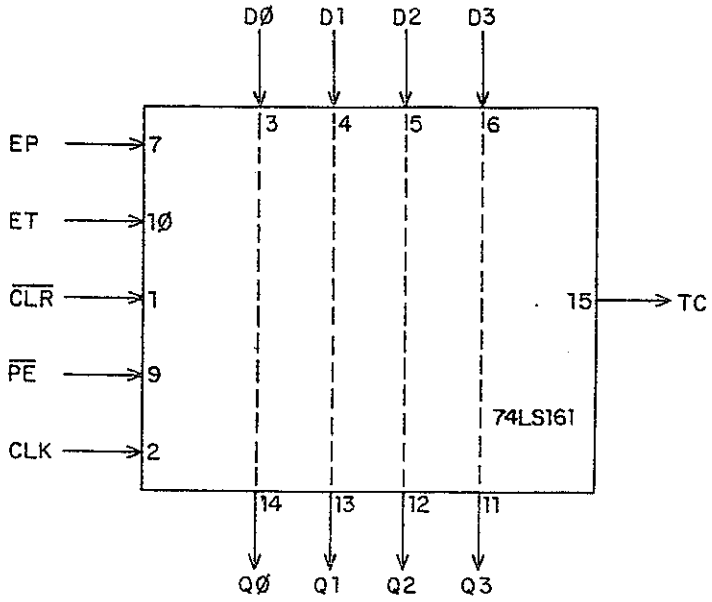
Para localizar uma posição do feixe eletrônico na tela o APPLE II precisa determinar 1 de 65 posições horizontais e 1 de 262 posições verti-





7-1 caracter 'A' como matriz 8x7 no modo TEXTO

7-2 pixel 4x7 no modo LORES



7-3 CI 74KS161 - contador binário

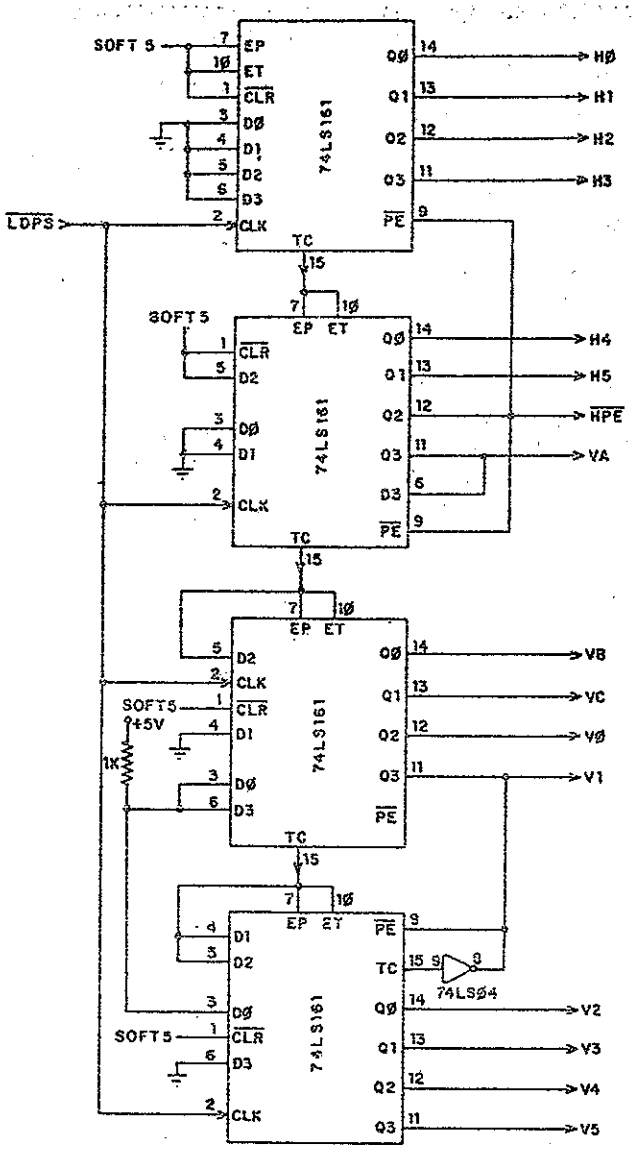
cais. Para tanto o estágio de vídeo usa um endereçamento de 7 bits horizontais (H0/H1/H2/H3/H4/H5/$\overline{HPE}$) e 9 verticais (VA/VB/VC/V0 até V5).

O endereço assim formado corresponde a uma posição na RAM, onde foi programado um byte referente aquele ponto da tela. Durante a fase Ø1 o estágio de vídeo emite este endereço, recebendo o byte DL0/DL7 da RAM através do latch. A cada micro-segundo o feixe luminoso percorre 1/65 da extensão de uma linha na tela e o endereço horizontal de vídeo incrementa +1 (sob sincronização do sinal $\overline{LDPS}$). Terminada a varredura da linha em 65 micro-segundos o feixe luminoso passa para linha seguinte (abaixo) e o endereço vertical de vídeo incrementa +1.

A complexa tarefa de sincronizar o endereçamento de vídeo com a varredura do feixe luminoso na tela é executada por uma cascata de quatro CIS 74LS161 - contador binário de 4 bits (fig 7-3). Com seu pino 9 - $\overline{PE}$ em nível L este CI transfere os bits nas entradas D0/D1/D2/D3 para as saídas Q0/Q1/Q2/Q3. Quando $\overline{PE}$ é levado a nível H inicia-se a contagem, a cada transição positiva no pino 2 - CLOCK o número binário em Q0/Q1/Q2/Q3 é incrementado +1, começando a partir do valor que foi carregado por D0/D1/D2/D3 . Quando a contagem atinge 15=1111B (todas as saídas Q em nível H) o terminal TC ("terminal count", contagem terminal) é levado a nível H.

A fig. 7-4 apresenta o circuito gerador de endereços de vídeo. O endereçamento horizontal (H0/H5, $\overline{HPE}$) é feito pelos dois primeiros CIs ; o endereçamento vertical começa no segundo e se completa no dois CIs restantes. Todos os quatro CIs são sincronizados pelo sinal $\overline{LDPS}$ de 1MHZ (1 pulso a cada 1 microsegundo).

No início da contagem, o primeiro contador (D14) tem $\overline{PE}$ em nível L e carrega todas saídas Q com nível L (as entradas D são aterradas), portanto começando a contagem apartir de 0000B. A cada pulso do clock (1 micro-segundo) a contagem é incrementada +1, acessando novo byte na RAM. Ao final de 16 microsegundos o feixe luminoso já percorreu 16 pontos de uma linha (1/4 da varredura horizontal) e a contagem está em 1111B. No próximo clock a contagem deste CI volta a 0000B e o terminal TC é ativado em nível H.



7-4 gerador de endereços de vídeo

No segundo contador Q0 e Q1 são inicialmente carregados em nível L (D0 e D1 aterrados); Q2 em nível H (D2 ligado a SOFT 5); Q3 é carregado em estado ainda indeterminado (D3 ligado ao próprio Q3). Assim, a contagem inicial do segundo contador é (1/0)100B. Cada incremento ocorre quando o primeiro contador atinge 1111B, ativando em nível H o terminal TC.

Ao fim da primeira contagem no primeiro contador (aos 16 micro-segundos) H4 é levado a nível H e H5 a nível L (contagem (1/0)101B); mais uma contagem do primeiro contador (aos 32 microsegunos) e H4 fica com nível L e H5 com nível H (contagem (1/0)110B); na terceira contagem (48 microsegundos) H4 e H5 estão ambos em nivel H (contagem (1/0)111B). Ao fim da quarta contagem no primeiro contador (aos 64 microsegundos) a contagem no segundo contador passará a (0/1)000B, ou seja, a saída Q3 muda de estado e Q2 - sinal $\overline{HPE}$ - é ativado em nível L (veja mais sobre este sinal no fim do capítulo 3), ativando também em nível H os terminais $\overline{PE}$ dos dois contadores, encerrando as respectivas contagens e colocando-os no modo carregamento paralelo. Ao entrar no modo carregamento são refeitas as condições iniciais e recomeça o mesmo ciclo de 64 microsegundos.

No parágrafo anterior note que a saída Q3-VA do segundo contador muda de estado a cada 64 microsegundos. VA inicia a primeira linha com 0100B; no seu final (1000B) ele é carregado em si próprio (D3 ligado a Q3 no segundo contador) fazendo a segunda linha começar em 1100B. Ao final desta a contagem será 0000B, fazendo a terceira linha começar em 0100B. Veja que nas linhas pares (linhas 2, 4, 6,...) a contagem no segundo contador chega a 1111B, provocando nível H no seu pino 15-TC (nas linhas ímpares a contagem chega somente até 0111B). Isto é, o terceiro contador é ativado pelo TC do segundo contador a cada duas linhas.

O terceiro e o quarto contadores são conectados de maneira a formar um só contador de 8 bits. Quando o terceiro chega a contagem 1111B ele ativa o quarto, que ao chegar à contagem 1111B ativa seu terminal TC em nível H, provocando nível L na saída da inversora 74LS04, que ativa os pinos $\overline{PE}$ de ambos os contadores, colocando-os no modo carregamento paralelo e iniciando novo ciclo.

O terminal VA no segundo contador juntamente com VB/VC/V0/V1/V2/V3/V4/V5 no terceiro e quarto contadores formam o endereçamento vertical de vídeo. VA é o LSB, mudando de estado a cada linha. No modo TEXTO de vídeo VA/VB/VC indicam 1 entre 8 linhas da matriz do carácter (enquanto H0/H5, endereços horizontais, indicam as colunas).

No início da contagem o terceiro contador é carregado com Q1 em nível L (D1 aterrado) e as outras saídas em nível H. O quarto contador é carregado com Q3 em nível L (D3 aterrado) e as outras saídas em nível H. Assim a contagem inicial é 0111 1101B=125. Após 131 incrementos ela chega a 1111 1111B=255, quando então o terminal TC do quarto contador é ativado e começa novo ciclo. Como 1 incremento no terceiro e quarto contadores ocorre a cada 2 incrementos de VA a contagem total de VA até V5 será 2X131=262, que é o número de linhas na tela.

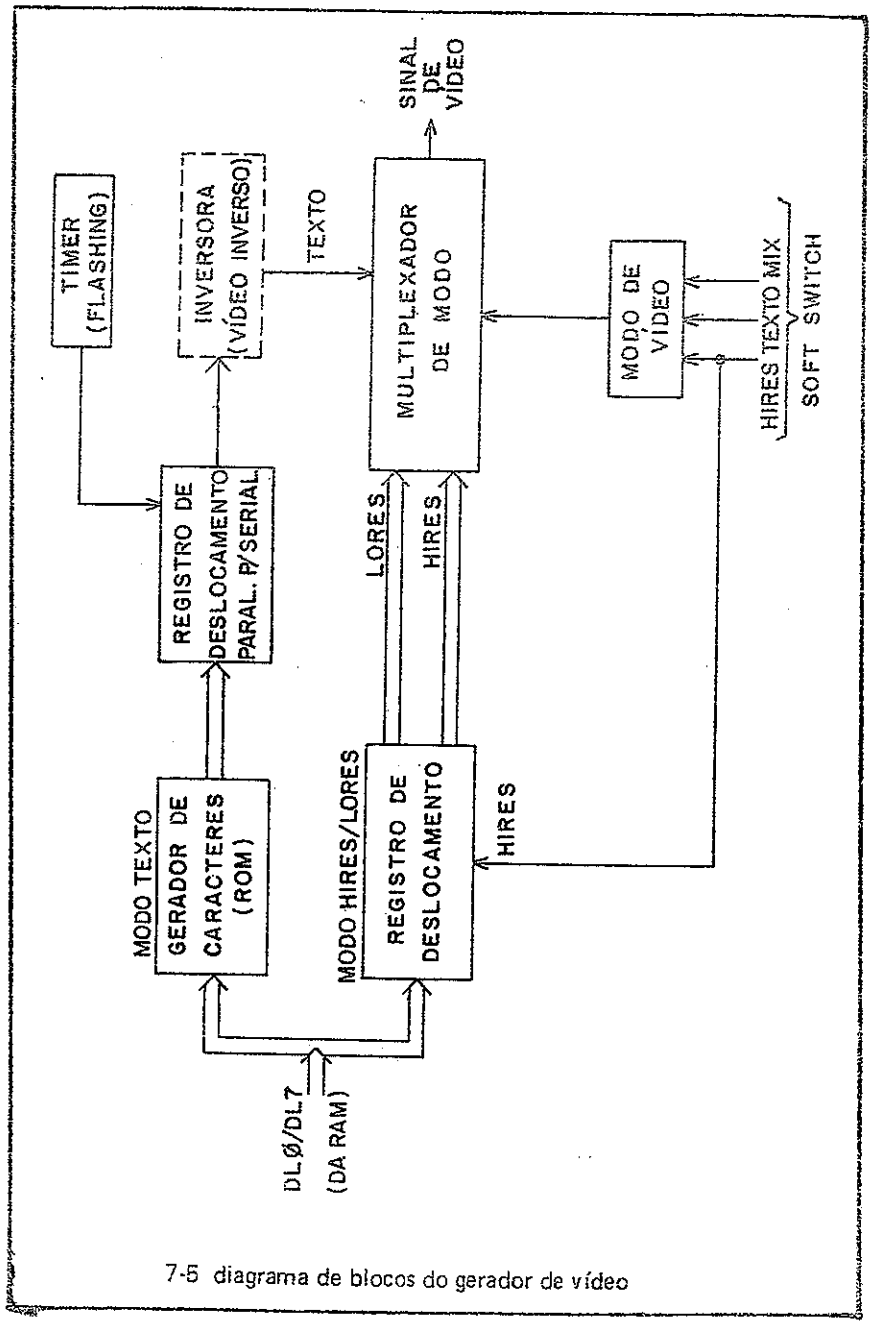
Veja que H0/H1/H2/H3/H4/H5/VA/VB/VC/V0/V1/V2/V3/V4/V5 formam um endereço de 15 bits, que determinam ao mesmo tempo uma posição na tela e uma posição na RAM, associando-as.

3- Gerador de Vídeo

A fig. 7-5 apresenta o diagrama de blocos de gerador de vídeo, cuja função é transformar o byte da RAM memória de vídeo em sinal de vídeo (ainda faltando sincronismos, apagamento e modulação RF para ser acoplado ao televisor).

O processo começa pelo endereçamento da RAM, que então apresenta os dados DL0/DL7 (através do latch). O estado das soft switches, previamente programadas pelo usuário, determina um dos quatros modos de processamento possíveis para o byte DL0/DL7 - TEXTO, LORES, HIRES, MISTO.

No modo TEXTO os dados DL0/DL7 transformam-se (juntamente com VA/VB/VC do endereçamento vertical) em enderços para uma ROM - GERADOR DE CARACTERES, que coloca na sua saída 7 bits de colunas de uma das 8 linhas (selecionada por VA/VB/VC) do carácter correspondente àquela sua posição interna (reveja fig. 7-1). Os 7 bits são carregados



7-5 diagrama de blocos do gerador de vídeo

em paralelo num registro de deslocamento e saem serialmente (um a um) para o multiplexador de modo, que os apresenta também serialmente na saída de vídeo.

No modo HIRES/LORES os dados DL0/DL7 são carregados em paralelo no registro de deslocamento, que roda os bits nas suas saídas, formando pixels que são acoplados ao multiplexador de modo. Este seleciona em sequência os bits do pixel a ser apresentado na saída de vídeo.

4- Circuito de Seleção do Modo de Vídeo

A fig. 7-6 apresenta o circuito de seleção do modo vídeo. As soft switches não são aplicadas diretamente mas combinadas para formar os vários modos possíveis.

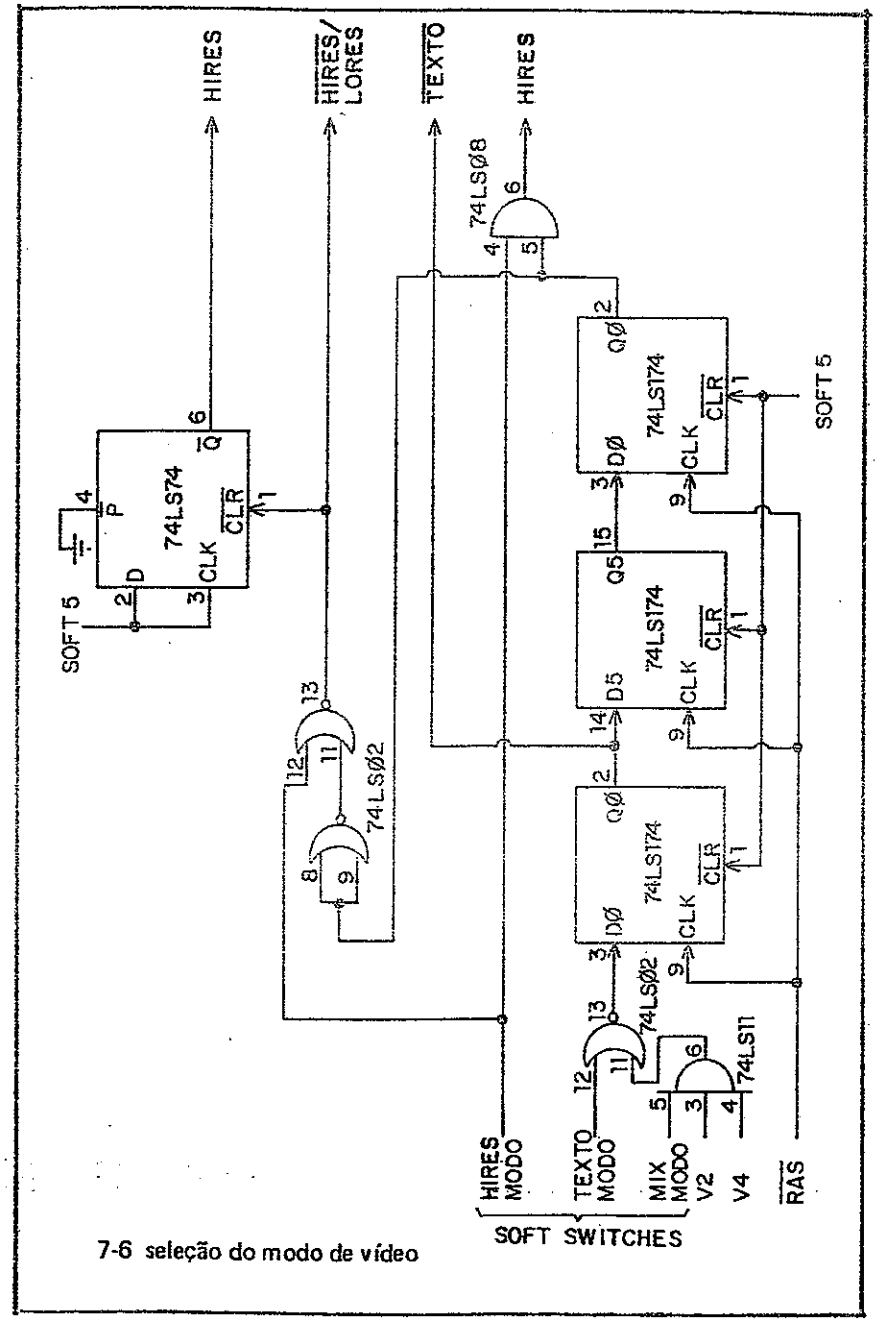
HIRES (ativo nível H para modo HIRES) é ligado ao terminal S do multiplexador gráfico, selelcionando HIRES-LORES ou TEXTO. $\overline{\text{TEXTO}}$ (ativo, nível L para modo TEXTO) é enviado para o multiplexador gráfico e daí para o multiplexador de modo, selecionando o modo TEXTO. LORES /$\overline{\text{HIRES}}$ (nível H para LORES e nível L para HIRES)é conectado ao multiplexador de modo, selecionando LORES ou HIRES.

5- Circuito Modo TEXTO

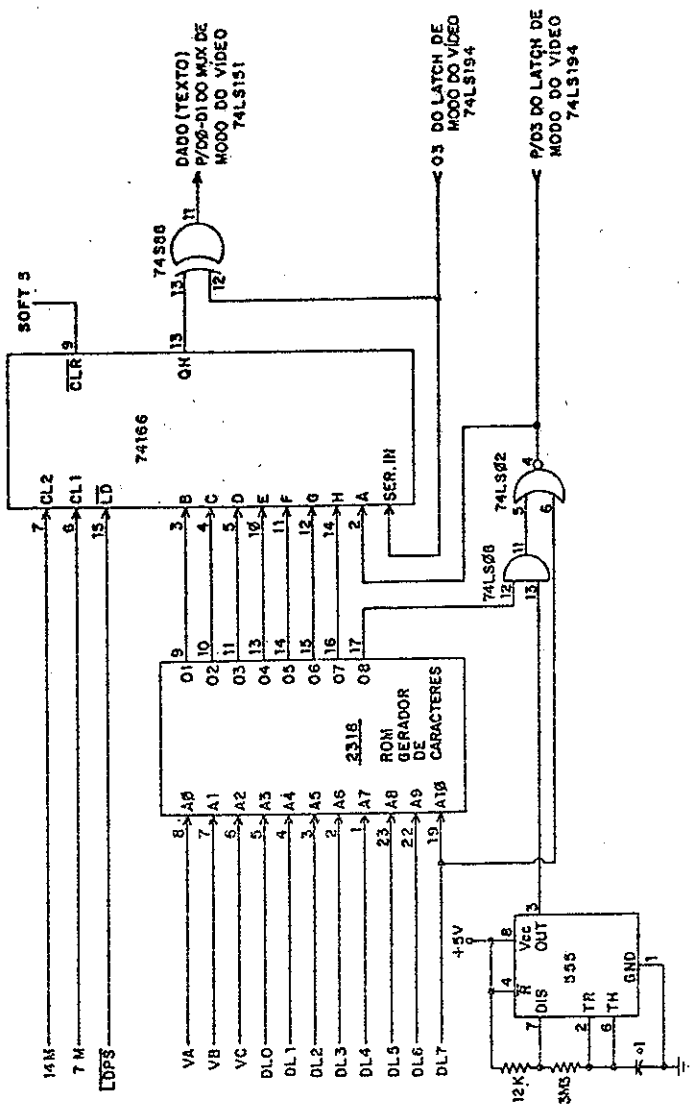
O circuito de modo TEXTO é visto na fig. 7-7. A ROM - GERADOR DE CARACTERES 2316 é semelhante a 2716 da INTEL, de 2KBytes.

Os dados DL6/DL7 são separados do byte DL0/DL7 para indicar vídeo inverso, normal ou flashing. DL0/DL5 são agrupados a VA/VB/VC para formar o endereço na ROM contendo o byte referente ao carácter(o carácter tem 8 bytes na ROM, um para cada coluna selecionada por VA/VB/VC).

A cada pulso $\overline{\text{LDPS}}$ (1MHZ) a ROM carrega 7 bits em paralelo no registro de deslocamento 74166, que os apresenta um a um (serialmente) à frequência de 7MHZ sincronizada por 14M e 7M, ou seja, a sequência de 7



7-6 seleção do modo de vídeo



7-7 circuíto de modo TEXTO

bits em apenas um ciclo de $\overline{LDPS}$. A saída serial é feita pelo pino 13-QH e é enviada aos pinos D0-D1 do multiplexador de modo, podendo ser invertida ou não (vídeo inverso) na porta EOR 74S86, dependendo da programação do dado DL7 recebido da RAM.

6- Circuito Gráfico

O circuito de modo gráfico, incluindo HIRES, LORES e MISTO, é visto na fig. 7-8. A seleção de um dos três modos é feita pelo multiplexador gráfico 74LS257.

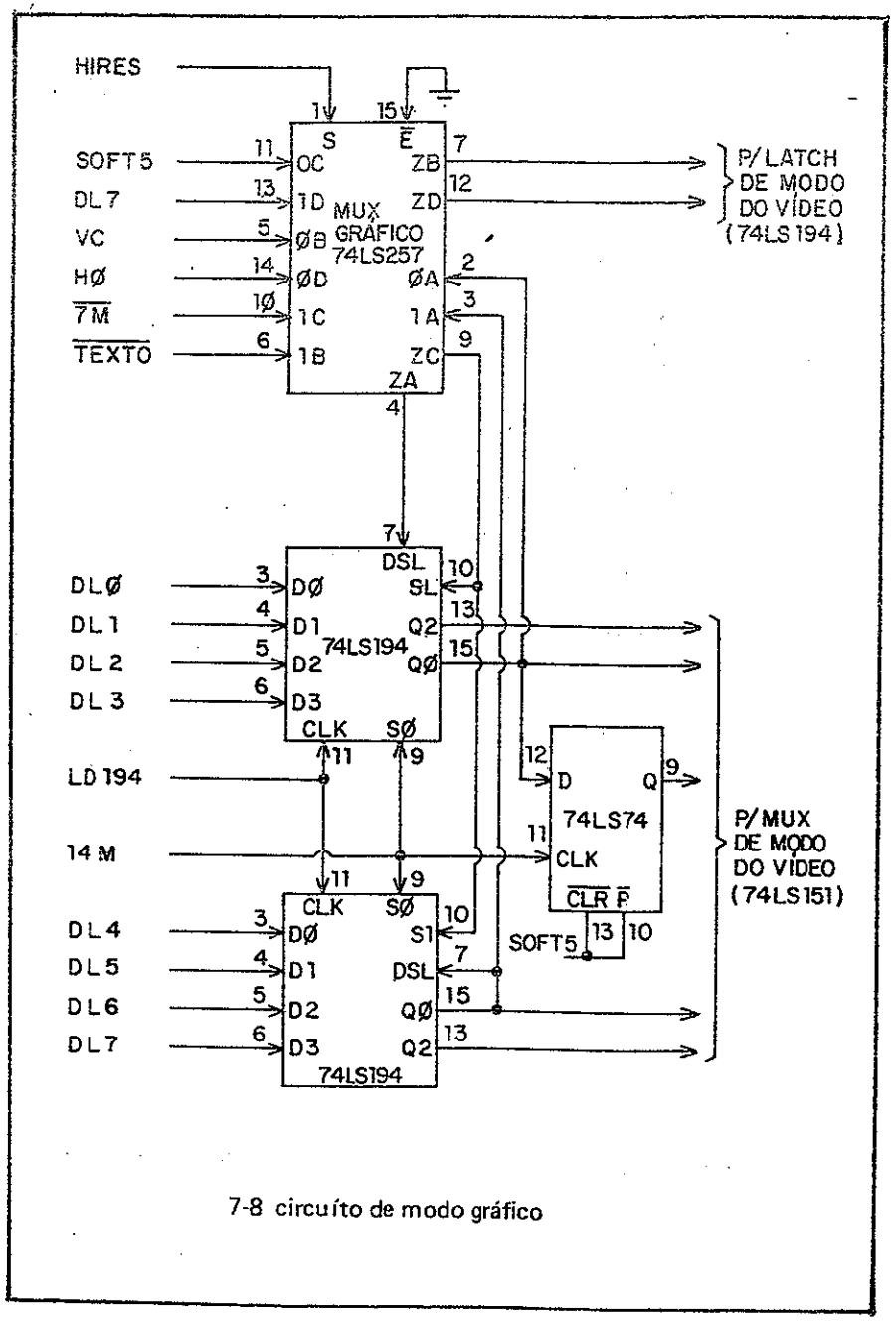
Com o sinal HIRES em nível L no seu pino 1 - S o 74LS257 apresenta as entradas 0A/0B/0C/0D nas saídas ZA/ZB/ZC/ZD, respectivamente. Com HIRES em nível H as entradas 1A/1B/1C/1D aparecem nas saídas ZA/ZB/ZC/ZD, respectivamente.

Os dados DL0/DL7 recebidos da RAM são acoplados aos dois CIs 74LS257, que obedecem a tabela de figura 7-9. Suas saídas Q0 e Q2 e a saída Q do flip-flop 74LS74 são ligadas às entradas do multiplexador de modo 74LS151, que asselecionae apresenta serialmente quando o ciclo está programado em HIRES ou LORES.

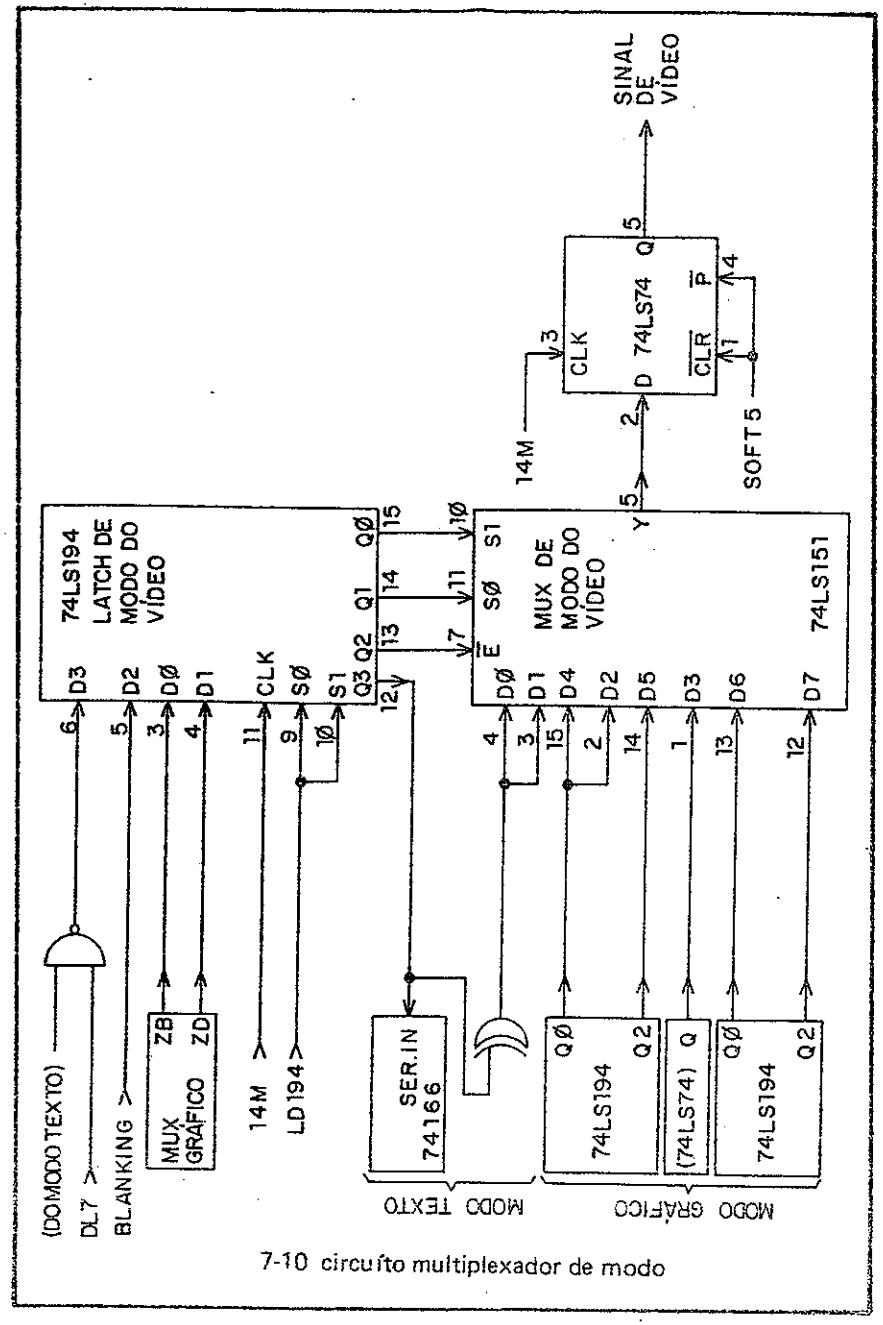
7- Circuito de Multiplexação de Modo

A multiplexação do modo de vídeo é controlada pelo 74LS257 da fig. 7-10, que aqui funciona como um latch que carrega em paralelo os quatro bits das entradas D nas respectivas saídas Q a cada transição do clock de 14MHZ no seu pino 11 (veja tabela funcional na fig. 7-9).

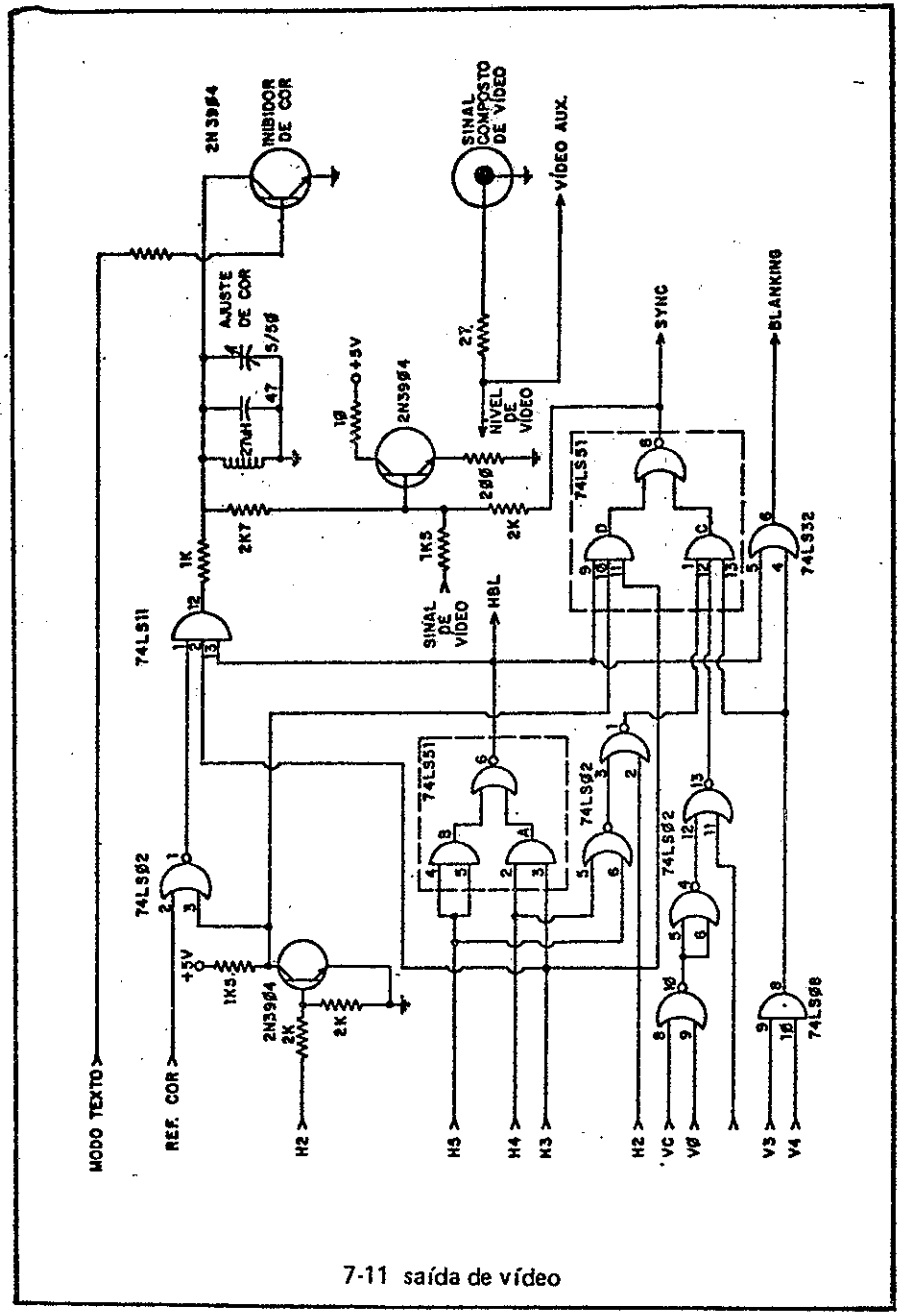
O multiplexador de modo 74LS151 recebe 8 entradas D0/D7 e seleciona uma delas para apresentar na única saída Y, conforme o estado de seus terminais S2/S1/S0. Estes formam um número binário S2-S1-S0 cujo valor decimal corresponde ao número da entrada selecionada para aparecer na saída.



7-8 circuíto de modo gráfico



7-10 circuíto multiplexador de modo



7-11 saída de vídeo

SEGUNDA PARTE
SINCLAIR ZX (TK)

OPERAÇÃO	SØ	S1	DSL	SAÍDAS			
				QØ	Q1	Q2	Q3
NENHUMA OPERAÇÃO	L	L	X	QØ	Q1	Q2	Q3
CARGA PARALELA	H	H	X	DØ	D1	D2	D3
DESLOCA ESQUERDA	L	H	L	Q1	Q2	Q3	L
	L	H	H	Q1	Q2	Q3	H

7-9 tabela funcional (parcial) do 74LS257

8- Circuito de saída de vídeo

O circuito da saída de vídeo é visto na fig. 7-11. A saída Y do multiplexador de modo (fig. 7-10) é acoplada à base do transistor Q3, juntamente com sincronismos e burst de cor, aparecendo no emissor como sinal composto de vídeo (ainda faltando modulação RF).

O potenciômetro R11 permite ajustar o nível do sinal de vídeo, que deve ser de 1 Volt pico-a-pico. O capacitor variável C3 é usado para ajuste de fase da cor (seu matiz). No modo TEXTO o transistor Q6 (inibidor de cor) aterra o burst de cor deixando a imagem monocromática.

Note que este circuito é válido para o sistema NTSC de televisão (usado nos Estados Unidos) do APPLE II original. Nas versões brasileiras é preciso alterá-lo para nosso sistema PAL.

CAPÍTULO 1
SISTEMA ZX (TK 82/83/85)

1 - Histórico

A linha SINCLAIR é de origem inglesa, caracterizando-se por equipamentos populares de baixo custo. A ela pertencem os micros ZX-80, ZX-81, e SPECTRUM.

O ZX-80 é o primeiro da linha, servindo de base para todos os outros. Tinha apenas 4K de ROM e 1K de RAM, capacidade irrisória se comparada com micros mais recentes. O ZX-81 é o mesmo ZX-80, mas com a ROM aumentada para 8K e RAM de 2K. Para este último modelo foi desenvolvido um CI especial – "ULA-SINCLAIR" - sintetizando grande número de funções de ZX-81, que passa a ter apenas 4 CIS (microprocessador, ROM, RAM e ULA-SINCLAIR). O SPECTRUM foi a versão mais moderna da linha SINCLAIR, aumentando a ROM para 16K, usando 16K ou 48K de RAM, vídeo com cor e teclado profissional. Embora conserve muitas características do ZX o SPECTRUM pode ser considerado uma nova linha dentro da família SINCLAIR.

No Brasil a versão mais destacada da linha SINCLAIR é o TK, da MICRODIGITAL. Algumas outras versões - NE Z8000, CP200, RINGO - não foram bem sucedidas e tiveram vida curta.

As versões nacionais têm pouquíssimas alterações do original inglês (a SINCLAIR inglesa moveu ação judicial contra a MICRODIGITAL, alegando "pirataria"). Um detalhe interessante é que o CI ULA-SINCLAIR é exclusivo da firma inglesa, mas chegou a aparecer em alguns micros nacionais. Como não podem empregá-lo as indústrias nacionais continuaram usando os circuitos dos primeiros ZX-80.

O TK-82 é o ZX-80, mas com 8K de ROM e dobrando a capacidade da RAM para 2K (portanto, semelhante ao ZX-81). O TK-83 é o mesmo TK-82, apenas substituindo os quatro CIS RAM por um único de mesma capacidade 2K. O TK-85 continua seguindo o ZX-80, mas ampliando a RAM

para 16K e acrescentando mais uma ROM DE 2K, além de alterar as saídas de cassete para maior velocidade.

O NE Z8000 é o ZX-80 com 8K de ROM. O CP 200, também igual ao ZX-80, mantém 8K de ROM e 16K de RAM. O RINGO, ainda versão do ZX-80, tem 8K de ROM e 16K de RAM, com algumas modificações em circuitos auxiliares.

O TK-90X é uma versão do SPECTRUM. A velocidade do clock é aumentada para 3,5MHZ (no ZX 3,2MHZ), ROM de 16K, RAM de 16K ou 48K e vídeo com cores.

O TK 2000 não é da linha SINCLAIR, mas uma versão do APPLE.

2 - Estágios do ZX-80

A fig. 1-1 apresnta o diagrama de blocos do ZX-80, válido para as versões nacionais, que só terão alterações na capacidade de memória. O sistema é baseado no microprocessador Z-80A, de 8 bits.

Um detalhe notável do ZX-80 é que ele dedica-se totalmente ao vídeo (ler um byte na memória e colocá-lo na tela). Nos momentos de "folga" desta operação - durante retraços vertical e horizontal onde não há imagem na tela - é que ele faz outros processamentos, como cálculos e leitura de Keyboard. Isto explica a lentidão do ZX-80 em comparação com outros micros.

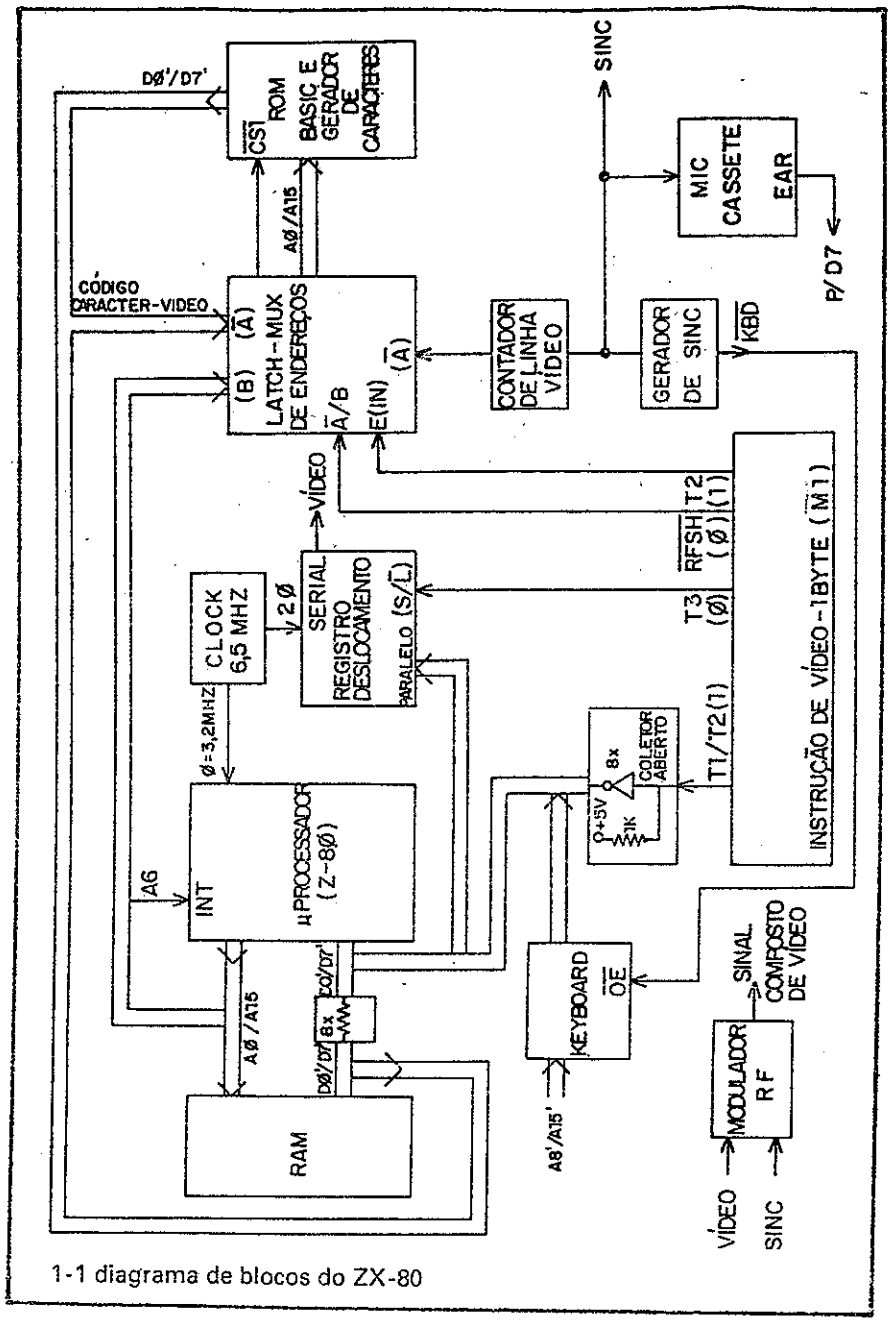
Nas operações de vídeo o microprocessador executa uma falsa busca de instrução ($\overline{M1}$ - "fetch") na RAM. Entretanto, o circuito lógico aterra a linha de dados D0-D7 na entrada do Z-80, que lê a instrução "0000 0000 B", correspondendo a "NOP" ("no operation", nenhuma operação; o microprocessador não deve fazer nada, apenas buscar a próxima instrução). Mas na saída de dados D0-D7 da RAM eles não são aterrados, sendo acoplados a um latch-multiplexador e servindo como endereço para a ROM. A parte baixa do endereço ROM é formada por três bits de contador que incrementa a cada linha horizontal de TV (64 microsegundos). Assim, os três bits do contador mais o byte da RAM (exeto D6) indicam uma posição na ROM correspondendo ao carácter a ser colocado na tela. Durante o tempo de "refresh" (clock T3 e T4 de M1) estes 10 bits são selecionados pelo multiplexador e o byte do carácter armazenado na ROM aparece nos seus terminais de dados. Ao mesmo tempo termina o aterramento nas entradas do Z-80, de maneira que o byte sai da ROM e chega ao registro de deslocamento, que neste momento é comandado pelo circuito lógico para operar no modo carregamento (S/L=nível L, 'load') , carregando o byte e deslocando-o serialmente nos próximos clocks.

Enquanto o registro desloca serialmente o byte do carácter o microprocessador executa nova busca falsa, repetindo-se a mesma operação 33 vezes (número de carácteres na tela, incluindo dois de "NEW LINE"). Ao completar a linha horizontal da tela o terminal de endereço A6 é levado a nível L (devido ao incremento de endereçamento refresh), provocando uma interrupção no Z-80, que pára a operação de vídeo e inicia outros processamentos durante o apagamento da tela (o feixe luminoso do CRT é apagado para ser reposto na margem esquerda da linha seguinte)

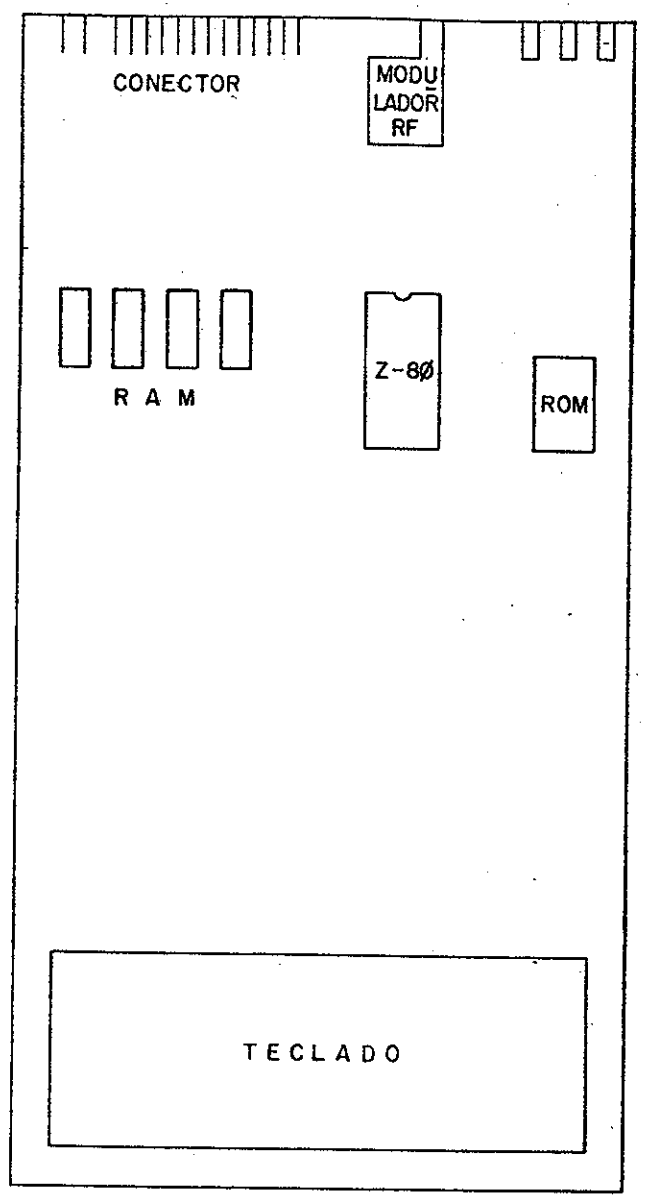
O circuito de clock gera um sinal de 6,5MHZ para sincronização do registo de deslocamento. Dividindo esta frequência por 2 resulta em ϕ=3,25MHZ para sincronização do Z-80. Portanto, o registro de deslocamento opera com o dobro da velocidade do microprocessador.

O teclado é uma matriz varrida pelos terminais de endereço A8 até A15. O microprocessador faz uma entrada de dados ("input") no endereço IO resevado ao Keyboard, o que ativa o sinal $\overline{KBD}$, habilitando ao buffer deste estágio colocar na via de dados o código da tecla apertada. O Z-80 a decodifica através de rotina gravada na ROM.

O sistema de fita cassete também aproveita a interface do Keyboard. Para gravação uma rotina na ROM gera dois tipos de frequências, correspondentes aos bits '1' e '0' da lingagem binária, transmitidos ao cassete através do sinal de SINC do vídeo. Na recepção o sinal do cassete é recebido na interface do Keybord como D7 e decodificado pelo microprocessador através de outra rotina gravada na ROM.



1-1 diagrama de blocos do ZX-80



1-2 disposição física do TK-82

O circuito de vídeo é constituido por grande número de portas lógicas controladas por sinais emitidos pelo Z-80 durante o ciclo de máquina M1, incluindo o terminal de endereço A15, que em nível H cria um endereço inexistente, possibilitando ativar a RAM e ROM e desativar os terminais de dados do microprocessador. Quando A15 está em nível L o circuito de vídeo é desativado (durante os apagamentos horizontal e vertical da tela) e a memória ROM recebe normalmente o endereçamento do microprocessador.

O ZX-80 dispõe ainda de um conector na lateral dianteira, com quase todos sinais gerados no sistema, onde pode ser instalado um periférico (geralmente impressora). As saídas de cassete e vídeo são separadas, bem como a fonte de tensão, que é externa ao micro.

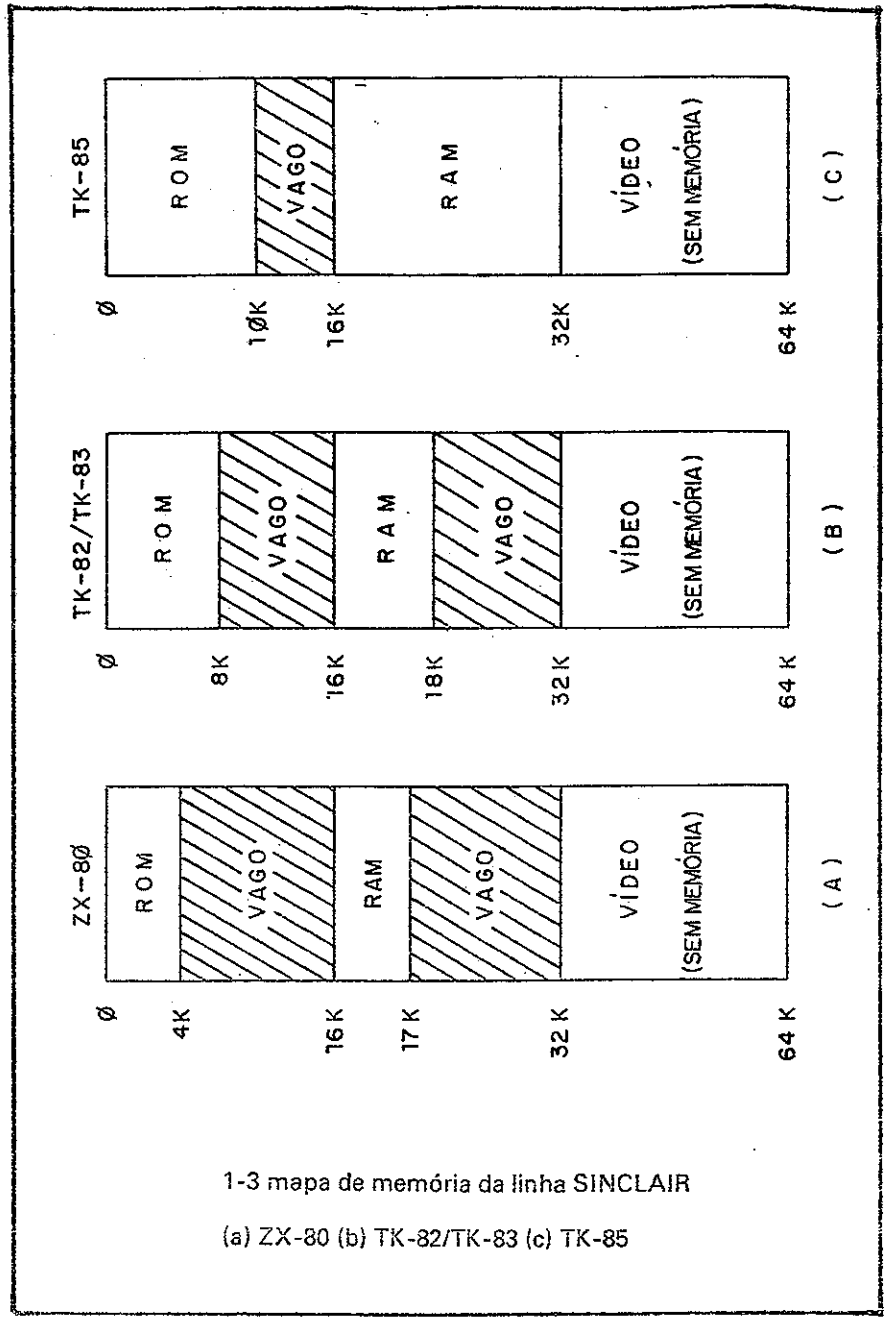
3 - Disposição Física

A fig. 1-2 apresenta a disposição física do TK-82, baseada em uma única placa. Todos os estágios são de fácil acesso e identificação. O teclado é do tipo membrana de borracha ("chiclete") e a fonte de tensão externa. Os outros modelos apresentam variações nesta disposição, principalmente nos CIS de memória ROM e RAM.

4 - Mapa de Memória

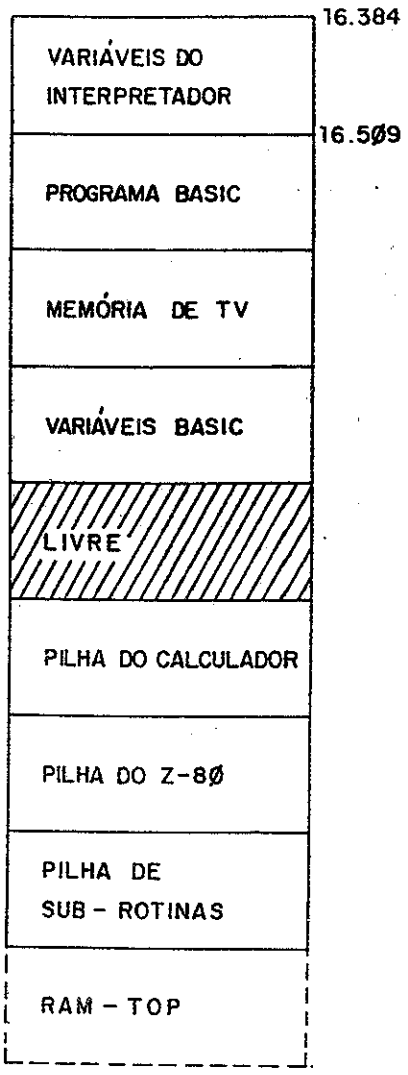
O mapa de memória da linha SINCLAIR é visto na fig. 1-3, destacando-se o ZX-80, TK-82/TK-83 e o TK-85. Note que esta é a configuração da fábrica. Através dos mais variados esquemas é possível preencher os espaços vagos com mais memórias (expansões).

De 32K a 64K temos o endereço 1XXX XXXX XXXX XXXXB, que não tem memória mas é usado para ativar as operações de vídeo. Assim, quando A15 está em nível H o circuito da lógica de vídeo faz o micro automaticamente alimentar a tela de TV. Com A15 em nível L (endereço 0XXX XXXX XXXX XXXXB) será selecionada uma posição de zero a 32K, localizada na ROM ou na RAM, enquanto o circuito de vídeo é desativado.



1-3 mapa de memória da linha SINCLAIR

(a) ZX-80 (b) TK-82/TK-83 (c) TK-85



1-4 mapa da memória RAM

A ROM contém tanto o interpretador BASIC quanto o gerador de caracteres, onde estão gravados 8 bytes para cada carácter. Os três bits do contador de linhas de TV indicam 1-dos 8 bytes a ser apresentado na tela, enquanto 7 bits do byte de dados da RAM localiza o carácter na ROM.

O início da memória RAM, (fig. 1-4), de 16.384 (16K) até 16.509, é reservado para variáveis do interpretador, sendo posições fixas. Por exemplo, em 16.396 e 16.397 é gravado o endereço (2bytes) onde começa a memória de vídeo (DATA FILE); em 16.388 e 16.389 grava-se o último endereço de RAM (RAM-TOP).

As posições seguintes não tem funções fixas, sendo gradualmente ocupadas e alteradas conforme o programa vai se desenvolvendo. Em especial temos a memória de TV (D. FILE), de 792 bytes, um para cada ponto da tela (24 linhas de 33 caracteres); cada byte ali gravado é o código/endereço ROM do carácter a ser apresentado naquele ponto da tela.

O último endereço da RAM, acrescido de +1, dependendo da capacidade total de memória, é denominado RAM-TOP. No TK-82 e TK-83 18.432 (18K) e no TK-85 32.768 (32K). O programa monitor da ROM se encarrega de gravar este valor na posição 16.388 e 16.389 quando o micro é ligado. Em caso de expansões da memória é preciso alterar esta gravação (executando uma instrução "PEEK"), regravando por cima da antiga a nova RAM-TOP expandida, antes de começar o programa (caso contrário o micro não considerará a expansão).

CAPÍTULO 2
MICROPROCESSADOR Z-80

1- Histórico

O Z-80 é o primeiro microprocessador de 3ª geração, lançado em Abril de 1976 pela ZILOG (empresa do grupo EXXON, ex ESSO). É totalmente compatível com o 8080 da INTEL, tendo todas as suas instruções e mais algumas. Indiscutivelmente é o mais popular microprocessador de 8 bits.

O Z-80 é fabricado com tecnologia NMOS, alimentado por tensão de +5 Volts e precisa de um único sinal de clock. Sua barra de endereços com 16 terminais permite o endereçamento de até 64K posições.

2 - Registros do Z-80

Na estrutrura interna do Z-80 encontramos 22 registros (fig. 2-1), sendo 6 de uso específico e 16 de finalidades gerais. Estes últimos formam dois conjuntos iguais - 8 registros principais e 8 alternativos. Através de uma instrução no programa seleciona-se um conjunto ou outro, mas não os dois simultaneamente. Os registros de uso geral são de 8 bits, mas B e C, D e E, H e L, podem ser manipulados como par de 16 bits. Os registros de uso específico têm 16 bits, com excessão de I e R com 8 bits cada.

No acumulador A são registradas dados de resultados, entrada de memórias ou portas. A grande maioria das instruções se referem a este registro.

As flags ("sinalizadores") F são 6 registros (mais 2 não usados) de um só bit cada, apresentados na fig. 2-2, onde são registrados indicações sobre o resultado de operações lógicas e aritméticas executadas pelo Z-80:

* S (sinal): resultado positivo (+) ou negativo (-)
* Z (zero): resultado zero ou diferente de zero
* H ('half carry', meio carry): resultado com 'vai-um' do 4º bit para o 5º bit.

	CONJUNTO PRINCIPAL		CONJUNTO ALTERNATIVO	
USO GERAL	A ACUMULADOR	F FLAGS	A' ACUMULADOR	F' FLAGS
	B	C	B'	C'
	D	E	D'	E'
	H	L	H'	L'

USO ESPECÍFICO	i – VETOR INTERRUPÇÃO	R – REFRESH
	iX – REGISTRO DE ÍNDICE X	
	iY – REGISTRO DE ÍNDICE Y	
	SP – PONTEIRO DE PILHA	
	PC – CONTADOR DE PROGRAMA	

2-1 registros do Z-80

* P/V ('parity/overflow'): resultado ímpar ou par, ou overflow
* N (negativo): operação de subtração
* C ('carry'): vai-um do 8º bit (MSB)

I - registro de vetor interrupção - contém 8 bits mais significa-

S	Z	–	H	–	P/V	N	C

2-2 registro F de flags

tivos que são agrupados a 8 bits menos significativos para formar o endereço de 16 bits da rotina de interrupção.

R - registro de refresh (refrescamento) é usado para refrescar memórias dinâmicas. Na segunda fase de um ciclo M1, quando o microprocessador já recebeu o código da instrução a ser executada e a está decodificando nos seus circuitos internos, o conteúdo de R é posto na barra de endereços e o terminal $\overline{RFSH}$ ativado em nível L. A cada ciclo de máquina M1 o registro R é incrementado +1, até atingir 127=0111 1111B, quando então volta a 0=0000 0000B.

IX e IY são somados ao byte fornecido pela instrução para formar um endereço indexado. SP ("stack pointer", ponteiro de pilha) contém o endereço da memória onde são guardados temporariamente os conteúdos de outros registros. PC ("program counter", contador de programas) é um contador cujo conteúdo indica o endereço da instrução a ser executada; após a execução ele é automaticamente incrementado. Ao se ligar o Z-80 ou após seu reset o PC é carregado com zero, que passa a ser o endereço de início de programa.

3 - Execução de Instruções pelo Z-80

O Z-80 funciona sincronizado pelo clock, e cada sinal deste é chamado "estado de máquina" T1, T2, T3,..., "Ciclo de máquina" M1, M2, M3,..., é um conjunto de estados de máquina (pulsos do clock) usados pelo microprocessador para executar uma instrução. No primeiro ciclo de máquina, M1, ele endereça a posição de memória (indicada pelo PC) onde vai buscar ("fetch") a instrução. Nos outros ciclos, M2, M3, ..., a instrução é lida, decodificada e executada.

4 - Pinagem do Z-80

Os pinos do Z-80 (fig. 2-3) tem as seguintes funções:

A0/A15: 16 terminais de endereço; em tristate quando não usados

D0/D7: 8 terminais de dados, em tristate quando não usados

TERRA

+ 5 VOLTS (regulados, com desvio máximo 5%)

CLOCK: sinal de sincronização, com frequência dependente do modelo (Z-80:2,5MHZ/Z-80A:4MHZ/Z-80B:5MHZ)

$\overline{\text{MREQ}}$: ('memory request', requisição de memória) para operações de memória

$\overline{\text{IORQ}}$: ('input/output request', requisição de entrada/saída) para operações com portas de entrada e saída

$\overline{\text{RD}}$: ('read', leitura) leitura de dados pelo microprocessador em operações de memória ou entrada de dados do exterior para as portas IO

$\overline{\text{WR}}$: ('write', escrita) escrita de dados pelo microprocessador em operações de memória ou saída de dados para o exterior através de portas IO

$\overline{\text{M1}}$: ('machine 1') sinal emitido durante o 1º ciclo de máquina (portanto, sempre que é lido o 1º byte de uma instrução do programa)

$\overline{\text{RFSH}}$: ('refresh', refrescamento) sinal emitido pelo Z-80 durante um ciclo M1 e que sincroniza o refrescamento de memórias dinâmicas

$\overline{\text{WAIT}}$: ('wait', aguarde) enquanto estiver ativo provoca um estado de espera no microprocessador que fica sem executar as instruções

$\overline{\text{INT}}$: ('interrupt', interrupção) indica periférico querendo a atenção do microprocessador

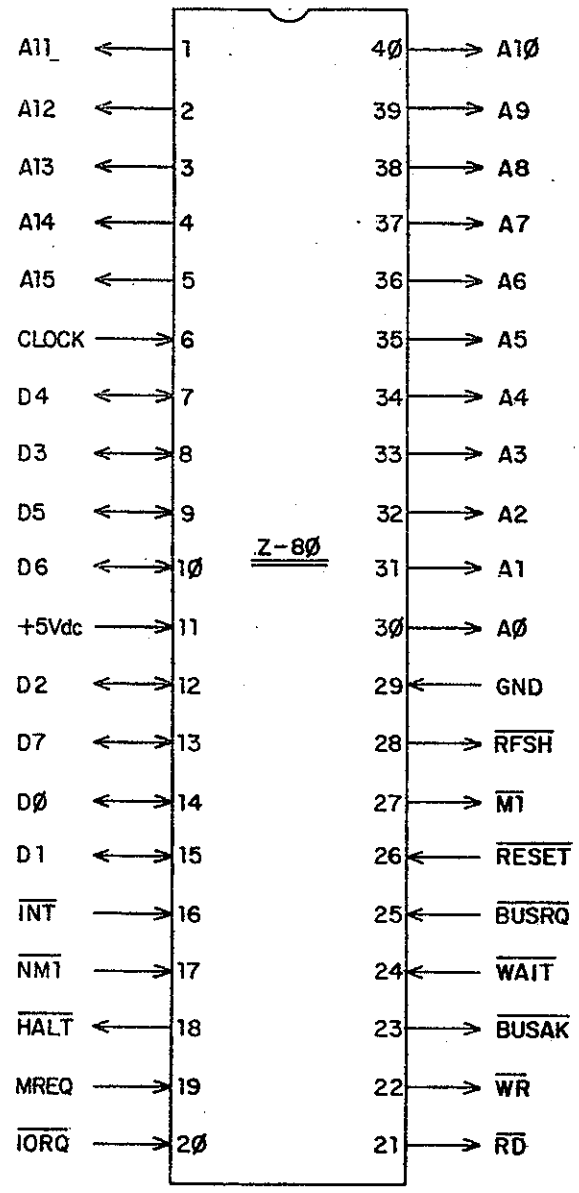
$\overline{\text{NMI}}$: ('no maskable interrrupt', interrrupção não mascarável) interrupção de atendimento obrigatório, para caso de emergência

$\overline{\text{RESET}}$: o PC volta a zero, reiniciando o programa

$\overline{\text{HALT}}$: ('halt', parada) indica que o Z-80 executou uma instrução "HALT" e precisa de um "INT" para recomeçar

$\overline{\text{BUSRQ}}$: ('bus request', requisição de barras) periférico quer controlar as barras em operaçao DMA ('direct memory acess', acesso direto à memória)

$\overline{\text{BUSAK}}$: ('bus acknow ledgment', reconhecimento de barras) indica que o Z-80 aceitou o pedido $\overline{\text{BUSRQ}}$, cedendo as barras.



2-3 pinagem do Z-80

5 - Circuito do Microprocessador

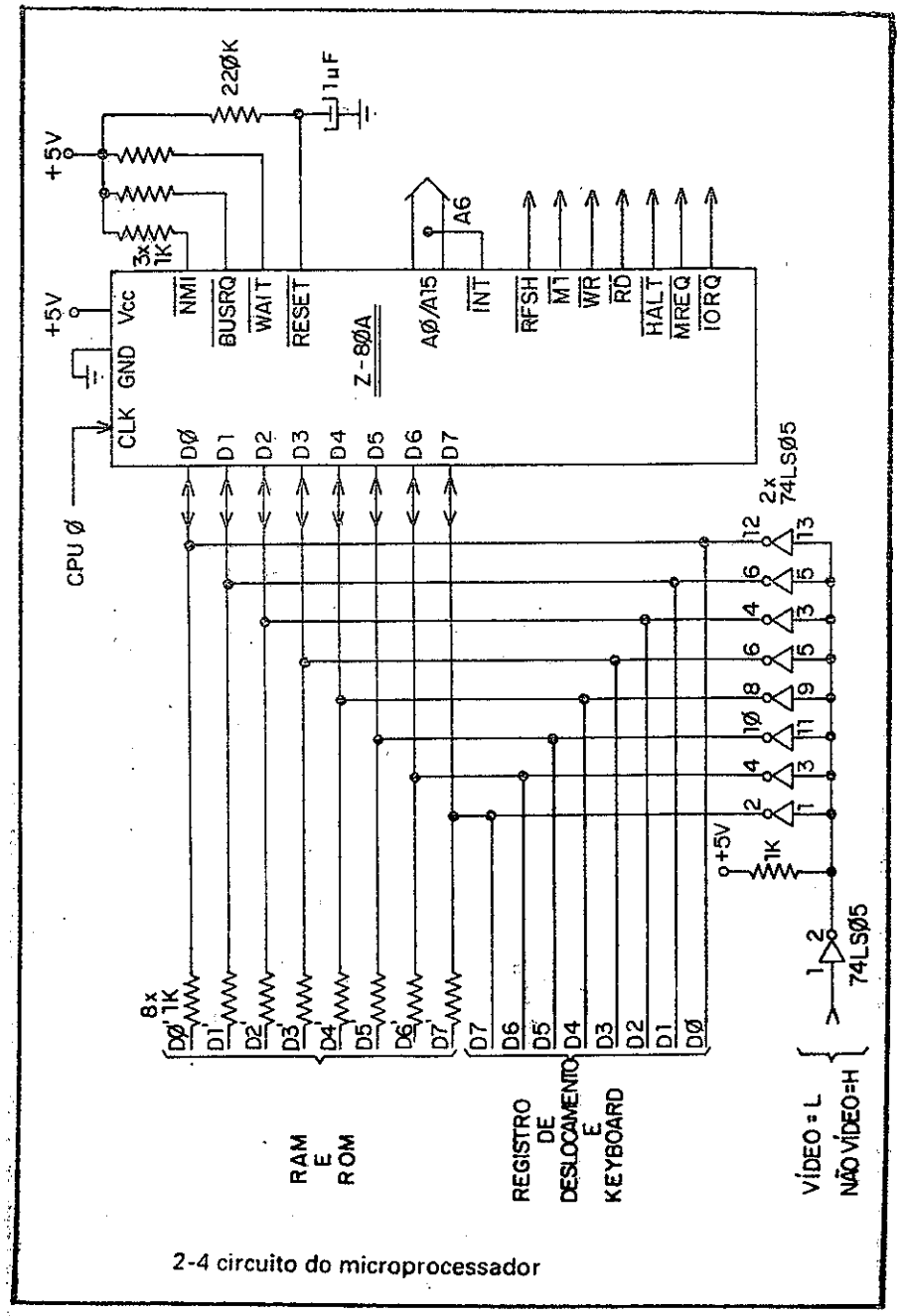
O circuito do microprocessador no ZX-80 é visto na fig. 2-4. Usa-se um Z-80A (clock máximo de 4MHZ) sincronizado pelo clock de 3,25MHZ, o que significa que cada estado de máquina (T1, T2, T3, ...) terá aproximadamente 0,3 microsegundos. O ciclo de máquina M1 (composto de 4 estados de máquina - T1/T2/T3/T4) tem 1,2 microsegundos. Esta cronometragem de M1 está estreitamente relacionada à varredura de uma linha horizontal na tela de TV, como veremos adiante.

Os terminais $\overline{NMI}$, $\overline{BUSREQ}$, $\overline{WAIT}$ não são usados no ZX-80, sendo mantidos desabilitados em nível H (+5 Volts através de um resistor de 1KOhm). $\overline{RESET}$ também é desativado em nível H com +5 Volts, mas ligado à placa positiva de um capacitor de 1 microFarad, o qual dá maior estabilibade.

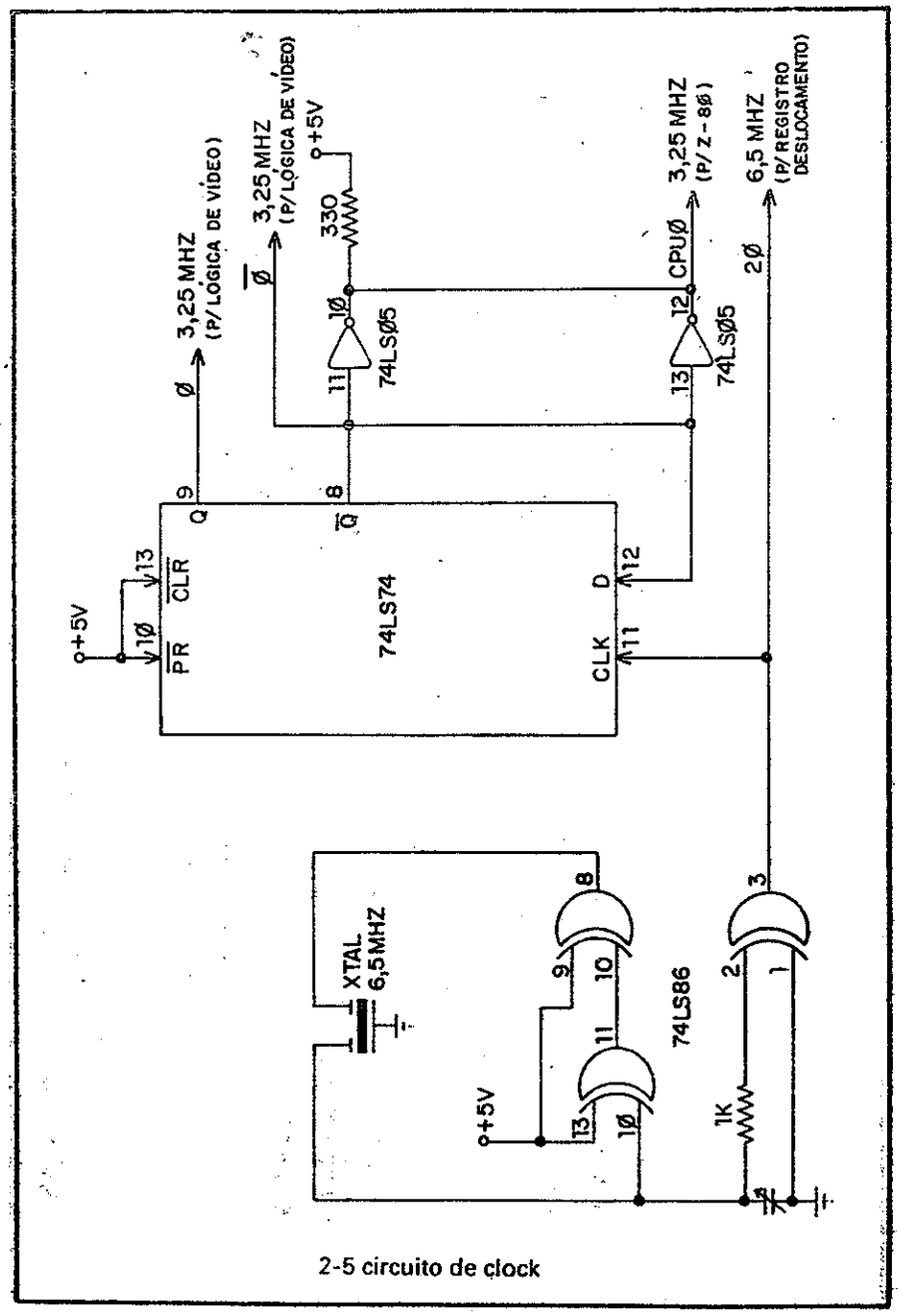
Os terminais de controle efetivamente usados no ZX-80 - $\overline{RFSH}$, $\overline{M1}$, $\overline{WR}$, $\overline{RD}$, $\overline{HALT}$, $\overline{MREQ}$, $\overline{IORQ}$ - são conectados a vários estágios. $\overline{INT}$ recebe o terminal de endereço A6. Quando este é levado a nível L ocorrerá uma interrupção no Z-80 mas somente se a flag I estiver setada (nível H). As rotinas do programa monitor setam esta flag apenas durante as operações de vídeo, fazendo que o Z-80 seja interrompido ao fim da varredura de uma linha horizontal na tela de TV, quando A6 é levado a nivel L; fora de operações de vídeo a flag I está resetada e as interrupções pedidas por A6 são desconhecidas.

Os terminais de endereços são ligados diretamente na RAM, selecionando uma de suas posiçoẽs internas. Mas para a ROM eles antes passam por um multiplexador; nas operações de vídeo eles são bloqueados e o multiplexador seleciona os bits de dados da RAM (código do carácter a ser apresentado na tela) como endereço para a ROM. Temos ainda o byte superior A8/A15 usado para varrer o Keyboard.

A barra de dados é bastante peculiar, dividida em duas seções - D0/D7, junto aos pinos do Z-80, D0'/D7' após os resitores (de 1KOhm). Nas operações de vídeo, nos ciclos T1/T2 de M1 quando o Z-80 deve ler o byte do código da instrução (OP CODE), o circuito de lógica de vídeo leva a nível L a entrada pino 1 da inversora 74LS05, fazendo sua saída pino 2 em nível H, o



2-4 circuito do microprocessador



2-5 circuito de clock

o que resulta em nível L nas saídas das 8 inversoras 74LS05 ligadas aos terminais de dados do microprocessador; o Z-80 lê o OP CODE "0000 0000" correspondendo a "NOP" (nenhuma operação). Quando não se trata de operação de vídeo a entrada pino 1 da inversora 74LS05 é mantida em nível H, aparecendo como nível L nas entradas das 8 inversoras, que colocam suas saídas em tristate (este CI é do tipo "coletor aberto"; ao invés de nível H na saída ele fica em tristate), não interferindo nos bits que entram e saem nos terminais de dados do Z-80.

6 - Circuito de Clock

O circuito de clock (fig. 2-5) é um oscilador sincronizado pelo cristal (XTAL) de 6,5MHZ. Como saídas temos 3,25MHZ para o Z-80 e o circuito de lógica de vídeo, além de 6,5MHZ para o registro de deslocamento. Ou seja, os dados são apresentados serialmente na tela com o dobro de frequência da sincronização do microprocessador (enquanto o Z-80 executa um OP CODE M1 de 4 clocks T1/T2/T3/T4 o registro de deslocamento desloca serialmente 8 bits).

CAPÍTULO 3
MEMÓRIA

1 - Seleção de Memória

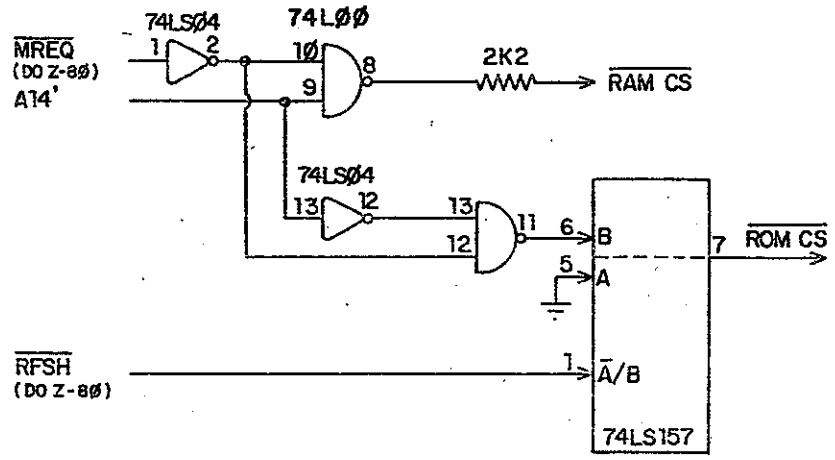
Pelo mapa de memória (fig. 1-3) sabemos que a ROM de 4K está nos endereços 0000 XXXX XXXX XXXXB, ou seja, com A15-A14-A13-A12 em nível L (para a ROM 8K: 000X XXXX XXXX XXXXB, A15-A14-A13 em nível L).

Quanto a RAM seus endereços são acima de 16K e abaixo de 32K, isto é, 01XX XXXX XXXX XXXXB. Para o caso específico do ZX-80 de 1K RAM o endereço fica exatamente em 0100 00XX XXXX XXXXB, onde X refere-se às posições internas da RAM.

Pelo exposto acima vemos que o terminal de endereço A14 diferencia o endereçamento das duas memórias:
- A14 nível L: endereço ROM
- A14 nível H:endereçoRAM

Esta característica de A14 é usada pelo circuito de seleção de memória (fig. 3-1). Para leitura ou escrita de memória o Z-80 ativa em nível L o terminal $\overline{MREQ}$, que é invertido no 74LS04 e aparece como nível H nas entradas pinos 10 e 13 das duas NAND 74LS00. Se for endereço de RAM A14 estará também em nível H na entrada pino 9 da primeira NAND, resultando o sinal $\overline{RAMCS}$ ('RAM chip select', seleção de chip RAM) ativo em nível L. Ao mesmo tempo o nível H de A14 é invertido no 74LS04, aparecendo como nível L na entrada pino 13 da segunda NAND, o que resulta no sinal $\overline{ROM\ CS}$ desativado em nível H. Portanto, quando o Z-80 executa uma leitura ou escrita de endereço RAM o sinal $\overline{RAMCS}$ é ativado em nível L e o sinal $\overline{ROM\ CS}$ desativado em nível H.

Para leitura de ROM o Z-80 coloca em nível L $\overline{MREQ}$ e no endereçamento A14 aparece como nível L. Este último entra no pino 9 da primeira NAND e provoca $\overline{RAMCS}$ desativado em nível H. Além disso A14 é invertido no 74LS04 e entra como nível H no pino 13 da segunda NAND, a qual



3-1 seleção de memória

tem sua outra entrada (pino 12, recebendo $\overline{MREQ}$ invertido) também em nível H, resultando na sua saída o sinal $\overline{ROM\ CS}$ ativo em nível L. Isto é, durante a leitura de ROM o sinal $\overline{ROM\ CS}$ está ativo em nível L e $\overline{RAMCS}$ desativado em nível H.

O sinal $\overline{ROM\ CS}$ é enviado à ROM através do multiplexador 74LS157. Este seleciona a saída (pino 7) conforme o terminal de seleção pino 1, que recebe o sinal $\overline{RFSH}$ do Z-80. Nasoperaçõesde vídeo, durante T2-T3 de M1, $\overline{REFSH}$ é ativado em nível L e seleciona a entrada A do multiplexador para ser apresentada na saída. No caso a entrada A é aterramento, provocando o sinal $\overline{ROM\ CS}$ ativo em nível L. Em outras palavras, durante o refresh das operações de vídeo a ROM é automaticamente selecionada (para carregar o registro de deslocamento com 1 byte de dados, referente a 1 fileira de bits de 1 carácter). Nas operaçoẽs que não aquelas de vídeo $\overline{RFSH}$ estará em nível H, selecionando a saída da NAND para aparecer como $\overline{ROM\ CS}$. O nível deste dependerá agora do endereçamento referir-se ou não à ROM.

2 - Circuito RAM

Na fig. 3-2 vemos o circuito RAM - 1KBytes do ZX-80 original, baseado em dois CIS 2114 de 1Kx4bits - estática. Cada CI armazena apenas 4 bits de dados (D7/D1/D0/D2 no primeiro, D4/D3/D5/D6 no segundo), agrupando-se os dois em cascata para formar o byte D0/D7.

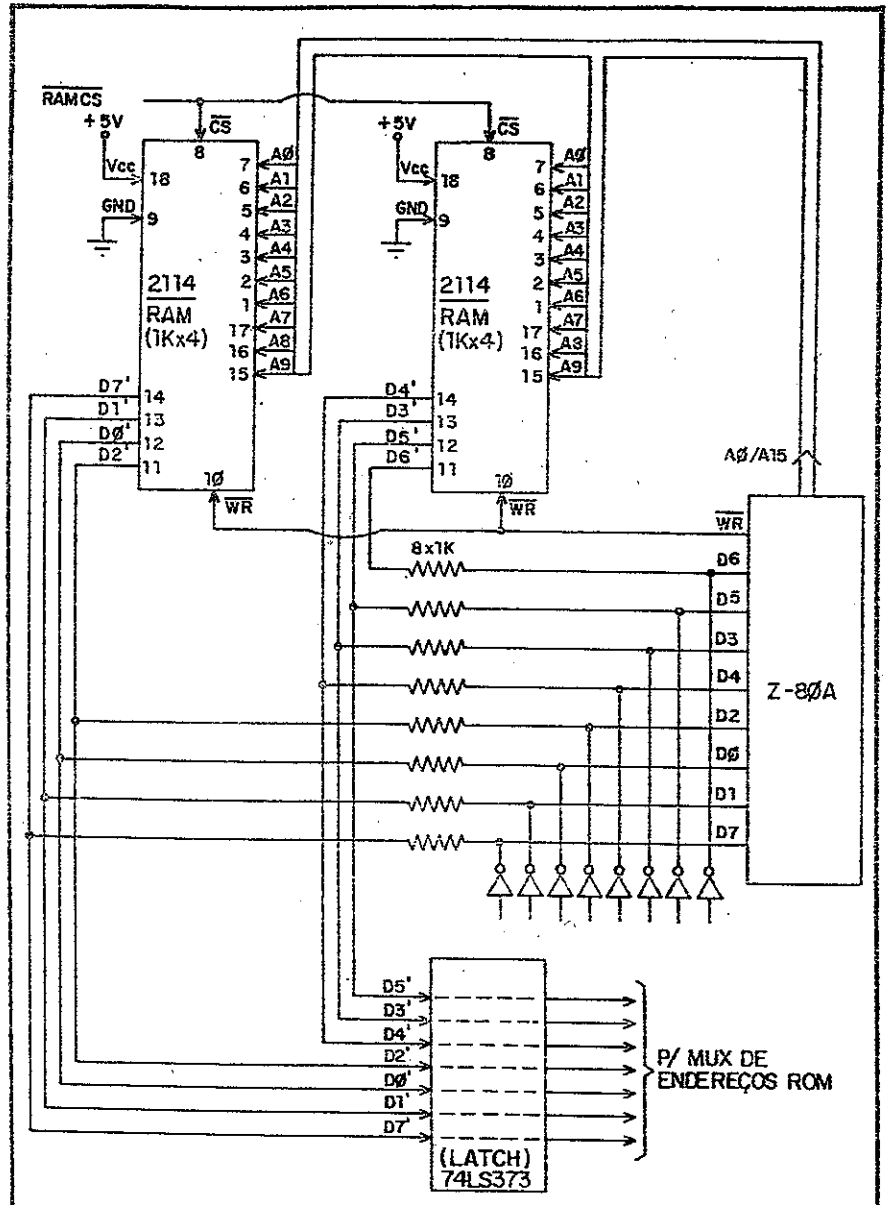
Os terminais de dados do CI2114 permanecem em tristate até que seu pino 8-$\overline{CS}$, ligado ao sinal $\overline{RAM\ CS}$, seja levado a nível L. Neste momento se o pino 10-$\overline{WR}$ estiver ativo em nível L (escrita) os 4 bits existentes nos terminais de dados serão gravados no endereço assentado em A0/A9. Se $\overline{WR}$ estiver desativado em nível H (leitura) a RAM apresentará nos terminais D0/D4 os 4 bits anteriormente gravados no endereço indicado por A0/A9. O pino 10-$\overline{WR}$ é ligado ao terminal $\overline{WR}$ do Z-80, que fica em nível L (ativo) para escrita e nível H (desativado) para leitura. (Note que o terminal $\overline{RD}$ do Z-80 não precisa ser usado).

Em operações de vídeo os dados D0/D7 da RAM não chegam aos terminais de dados do Z-80, pois estes são mantidos a nível L pelas 8 inversoras coletor-aberto, sendo enviados para as entradas do latch 74LS373, onde são armazenados para serem apresentados como endereços à ROM. Afora operações de vídeo os dados D0/D7 da RAM são enviados aos terminais D0/D7 do Z-80, ou recebidos dele, através dos resistores do 1KOhm; as inversoras coletor-aberto permanecem em tristate, não influindo na operação.

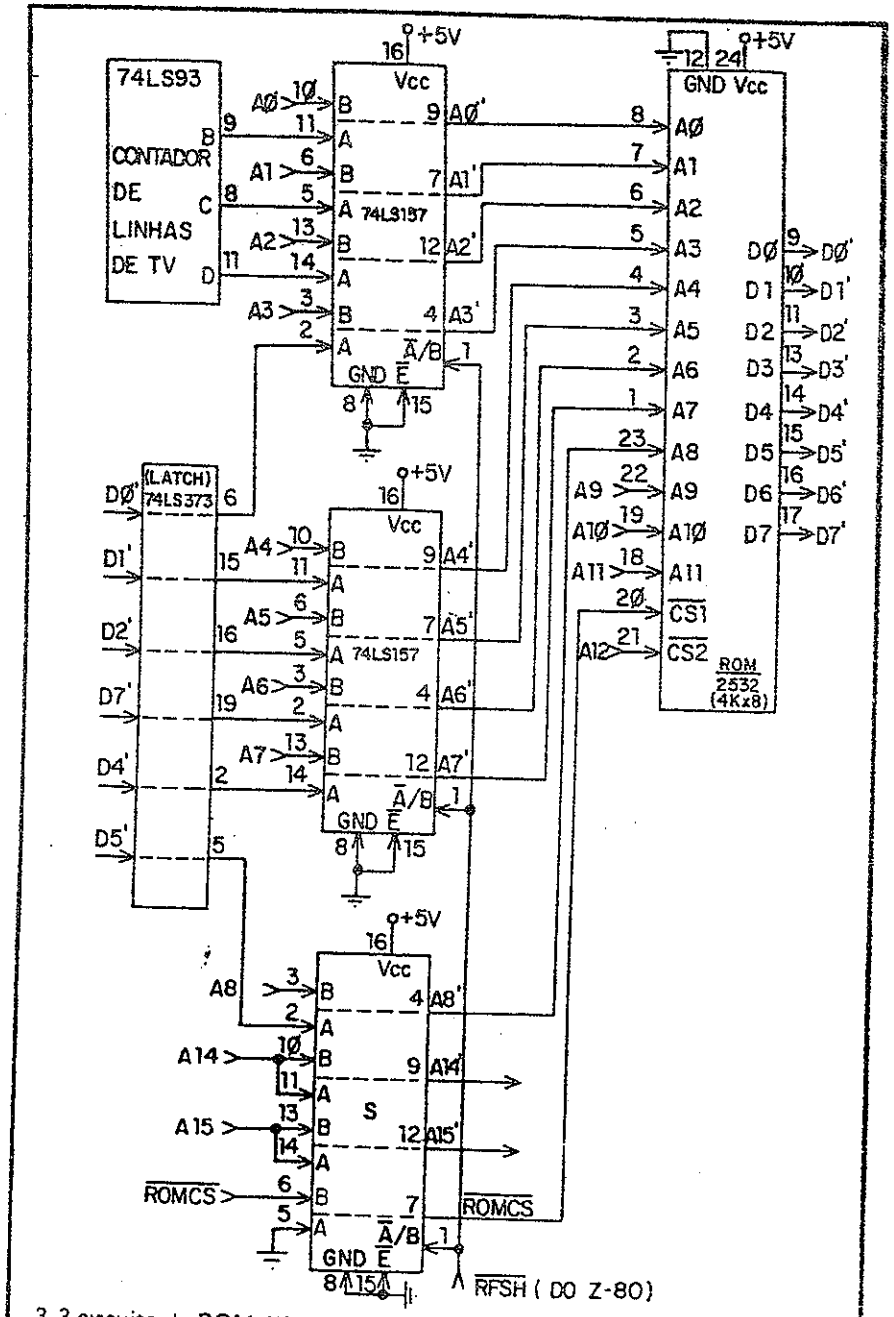
3 - Circuito de ROM

No ZX-80 foi empregada a ROM (na verdade EPROM) 2532, de 4 KBytes, semelhante à popular 2732 da INTEL mas com ligeiras diferenças de pinagem.

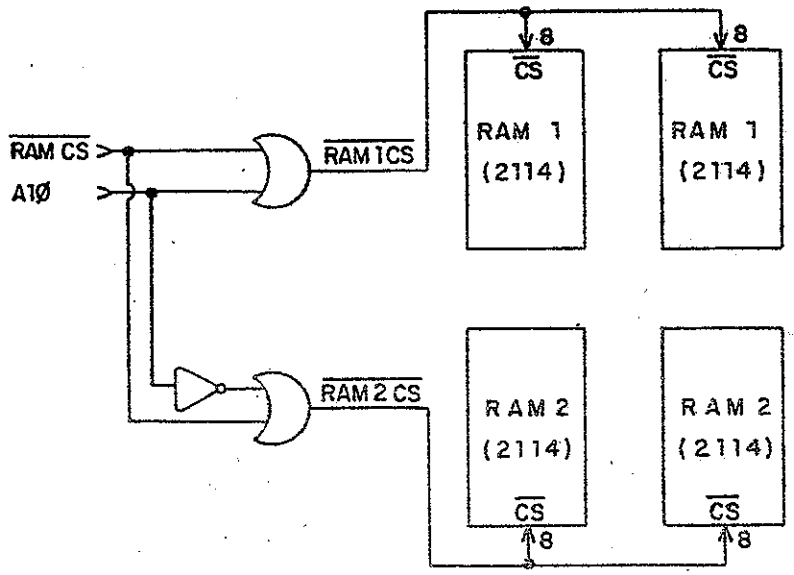
Os sinais de endereçamento e seleção da ROM são recebidos de três CIS multiplexadores 74LS157 (fig. 3-3). Estes têm o pino 1 da seleção ligados ao terminal $\overline{RFSH}$ do Z-80. Nas operações de vídeo, durante o ciclo de máquina M1, $\overline{RFSH}$ é ativado em nível L, o que faz os multiplexadores sele-



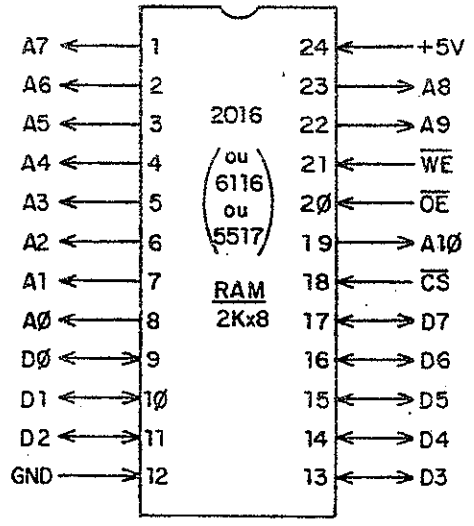
3-2 circuito RAM 1K



3-3 circuito de ROM 4K



3-4 expanção de mais 1K de RAM



3-5 RAM 2016 2KX8

cionarem as entrads A, que são:

- A0'/A1'/A2': bits B, C e D do contador
- A3'/A4'/A5'/A6'/A7'A8': D0'/D1'/D2'/D7'/D4'/D5' da RAM, através do latch 74LS373
- A9/A10/A11: recebidos direto do Z-80, não passando pelos multiplexadores

$\overline{CS1}$: nível L; aterramento na entrada do multiplexador.

Estes bits compôem um endereço A0'/A11' na ROM onde está gravada a matriz de 8 bytes referentes ao carácter a ser apresentado na tela.

Em outras operações, exceto de vídeo, o terminal $\overline{RFSH}$ estará desativado em nível H e os multiplexadores selecionaram as entradas B, recebidas dos terminais de endereços do microprocessador, além do sinal $\overline{ROM\ CS}$.

O byte de dados da leitura da ROM é colocado na seção D0'/D7' da barra de dados. Nas operações de vídeo os terminais D0/D7 do Z-80 estão todos em nível L (devido às inversoras coletor-aberto) e este byte da ROM é carregado no registo de deslocamento. Em operações não-vídeo as inversoras coletor-aberto ficam em tristate e o byte D0'/D7' da ROM chega normalmente a D0/D7 do Z-80, através dos resistores de 1K (reveja fig. 2-4).

Na verdade o terminal $\overline{RFSH}$ é ativado em nível L em qualquer ciclo M1 do Z-80, sendo operação de vídeo ou não, mas o circuito de lógica de vídeo se encarrega de bloquear o registro de deslocamento, impedindo-o de receber os dados da ROM.

4 - Memória TK-82/TK-83

Certamente que 1K de memória RAM é muito pouco. Na linha SINCLAIR nacional o TK-82 tratou logo de acrescentar mais 1K, completando a RAM de 2KBytes.

Isto é facilmente conseguido com o circuito da fig. 3-4 e sem qualquer outra alteração no hardware. Mais 2 CIS2114 são acrescentados, formando dois pares de 1KByte cada. O sinal $\overline{RAMCS}$ é combinado com o

terminal de endereço A10 numa OR, resultando o sinal $\overline{RAM\ 1CS}$ que habilita o primeiro par RAM quando for endereçado 0100 00XX XXXX XXXXB, isto é, 16K a 17K. Noutra porta OR é combinado o inverso de A10 (A10) com $\overline{RAM\text{-}CS}$, gerando o sinal $\overline{RAM2CS}$ que habilita o segundo par quando for endereçado 0100 01XX XXXX XXXXB, isto é, de 17K a 18K.

No TK-83 os 4 CIS RAM foram substituidos por um único CI 2016-RAM de 2Kx8 (fig. 3-5). Não é preciso alterar o circuito da fig. 3-2, apenas acrescentar o terminal de endereço A10. $\overline{RAMCS}$ é ligado aos pinos 18($\overline{CS}$) e 20($\overline{OE}$) e $\overline{WR}$ ao pino 21 ($\overline{WE}$).

CAPÍTULO 4
VÍDEO

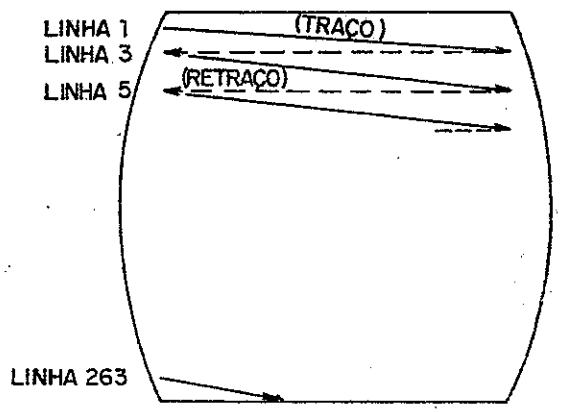
1 - Tela do Vídeo SINCLAIR (nacional)

A televisão inglesa tem padrões diferentes da nossa, pelo que exporemos o assunto já na sua versão nacional (linha TK). As diferenças são quantitativas, tal que os princípios aqui discutidos também são válidos para o ZX-80 inglês, exceto os valores numéricos.

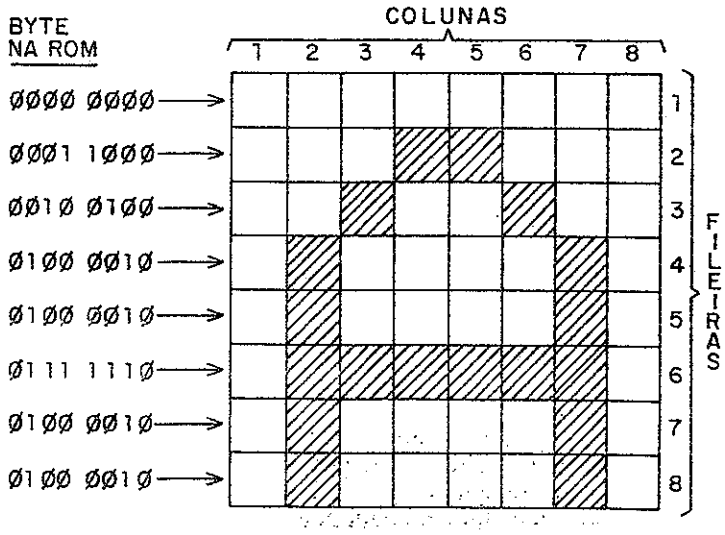
Partindo do fundo da televisão um feixe eletrônico atinge a tela e o percorre da esquerda para a direita. Durante seu percurso ele fica aceso-ponto claro na tela - ou apagado - ponto escuro na tela. O telespectador retém na vista (efeito de persistência) todos os pontos da tela, como se eles estivessem presentes de uma só vez, tendo a falsa impressão de um "retrato".

Os "retratos" devem ser apresentados no máximo 30 vezes por segundo (30HZ), semelhante ao rodar um filme no cinema. Mas como isto acarreta efeitos ópticos indesejáveis a tela é dividida em 525 linhas, sendo metade linhas pares e outra metade linhas ímpares. Um "retrato" passa a ser uma das metades - par ou ímpar, e o feixe varre inicialmente somente as 262,5 linhas pares, omitindo a ímpares, para depois varrer as linhas ímpares, omitindo as pares. Cada varredura de uma destas metades é chamada "campo" (fig. 4-1), e dois campos sucessivos (um par mais outro ímpar) forma um "quadro". As 262,5 linhas de um campo são varridas em 60 segundos (60HZ), na seguinte sucessão: (1/60)seg-CAMPO PAR/(2/60)seg- CAMPO ÍMPAR/(3/60)seg - CAMPO PAR/(4/60)seg-CAMPO ÍMPAR/.... Assim, a varredura vertical da tela (262,5 linhas) é realizada em 60HZ, mas os campos apresentados com 30HZ cada, o que mantém a persistência e evita efeitos ópticos indesejáveis.

Os micros da linha SINCLAIR desconhecem esta divisão de campos, (denominada "entrelaçamento") apresentando na tela só um deles (campo par), com 262 linhas horizontais. Ao chegar à última linha (262) o feixe eletrônico é apagado e reposto na margem esquerda da primeira linha, (retraço vertical), recomeçando a apresentação de novo "retrato".



4-1 varredura da tela de TV



4-2 matriz 8 bytes de carácter

O feixe eletrônico permanece apagado no retraço vertical aproximadamente 1000 microsegundos. Observe que o Z-80A, operando com clock de 3,25MHZ como no ZX-80, executa uma instrução (leitura ou escrita de memória, adição de dois bytes, etc) em cerca de 7 ciclos de clock, ou seja, 7x0,3 microsegundos = 2 microsegundos, aproximadamente. Portanto, durante o apagamento vertical da tela de TV o microprocessador poderá executar 500 instruções, em média.

A varredura de uma linha horizontal da tela de TV é feita em 64 microsegundos. Ao chegar na margem direita o feixe é apagado e reposto na margem esquerda da linha seguinte (retraço horizontal). O tempo de apagamento no retraço horizontal é de aproximadamente 10 microsegundos, o que permite ao Z-80A do ZX-80 executar 5 instruções, em média.

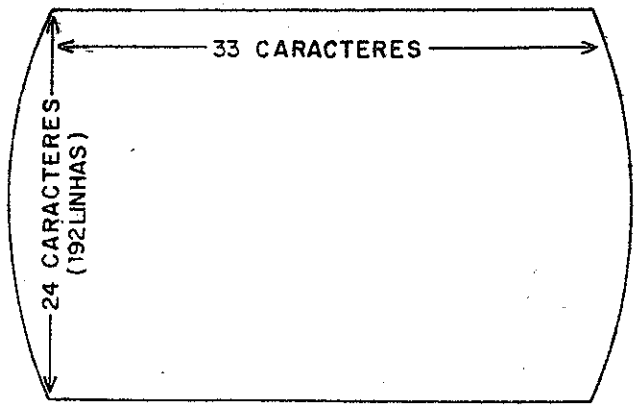
Durante a varredura horizontal o ZX-80 limita-se a apresentar os caracteres na tela (apagando ou acendendo o feixe luminoso).No retraço horizontal são realizadas algumas instruções de preparação de varredura da próxima linha. É no retraço vertical (tempo para 500 instruções) que o ZX-80 efetivamente processa (cálculos, comparações, lógica, etc).

Os circuitos internos do receptor de TV controlam a varredura do feixe luminoso, independente de sinais externos. Entretanto, para que cada informação corresponda a uma posição na tela são necessários sinais de sincronismo – SINC – indicando aos circuitos quando realizar os apagamentos horinzontal e vertical. O ZX-80 emite estes pulsos de SINC ao final de cada linha horizontal e após a varredura do campo de 262 linhas.

2 - Apresentação do Carácter na Tela

O carácter é formado por uma matriz de 8 colunas por 8 fileiras (fig. 4-2). Cada elemento da matriz corresponde a um bit: ponto preto - apagado bit 1 (nível H), ponto branco – iluminado bit 0 (nível L). A matriz é gravada na ROM (GERADOR DE CARACTERES) em 8 endereços sucessivos.

Na tela de TV o ZX-80 apresenta 33 caracteres em cada linha horizontal e 24 linhas de caracteres (fig.4-3). Note que o carácter ocupa 8 li-



4-3 caracteres na tela do ZX-80

nhas de TV (uma para cada fileira), perfazendo o total de 8x24=192 linhas de TV. A diferença para o campo completo de 262 linhas é preenchida com margens negras.

O fluxograma da apresentação de carácteres em 1 campo de TV é visto na fig. 4-4. 24 linhas x 33 carácteres por linha totalizam 792 caracteres, havendo 1 byte de dados (código de carácter) na RAM para cada um, armazenados em posições sucessivas a partir do endereço DATA-FILE. Este muda de posição conforme o desenvolvimento do programa, mas seu valor (dois bytes) é sempre atualizado na variável de interpretador endereço 16.396 e 16.397 (ou seja, para saber onde começa na RAM a memória de vídeo de um programa basta fazer uma leitura dos dois bytes gravados em 16.396/16.397).

Na primeira linha da tela de TV são apresentados as primeiras fileiras dos 33 primeiros caracteres; a seguir o contador é incrementado +1 e apresenta-se as 2ª fileiras dos mesmos caracteres na 2ª linha da tela; na 8ª linha da tela temos as 8ª fileiras dos caractéres. Agora, na 9ª linha da tela, começa a apresentação das primeiras fileiras dos próximos 33 caracteres. Ao final da apresentação de uma das fileiras, quando o contador é incrementado, é emitido o sinc horizontal e termina a varredura de uma linha de TV.

Após 792 incrementos do endereço RAM (33 carácteres x 24 linhas) está completa a varredura de um campo de TV, preenchendo toda a tela. É emitido o sinc vertical e o Z-80 fica livre durante o apagamento vertical para processamento do programa.

3 - Circuito de Lógica de Vídeo

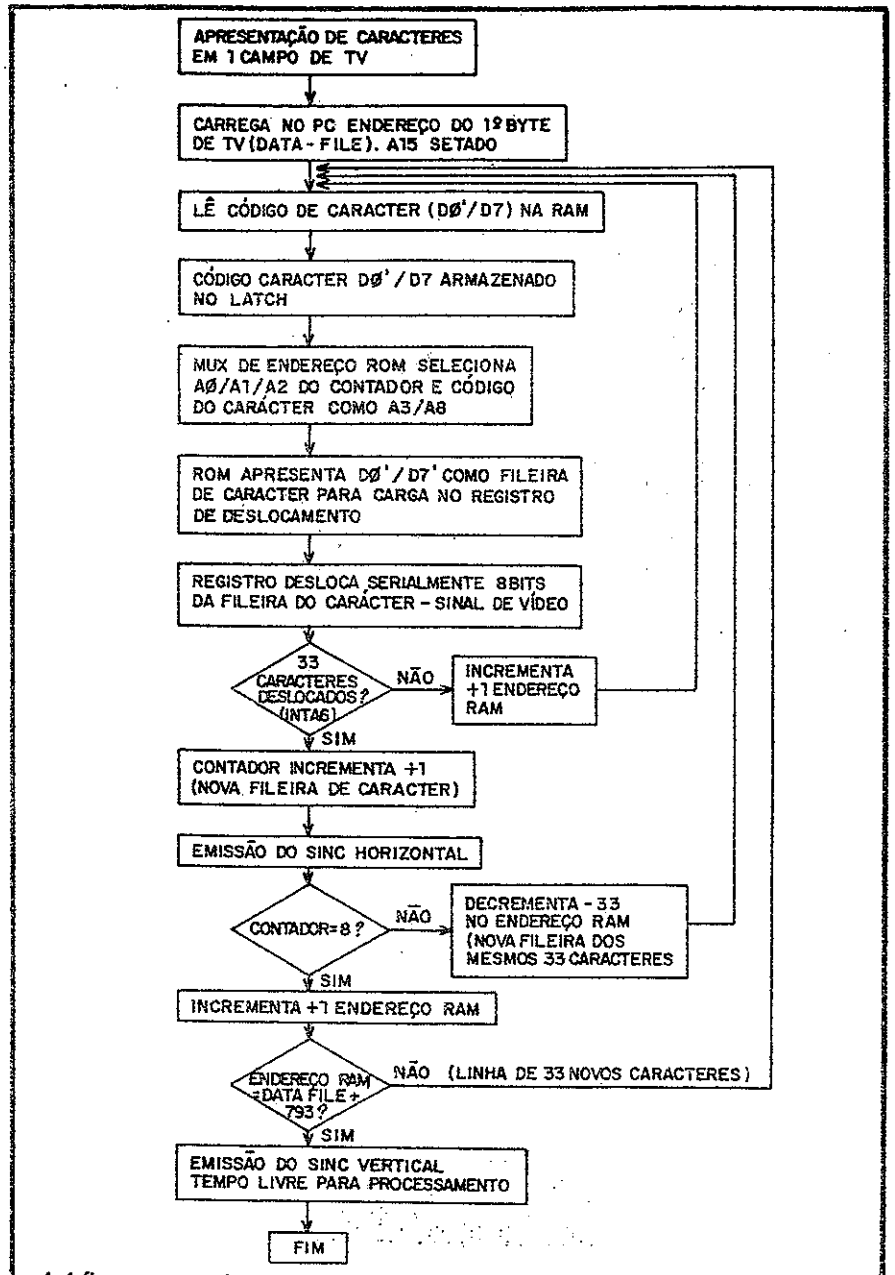
O circuito de lógica de vídeo do ZX-80 é visto na fig. 4-5, mas para analisá-lo é necessário acompanhar a sincronização do Z-80 no ciclo M1 de busca de instrução ("fetch"), constando na fig. 4-6.

No início da varredura de um campo de TV uma rotina no programa monitor carrega no PC do Z-80 o endereço DATA-FILE,(endereço do 1º byte da sequência de 792 carácteres a serem apresentados na tela, armazenados pelo programa BASIC na memória de vídeo da RAM), mas com A15 em nível H, ou seja, 11XX XXXX XXXX XXXXB.

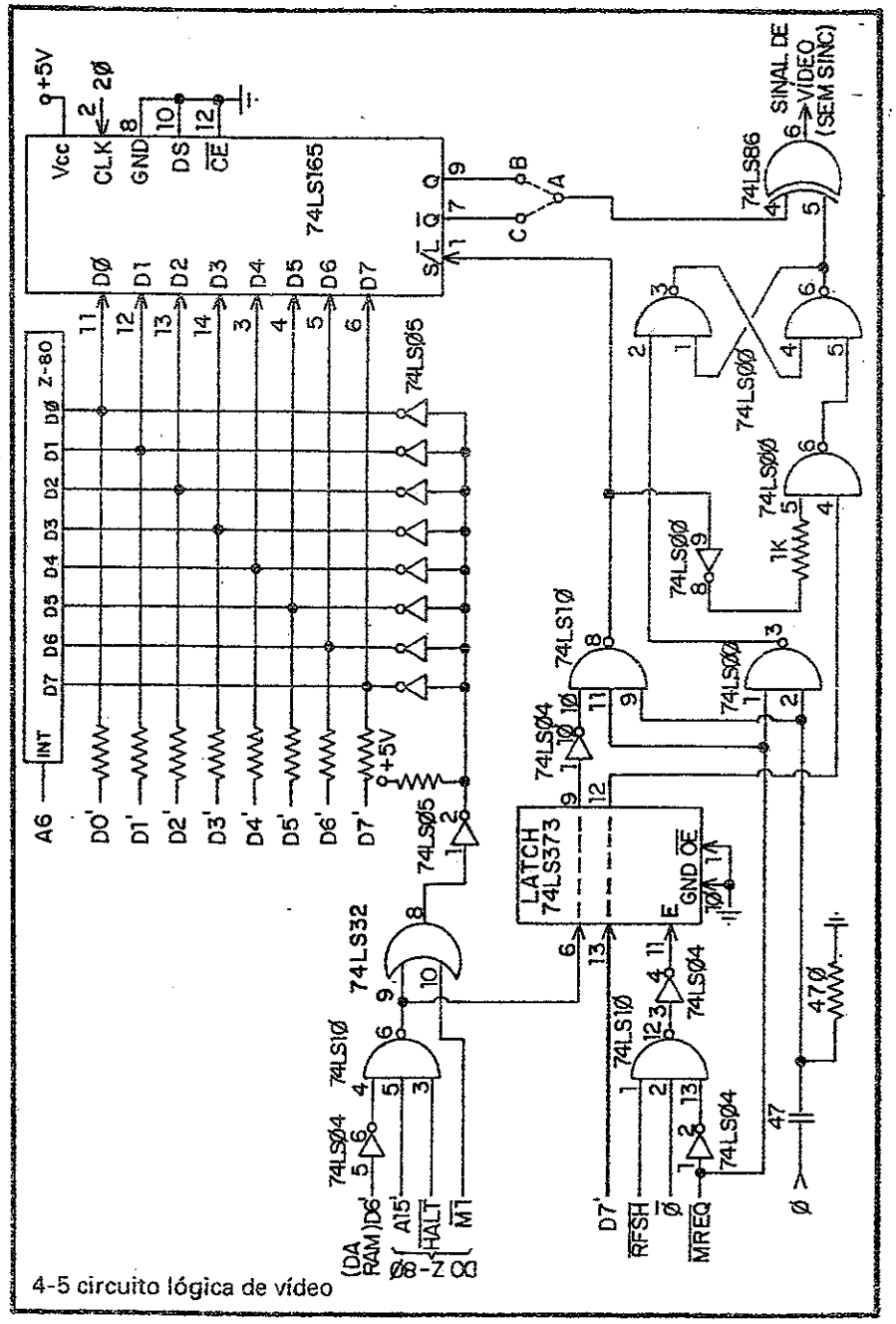
Este endereço ativa a RAM, que só precisa de A14 em nível H para ser ativada, independente de A15. A ativação é no modo leitura, pois $\overline{WR}$ permanece em nível H. A RAM então apresenta na barra de dados o byte D0'/D7', correspondendo ao código do carácter daquela posição da tela, e do qual D6' é nível L.

D6' é invertido no 74LS04 e aparece como nível H na entrada da NAND 74LS10, cujas duas outras entradas são A15' em nível H (endereço de vídeo) e $\overline{HALT}$ (desativado) também em nível H. Assim a saída - pino 6 desta NAND será nível L, entrando na OR seguinte. Esta recebe simultaneamente M1 do Z-80 em nível L (primeiros dois clocks T1/T2 de $\overline{M1}$, fig. 4-6), apresentando nível L na saída pino 8, que é invertido no 74LS05 e aparece como nível H na entrada das 8 inversoras, colocando D0/D7 do Z-80 todos em nível L, isto é, "0000 0000". O microprocessador lê este byte como se fosse um OP CODE, correspondendo à instrução "NOP" (nenhuma operação), e apenas incrementa o PC para buscar nova instrução. Note que este "zeramento" dos dados do Z-80 acontece somente quando A15' é nível H e $\overline{M1}$ nível L, o que só ocorre nas operações de vídeo.

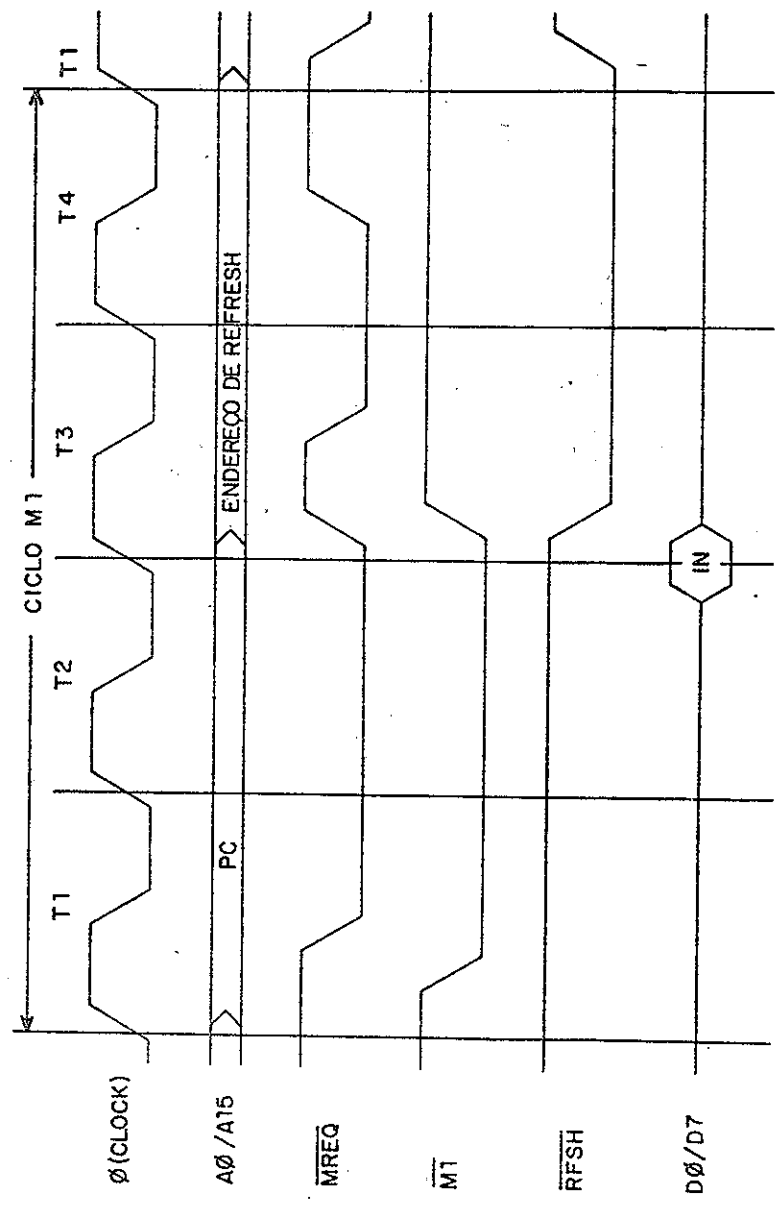
Ainda nos clocks T1/T2 de M1 $\overline{RFSH}$ entra como nível H na



4-4 fluxograma da apresentação de caracteres em 1 campo de TV



4-5 circuito lógica de vídeo



4-6 sincronização do Z-80 no ciclo M1 (fetch)

NAND 74LS10. $\overline{MREQ}$ em nível L é invertido no 74LS04 e aparece como nível H na segunda entrada da NAND. Na segunda metade de T1 Ø é levado a nível L, consequentemente $\overline{Ø}$ a nível H, ficando todas entradas da NAND em nível H, o que leva sua saída pino 12 a nível L, que invertido no 74LS04 aparece como nível H no pino 11-E do latch 74LS373, habilitando-o a armazenar e apresentar na saída os dados existentes nas suas entradas. Entre estes dados encontra-se a saída pino 6 da NAND 74LS10, nível L durante T1/T2 deste M1, que aparece na saída pino 9 do latch e é invertido no 74LS04, entrando como nível H no pino 10 da terceira NAND 74LS10. No clock T3 $\overline{MREQ}$ e Ø são levados a nível H, ficando todas as entradas desta última NAND em nível H (a saída da primeira NAND fica armazenada e disponível na saída pino 9 do latch também durante T3), o que resulta em nivel L na sua saída pino 8, ativando o modo carga ("load", S/$\overline{L}$ em nível L) do registro de deslocamento 74LS165. Assim, entre T3 e T4 os dados D0'/D7' da ROM são carregados em paralelo (simultaneamente) no registro de deslocamento. Neste tempo (T3/T4) as inversoras coletor-aberto estão com suas saídas em tristate, de forma que D0'/D7' da ROM podem chegar tanto no 74LS165 quanto no Z-80. Este último, entretanto, desconhece estes dados pois durante T2/T3 apenas decodifica a instrução recebidadurante T1/T2 (e que foi 0000 0000 - NOP).

O registro de deslocamento desloca um bit a cada pulso de clock, que é 2Ø de 6,5MHZ - o dobro do clock do Z-80. Portanto, de um ciclo M1 até outro (de T4 do primeiro M1 até T4 do segundo M1) o registro desloca serialmente 8 bits - uma fileira de carácter, que saem pelo pino 7-$\overline{Q}$ para a entrada da XOR 74LS86, aparecendo na sua saída como sinal de vídeo (ainda sem sincronismos e medição R.F.). Se a ligação do jump A-C for mudada para A-B, selecionando a saída Q - pino 9 do 74LS165, teremos inverso de vídeo (letras brancas em fundo preto ou vice-versa).

No início da varredura da linha o registro R do Z-80 é carregado com 94=101 1110B, onde o MSB é A6=1, e a flag 1 setada (habilita interrupção). A cada ciclo M1 de vídeo o registro R de refresh é incrementado +1. Após a apresentação de 33 caracteres de uma linha de TV ele chega ao máximo 111 1111B e em seguida é zerado pra 000 0000B, o que resulta em A6=0 (nível L), provocando uma interrupção no Z-80, cuja rotina indica o fim de um alinhamento horizontal na tela (o mesmo efeito é conseguido atribuindo a DATA FILE - 1º byte da memória de vídeo - o endereço 01XX XXXX X101

1110B); após receber 33 vezes a instruçãoNOPincrementando +1 o PC a cada uma, o Z-80 emitirá o endereço 01XX XXXX X111 1111B, que na próxima instrução será 01XX XXXX X000 0000B, com A6=0 provocando um pedido de interrupção).

4 - Sincronização de Linhas de TV

A seção anterior termina com o Z-80 sendo notificado que terminou a varredura de uma linha horiznotal. Ele agora executará a rotina da interrupção, que toma as seguintes providências:

- se não acabou a apresentação das 8 fileiras da linha de caracteres decrementar - 33 o endereço onde buscará na RAM os códigos de caracteres, de maneira que os mesmos caracteres sejam reapresentados (na fileira seguinte)
- se acabou a apresentação das 8 fileiras da linha de caracteres incrementar +1 o endereço onde buscará na RAM os códigos de caracteres, selecionando nova linha de 33 caracteres.
- recarregar o registro R de refresh do Z-80 com 94=101 1110B, preparando-o para nova linha de caracteres, bem como habilitando flag I de interrupção

A execução destes ítens é obtida através do circuito da fig. 4-7.

No primeiro flip-flop do CI 74LS74 o pino 2-D é aterrado, aparecendo na saída $\overline{Q}$ como nível H, que a cada clock ($\overline{M1}$) é transferido para a entrada D do segundo flip-flop e da saída Q deste para a entrada D do terceiro flip-flop, surgindo no seu pino 5-Q como nível H. Este último terminal que é o sinal SINC, é assim mantido em nível H durante a varrredura da linha horizontal da tela.

Quando o terminal A6 provoca uma interrupção, ao fim da apresentação de uma fileira de 33 caracteres, o Z-80 a reconhece levando a nível L o terminal $\overline{IORQ}$, o que provoca um "set"{Q=H/$\overline{Q}$=L} no primeiro flip-flop. A saída $\overline{Q}$ deste agora é nível L, propagando-se no segundo e terceiro flip-flop, até aparecer na saída Q- pino 5 como sinal SINC nível L. Ou seja, no final da linha horizontal de TV o sinal SINC é levado de nível H a nível L.

A saída Q-pino 5 do terceiro flip-flop é ligada ao terminal $\overline{CLR}$

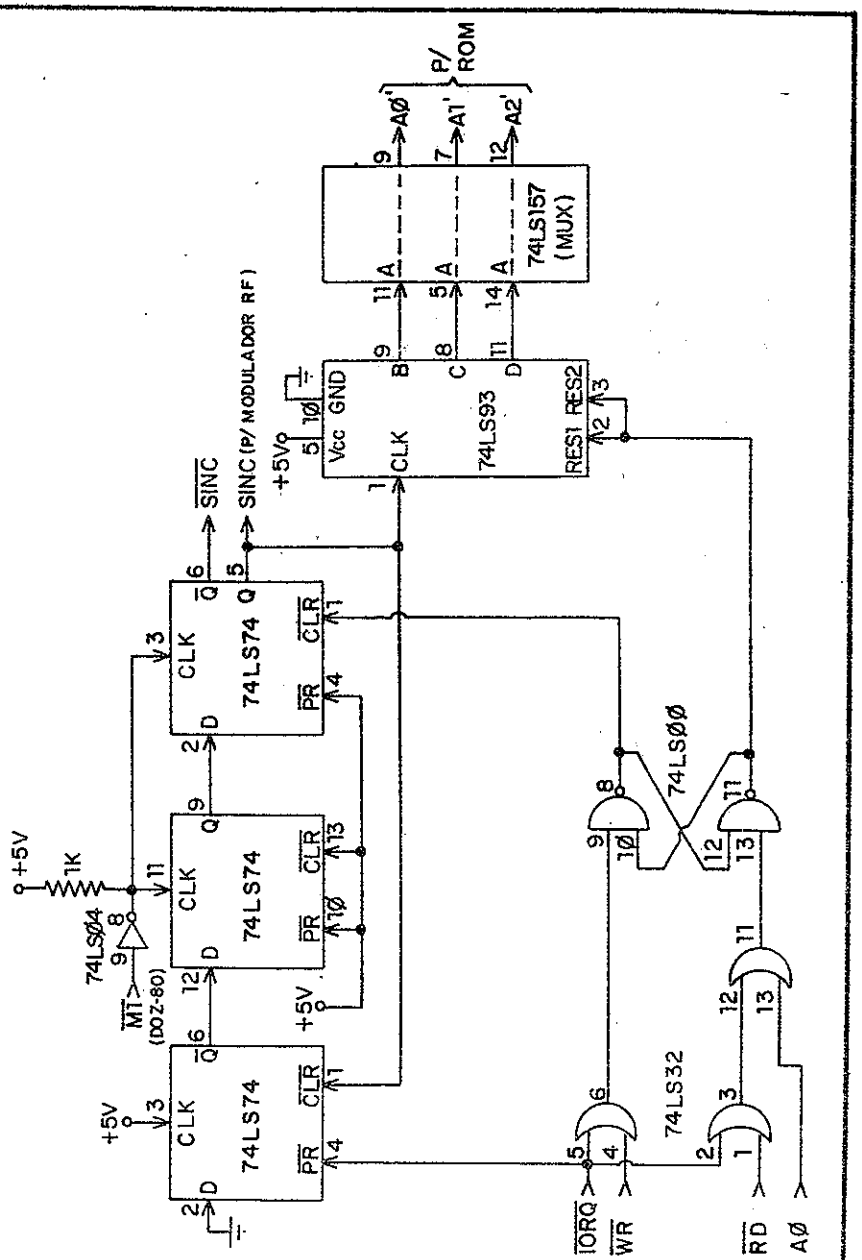
("clear", limpa) do primeiro flip-flop. Quando SINC é levado a nível L é ativado este $\overline{CLR}$, e o primeiro flip-flop volta ao estado Q=L/$\overline{Q}$=H, desfazendo o "set" provocado por $\overline{IORQ}$. O nível H de $\overline{Q}$ se propaga no segundo e terceiro flip-flops, repondo o sinal SINC em nível H. Portanto, o sinal SINC fica em nível L apenas temporariamente ao fim da varredura horizontal, caracterizando um pulso negativo a cada linha horizontal da tela de TV.

O contador 74LS93 tem como saídas D, C, B, formando o número binário "D-C-B", com "D" sendo o MSB e "B" o LSB. O sinal SINC serve de clock, e a cada pulso deste (final de fileira de 33 caracteres numa linha de TV) incrementa +1 suas saídas. Estas formam os três números menos significativos (A2'/A1'/A0')do endereço do carácter na ROM, podendo diferenciar 1 entre 8 fileiras da matriz. O endereço da primeira fileira do carácter é XXXX XA2'A1'A0B=XXXX X000B; na segunda linha de TV o contador incrementa +1 e ele passa a XXXX X001B, indicando a segunda fileira, na terceira linha de TV o contador incrementa +1 e o endereço passa a XXXX X010B, indicando a terceira fileira. Os incrementos do contador acabam quando a contagem chega a 7, indicando a oitava fileira pelo endereço XXXX X111B. No próximo clock a contagem volta a 000.

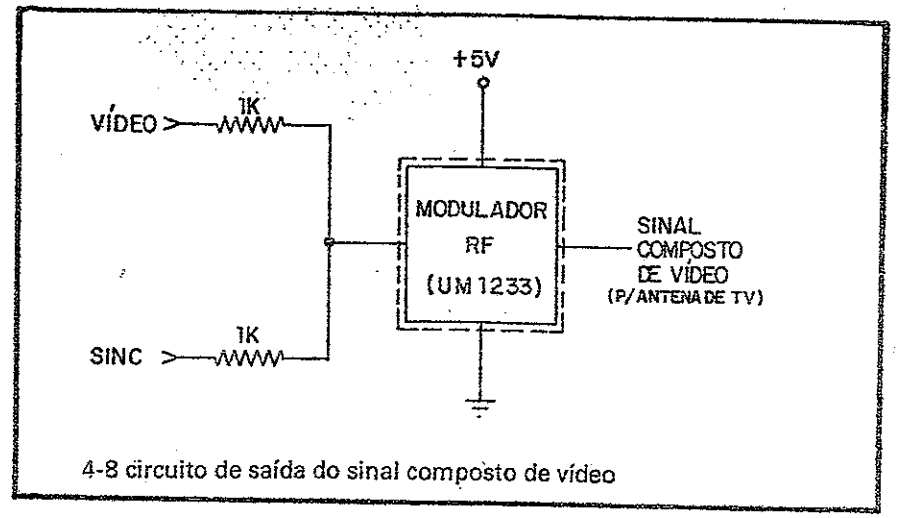
Ao final da apresentação de uma linha de caracteres por tanto após 8 fileiras de 33 caracteres (o mesmo que 8 linhas de TV) o Z-80 faz uma entrada de porta I0 endereço 1111 1110B, o que coloca em nível L os terminais $\overline{IORQ}$, $\overline{RD}$ e A0. Os três são combinados em duas OR 74LS32, surgindo um sinal $\overline{KBD}$ ("Keyboard") ativado em nível L, que habilita a leitura do teclado. Este sinal nível L ainda entra na NAND 74SL00, aparecendo como nível H na sua saída pino 11, ativa os dois terminais RES1 RES2 do contador, levando-o ao reset (contagem 000). Sempre que for preciso "limpar" o contador, para começar a contagem a partir de zero, basta realizar esta entrada de porta IO endereço 1111 1110B.

5 - Modulador RF

O sinal de vídeo do registro de deslocamento e o sinal SINC do circuito da fig. 4-7 são acoplados ao modulador de RF (fig. 4-8), cuja saída é o sinal composto de vídeo exatamente como de uma estação de TV (acromático)



4-7 circuito de sincronização de linhas de TV



4-8 circuito de saída do sinal composto de vídeo

O modulador RF é uma caixa retangular blindada. Seu terra é a própria soldagem ao chassis. Os dois fios que entram nele correspondem ao sinal de vídeo (SINC + VÍDEO) e +5 Volts.

CAPÍTULO 5
PERIFÉRICOS

1 - Keyboard

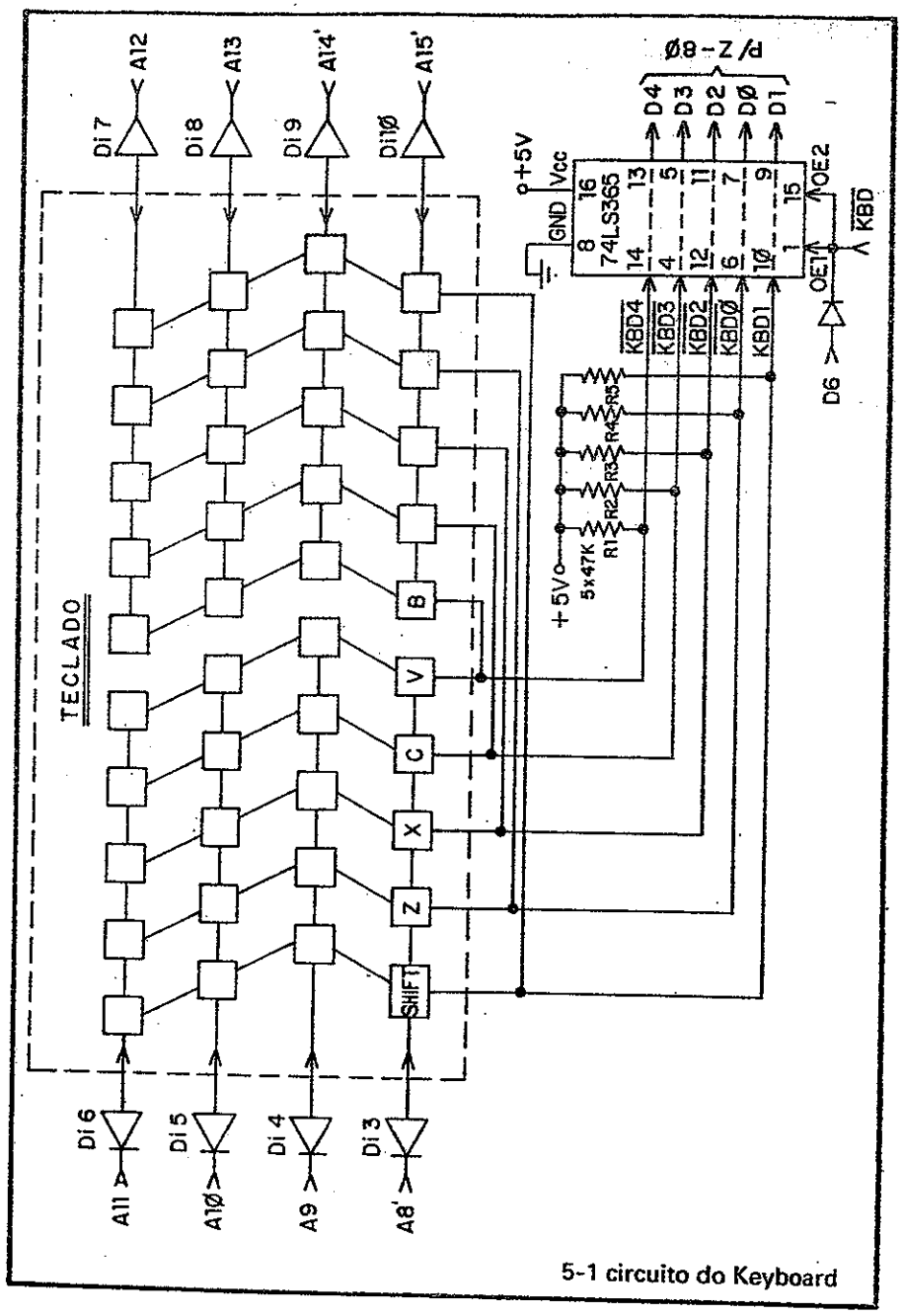
No circuito do Keyboard (fig. 5-1) o buffer 74LS365 permanece com as saídas D0/D4 em tristate enquanto seus terminais $\overline{OE1}$ e $\overline{OE2}$ estiverem em nível H. Quando o Z-80 faz uma entrada de porta IO endereço 1111 1110B é ativado em nível L o sinal $\overline{KBD}$ (reveja fig. 4-7), que transfere os bits KBD0 /KBD4 da entrada o buffer para as respectivas saídas D0/D4.

Ao executar uma entrada IO o Z-80 coloca no byte inferior de endereço (A0/A7) a posição da porta (que pode ser de 0=0000 0000B a 255=1111 1111B). No byte superior (A8/A15) é assentado o mesmo valor que estiver carregado no PC.

Para varredura do teclado o Z-80 carrega o PC inicialmente com 1111 1110 1111 1110B, ou seja, A8 e A0 em nível L e os demais em nível H. Ao sinalizar entrada da porta 1111 1110B o sinal $\overline{KBD}$ é ativado e os dados D0/D4 entram no acumulador do Z-80. Se houver tecla apertada na fileira do canto inferior esquerdo (SHIFT/Z'/X'/C'/V') o nível L de A8 aterrará o respectivo resitor de 47K, colocando em nível L um dos dados D0/D4; o Z-80 verifica qual o terminal de endereço que estava em nível L (A8) e qual terminal de dado (entre D0/D4) foi levado a nível L, decodificando a tecla.

Suponhamos que a tecla apertada seja 'X': o diodo DI3 aterrará o resistor R3, resultando KB2 e D2 em nível L, enquanto D0-D1-D3-D4 permanecem em nível H; o Z-80 recebe o código '11011' (correspondendo a D4-D3-D2-D1-D0) e computa que trata-se da fileira no canto inferior esquerdo (A8 em nível L), descobrindo que foi apertada a terceira tecla ('X').

Se nenhuma tecla estiver apertada nesta fileira (código 1111) o Z-80 repete a operação, mas desta vez levando a nível L o terminal A0, portanto carregando no PC 1111 1101 1111 1110B. Ele faz novamente a leitura de D0/D4 e se não houver tecla apertada nesta fileira repete a operação com A10 em nível L, e assim sucessivamente até varrer todas as fileras (A8 até A15).



5-1 circuito do Keyboard

Note que as colunas são ligadas em pares. Por exemplo, a última coluna do lado esquerdo (onde se encontra 'V') está ligada à primeira coluna do lado direito (onde se encontra 'B'), ambas determinando o nível de KBD4 e D4. Na decodoficação o Z-80 descobre se a tecla está na metade à esquerda ou à direita ao verificar qual terminal de endereço foi ativado em nível L (A18/A11 para o lado esquerdo e A12/A15 para o lado direito).

2 - Cassete

O circuito do cassete é visto na fig. 5-2. Na fita magnética a frequência (de aúdio) 2040HZ representa bit nível L ("0") e 1020HZ bit nível H ('1').

Na gravação (programa do micro sendo gravado na fita) uma rotina do monitor aciona o sinal SINC (gerado no circuito da fig. 4-7) a uma frequência tal que o oscilador na entrada do MIC produza 2040HZ ou 1020HZ, conforme programado. Como a cada vez que o terminal $\overline{IORQ}$ é ativado em nível L resulta um pulso de SINC, basta ao Z-80 ler no programa qual o nível do bit a ser gravado naquele momento e executar operaçoẽs de portas IO (ativando $\overline{IORQ}$) na frequência necessária para produzir 2040HZ ou 1020HZ no MIC.

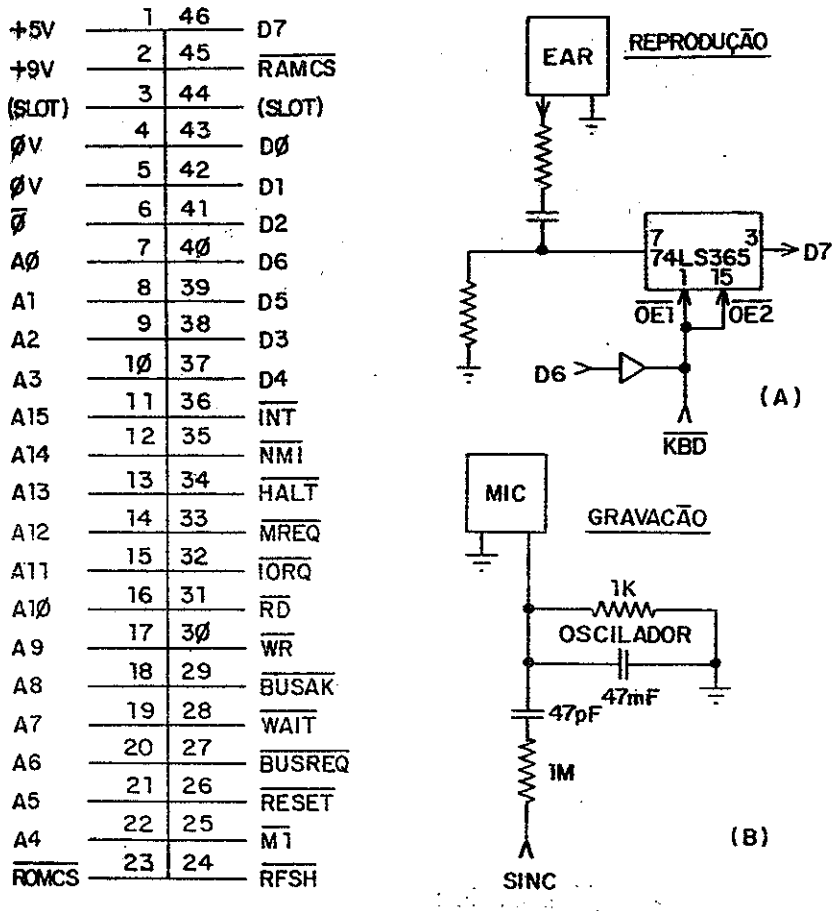
Na reprodução (dados da fita sendo gravados na memória do micro) o sinal de EAR (2040bit 0/1020HZ bit 1) é ligado ao pino 7 do buffer 74LS365. O Z-80 faz uma entrada de porta IO posição 1111 1110B, semelhante à de Keyboard, e recebe o sinal de EAR no terminal D7. Uma rotina no programa monitor permite ao microprocessador converter a frequência 2040HZ em bit 0 e 1020HZ em bit '1', recebendo-os serialemente e armazenado-os em paralelo como 1 byte.

3 - Conector de Periféricos

A linha SINCLAIR dispõe de um conector (fig. 5-3) para expan-

e conexão de periférico. Ele é semelhante ao conector do S-100 BUS, cortando-se 2 terminais de cada lado.

Este conector é o mesmo, física e eletronicamente, para o ZX-80, ZX-81, TK-82, TK-83 e TK-85. No CP-200 e no RINGO ele apresenta algumas diferenças.



5-2 circuito do cassete

5-3 conector de periféricos

(a) reprodução - EAR (b) gravação - MIC

CAPÍTULO 6
ZX-81 COM ULA-SINCLAIR

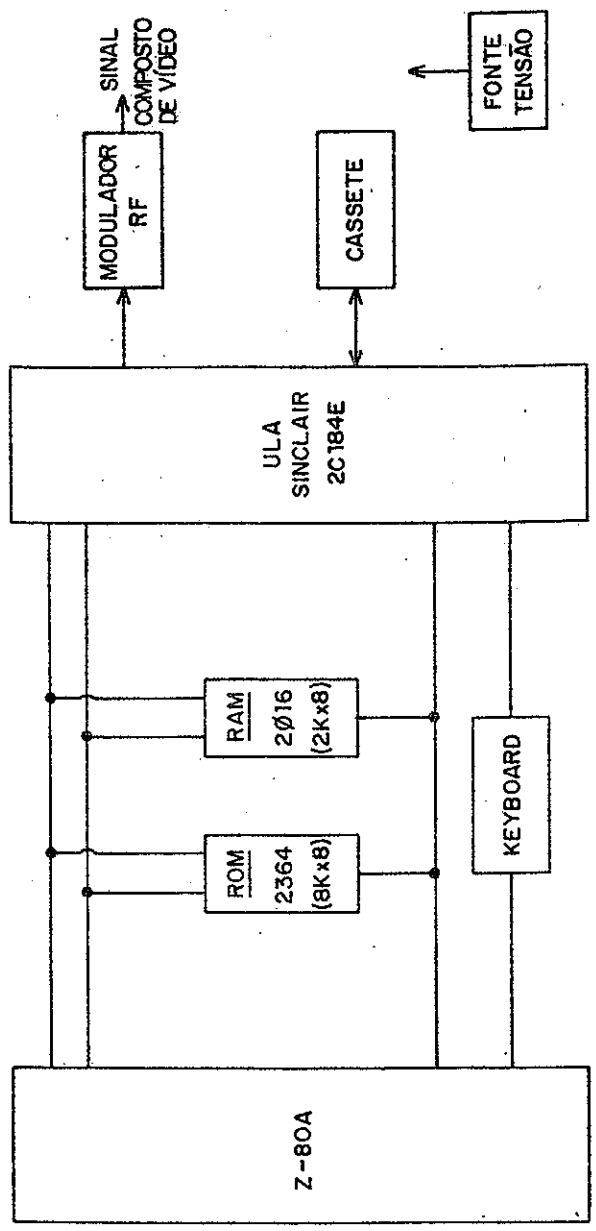
1 - Diagrama de Blocos

O ZX-81 com ULA-SINCLAIR é o mesmo ZX-80 que estudamos nos capítulos anteriores (jáaumentadaa capacidade de memória), apenas substituindo grande número de CIS e componentes descritos por um único CI - ULA 2C184E - projetado especialmente para a linha SINCLAIR.

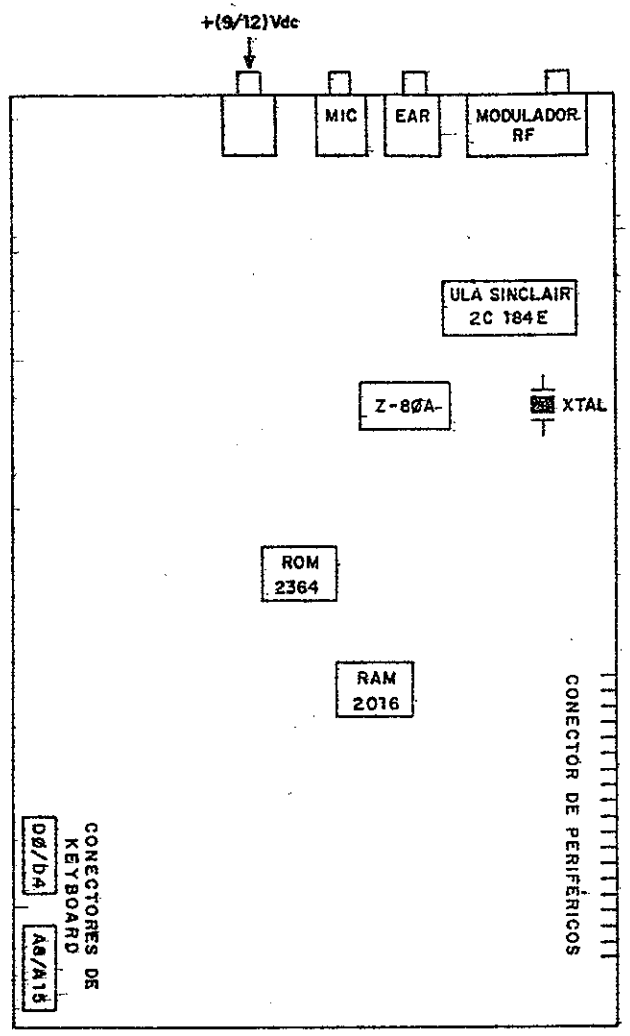
O diagrama do ZX-81 com ULA-SINCLAIR é apresentado na fig. 6-1. Veja que todos circuitos de lógica de vídeo, sincronização de linhas de TV, multiplexação de endereços ROM, conversão paralela-serial de sinal de vídeo, interface de Keyboard e geração de clocks foram integrados na ULA (mas existindo e operando como estudamos, dentro da ULA).

2 - Disposição Física

Na fig. 6-2 vemos o esboço da disposição física do ZX-81 com ULA-SINCLAIR. O computador ficou reduzido a 4 CIS mais alguns componentes de apoio, certamente um milagre da Microeletrônica.



6-1 diagrama de blocos do ZX-81 com ULA-SINCLAIR



6-2 disposição física do ZX-81 com ULA-SINCLAIR

TERCEIRA PARTE
TRS 80 (CP)

CAPÍTULO 1
SISTEMA TRS-80 (CP300 - CP500)

1 - Introdução

O TRS-80 é um dos mais bem sucedidos microcomputadores de 8 bits, de origem norte-americana. Seu nome deriva das iniciais da firma que o inventou - TANDY (CORPORATION)/RADIO SHACK. Ficou caracterizado como micro profissional, ao contrário do APPLE que desde o início teve sua imagem associada com micro doméstico. Com o aparecimento do IBM-PC o TRS-80 foi relegado a segundo plano, mas a grande quantidade de suporte (hardware e software) ainda garantem-lhe vida longa.

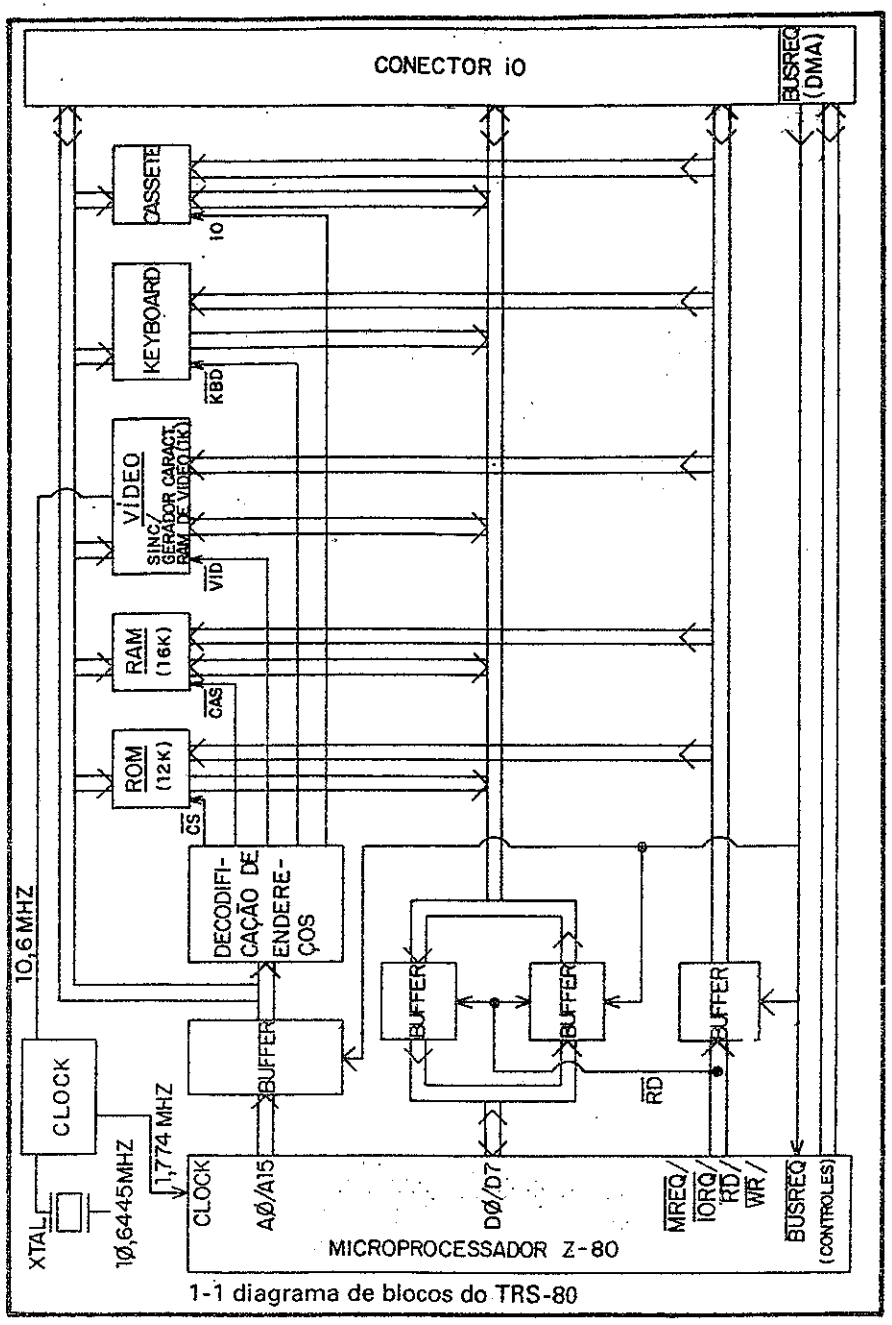
No Brasil a linha TRS-80 foi bem representada pelo CP-300/CP-500 da PROLÓGICA e pelo DISMAC 8000/DISMAC8001 da DISMAC. Entretanto a DISMAC encerrou a fabricação do 8000/8001 (dedicando-se ao 8100 da linha APPLE), restando o CP PROLÓGICA como grande seguidor da linha TRS-80 no Brasil, que se tornou um dos mais vendidos micros de nosso país.

O TRS-80 é encontrado em três modelos (nível I, nível II, nível III), que diferem apenas na capacidade de memória ROM e no programa monitor interpretador BASIC ali gravado, conservando as demais caractersticas de hardware. Enfocaremos o TRS-80III, concebido para fins profissionais, que é o mesmo modelo seguido pelo CP300/CP500.

2 - Diagrama de Blocos

A fig. 1-1 é o diagrama de blocos do TRS-80. Observa-se que o micro foi projetado dentro de uma concepção padrão de sistemas microprocessados, sem 'espertesas' do programa monitor (como o vídeo do SINCLAIR).

O sistema é baseado no microprocessador Z-80, sincronizado pelo clock de 1,774MHZ. Esta frequência é obtida da divisão por 6 do sinal de



1-1 diagrama de blocos do TRS-80

um oscilador de cristal 10,6445MHZ, que também sincroniza o vídeo.

As barras de endereço, dados e controles do Z-80 são amplificadas em buffers. No conector de expansão o periférico pede DMA, que ativa o terminal $\overline{BUSREQ}$ no microprocessador e ao mesmo tempo coloca em tristate as saídas dos buffers, deixando as barras livres e o Z-80 desativado.

A barra bidirecional de dados, de 8 bits, tem dois grupos de buffers, um para entrada (leitura) e outro para saída (gravação). O terminal $\overline{RD}$ ('read', leitura) do Z-80 seleciona um dos dois grupos, bloqueando (tristate) o outro. Em operações DMA apenas o buffer de saída (gravação) é bloqueado.

A barra de endereços com 16 terminais (A0/A15) permite o endereçamento de 64K posições. O decodificador de endereços recebe-a na entrada e na saída ativa o estágio endereçado, sinal $\overline{CS}$ ('chip select') para a ROM, $\overline{CAS}$ (column address strobe') para a RAM e $\overline{VID}$ ('vídeo') para o vídeo.

A memória ROM, contendo o interpretador BASIC e o sistema monitor, tem 12KBytes (no TRS-80I apenas 4KBytes). É possível a expansão de mais uma ROM de 2KBytes.

A RAM tem 16KBytes no original da fábrica, com mais 32KBytes de expanção. Cada CI RAM (4116) armazena apenas 1 bit de dado em cada uma de 16K posiçoẽs internas, usando-se uma cascata de 8 CIS para formar o byte D0/D7. Este CI RAM é do tipo dinâmica e multiplexa os endereços (recebendo o primeiro grupo A0/A6 nos mesmos pinos que o segundo grupo A7/A13), precisando dos sinais $\overline{RAS}$ e $\overline{CAS}$ para sincronizar a multiplexação. Ao mesmo tempo $\overline{CAS}$ é empregado para seleção do estágio RAM. $\overline{RAS}$ é derivado de $\overline{MREQ}$ do Z-80, servindo também para refrescamento ('refresh') de memória.

O vídeo é totalmente separado do restante da memória, dispondo de sua própria RAM de vídeo de 1K, gerador de caracteres e gerador gráfico, além de sincronismos. O microprocessador deve apenas gravar na memória de vídeo os dados a serem apresentados na tela, modificando-os quando se desejar, e o estágio de vídeo se encarrega de todas as demais pro-

vidências. A gravação na memória de vídeo é exatamente como a que se faz na RAM, mas com endereço próprio ativado pelo sinal $\overline{VID}$ e os terminais A0/A9 determinando as posições internas, inclusive sendo possível a operação de leitura.

Como periféricos embutidos no sistema temos o Keyboard e conector para gravador cassete (gravação e reprodução). Um conector com terminais ligados aos principais pontos do circuito permite a expanção e instalação de periféricos externos. Como o TRS-80III é voltado para aplicações profissionais (empresariais), exigindo grande número de periféricos simultaneamente, é comum usar uma interface que distribui os sinais deste conector para uma cadeia de outros conectores, nos quais são encaixados os periféricos.

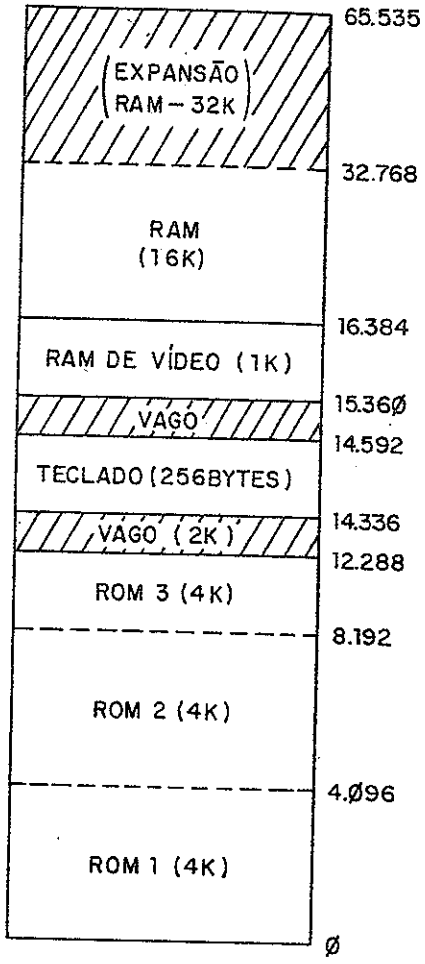
3 - Mapa de Memória

A fig. 1-2 ilustra o mapa de memória do TRS-80 (nível III). Veja que o vídeo e teclado são colocados em posição de memória, não se aproveitando de instruções de portas IO (mapeamento de memória).

Como o Z-80 tem inicialização e reset no endereço 0000H a ROM é colocada nas posições iniciais. São usados três CIS, cada um ocupando 4K e perfazendo o total de 12K (no TRS-80 nível I temos apenas 4K de ROM). A seguir há um espaço vago de 2K, onde pode ser instalada outra ROM (expansão).

O buffer do Keyboard ocupa 256 bytes, posições estas usadas para varredura do teclado. Segue-se outro espaço vazio de 768 bytes.

A RAM de vídeo no estágio de vídeo e sem ligação com a RAM de 16K do micro tem capacidade de 1K. Cada posição armazena 7 bits (D0/D7, D6 não é usado) e corresponde a um carácter na tela, configurado como 16 linhas de 64 caracteres cada ou duas telas (PAGE1/PAGE2) de 16 linhas de 32 caracteres cada. Note que 16x64=1K, bem como 2x16x32=1K, o total de posições na tela correspondendo à capacidade da memória de vídeo.



1-2 mapa de memória do TRS-80

A RAM tem 16K, de 16.384 a 32.768, sendo possível a expanção de mais 32K de 32.768 a 65.535. Os primeiros 512 bytes da RAM são reservados para variáveis do programa monitor e o restante fica disponível para o usuário.

CAPÍTULO 2
MICROPROCESSADOR Z-80

1- Teoria de funcionamento

A teoria de funcionamento do microprocessador Z-80 já foi exposta na PARTE 2 - LINHA SINCLAIR. Apenas para comodidade de leitura reapresentamos a pinagem na fig. 2-1.

2 - Gerador de Clock

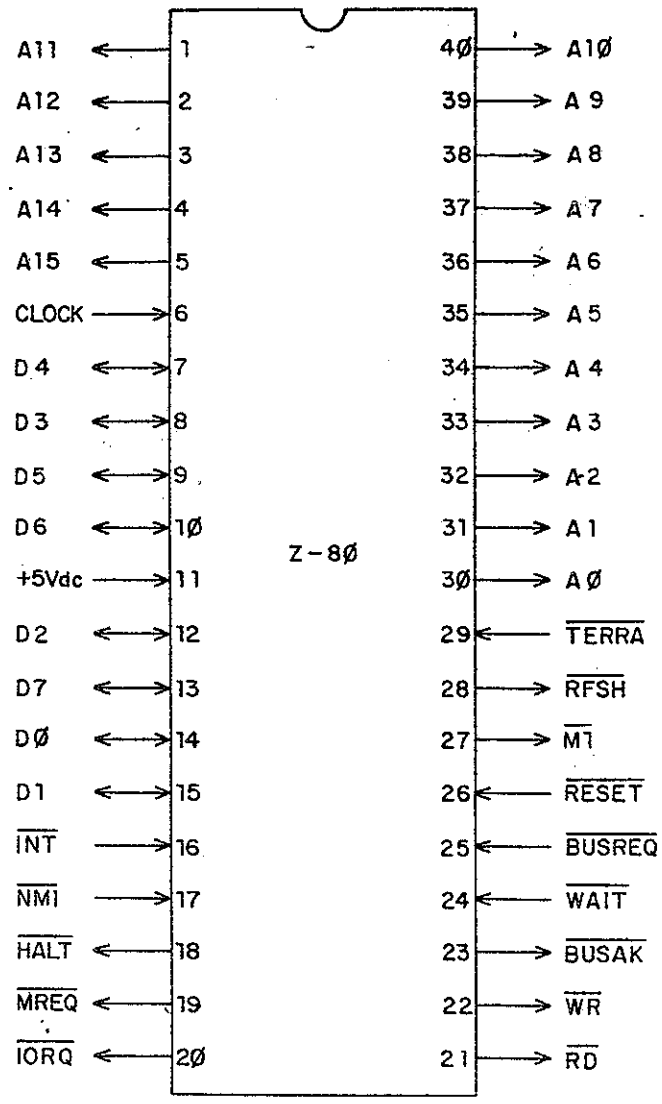
Na fig. 2-2 temos o circuito gerador de clock que sincroniza todas as operações do TRS-80. Ele é baseado no cristal de 10,6445MHZ.

O oscilador formado pelo CI 74LS04 e o cristal fornece na sua saída - pino 8 o sinal de 10,6MHZ que sincroniza o vídeo. Ele é enviado ao buffer 74LS367 e daí ao 74LS92, onde a frequência é dividida por 6 e aparece no pino 8 - QD como 1,774MHZ, sendo amplificado no 74LS367 e entrando como clock no Z-80. Uma derivação deste sinal de 1,774MHZ é ligada ao conector de expansão como PCLOCK, para sincronização de periféricos. Observe que o buffer 74LS367 está constantemente habilitado (pino 1 - $\overline{OE}$ aterrado), o CI servindo apenas como amplificador de entrada e saída no contador 74LS92.

3 - Barra de Controles

O circuito da barra de controles do TRS-80 é visto na fig. 2-3. Os sinais $\overline{BUSREQ}$, $\overline{INT}$, $\overline{WAIT}$, $\overline{HALT}$, $\overline{BUSAK}$, $\overline{RFSH}$ e $\overline{M1}$, gerados no Z-80, não são usados mas ligados ao conector de expansão. Os três primeiros empregam um resistor pull-up de 4K7Ohms e os quatro últimos são amplificados em bufffers 74LS367. Veja que o sinal no conector recebe denominação diferente da que tem no Z-80: $\overline{BUSREQ}$ - $\overline{PHOLD}$, $\overline{INT}$ - $\overline{PINT}$, $\overline{WAIT}$ - $\overline{PWAIT}$, $\overline{BUSAK}$ - $\overline{PHLDA}$.

Para ocorrer o reset no Z-80 (ele vai à posição 0000H buscar o código da operação a ser executada) seu terminal $\overline{RESET}$ deve ser mantido



2-1 Pinagem do Z-80

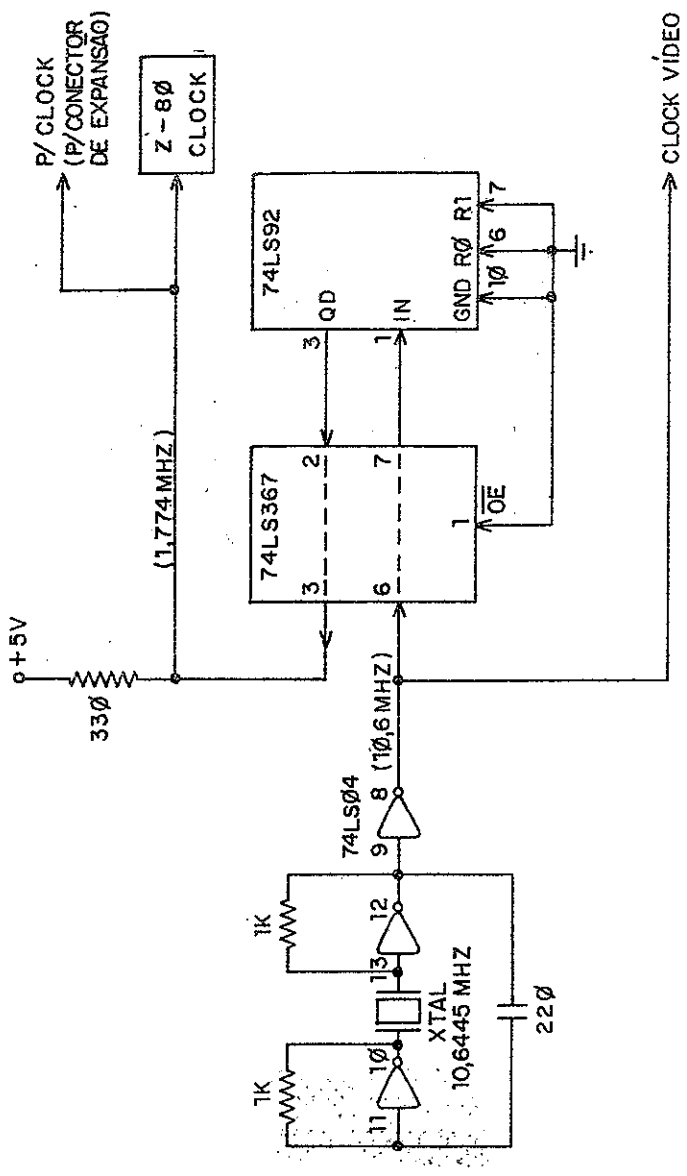
em nível L durante 6 pulsos do clock. No TRS-80 um capacitor de 100 microFarad é carregado até a tensão de +5 Volts da fonte através de um resistor de 4K7 Ohms e ligado ao terminal $\overline{RESET}$ do Z-80. Quando o micro é ligado o tempo RC de carga deste capacitor é suficiente para ocorrerem 6 pulsos de clock, mantendo o terminal $\overline{RESET}$ em nível L durante este intervalo.

O terminal $\overline{NMI}$ do Z-80 é mantido desativado em nível H, recebendo +5 Volts através do resistor de 4K7Ohms. Quando o botão RESET (localizado na lateral esquerda do micro) é pressionado o capacitor de 10 microFarad descarrega-se no terra, o que é sentido como nível L na NAND74LS132, provocando nível H na sua saída que é invertido no 74LD05 e aparece como nível L no terminal $\overline{NMI}$, ativando-o. Em resposta o microprocessador interrrompe a execução do programa e vai ao endereço 0066H da ROM buscar a rotina $\overline{NMI}$, que limpa todas as variáveis mas não destrói o programa BASIC na memória, apenas recomeçando sua execução.

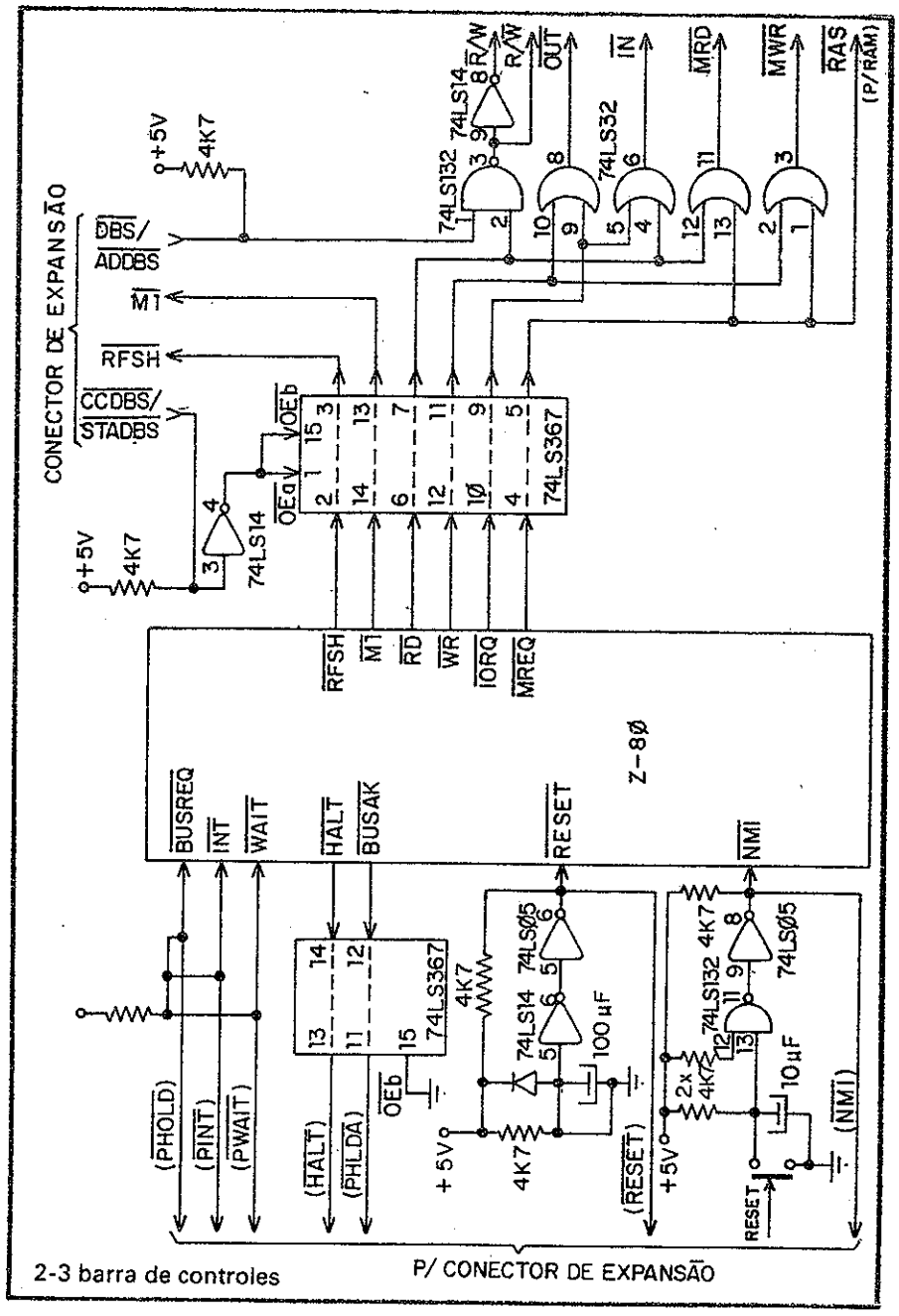
Veja que o $\overline{RESET}$ do microprocessador é diferente do RESET do microcomputador. No primeiro - quando é ligado - o Z-80 vai ao endereço 0000H e começa novo programa. No segundo - acionamento do botão RESET - o Z-80 busca a rotina no endereço 0066H, continuando com o programa anterior. Quando se deseja destruir o programa (como em casos de looping na programação) é necessário desligar e religar o micro.

Os quatro sinais de controle restante - $\overline{RD}$, $\overline{WR}$, $\overline{MREQ}$, $\overline{IORQ}$ - são inicialmente amplificados pelo buffer 74LS367. Este é mantido constantemente habilitado pela tensão +5 Volts invertida no 74LS14 aparecendo como nível L nos seus pinos 1 - $\overline{OEa}$ e 15 - $\overline{OEb}$. Entretanto, a entrada da inversora é ligada ao conector de expansão sob o nome de $\overline{CCDBS}$/$\overline{STADBS}$; se o periférico ali instalado ativar este sinal em nível L, aterrando a tensão +5 Volts, a saída da inversora será nível H, desativando o 74LS367 e permitindo o domínio da barra de controle na saída deste buffer para operações DMA.

Os quatro terminais na saída do buffer são combinados em portas OR 74LS32. Quando $\overline{IORQ}$ e $\overline{WR}$ estão ambos ativos em nível L a saída $\overline{OUT}$ da primeira OR é ativada em nível L, caracterizando saída de dados por porta IO. Para $\overline{IORQ}$ e $\overline{RD}$ em nível L temos a saída $\overline{IN}$ da segunda OR em nível L, habilitando entrada de dados por porta IO.



2-2 circuito gerador de clock



2-3 barra de controles

Com $\overline{MREQ}$ e $\overline{RD}$ em nível L a terceira OR levará a nível L sua saída $\overline{MRD}$, sinalizando leitura de memória. Finalmente se $\overline{MREQ}$ e $\overline{WR}$ estão em nível L será caracterizada a leitura de memória pelo nível L na saída $\overline{MWR}$ da quarta OR.

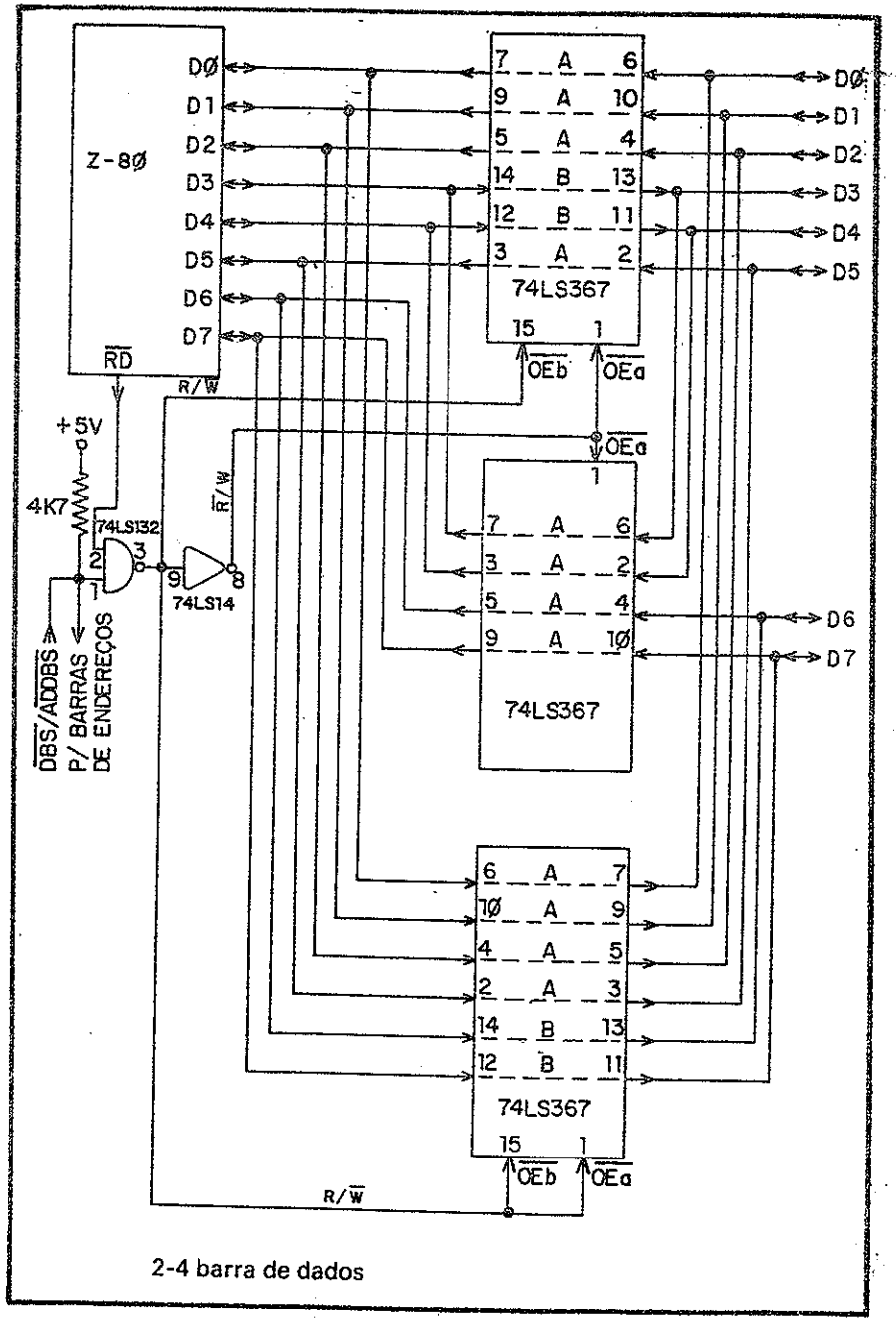
$\overline{RD}$ em nível L indica leitura de memória ou entrada de dados por porta IO e nos dois casos os bits devem chegar do exterior para D0/D7 do Z-80. Ao ser levado a nível L $\overline{RD}$ provoca nível H na saída da NAND 74LS132 que é invertido no 74LS14 e aparece como sinal $\overline{R}$/W nível L, controlando os buffers da barra de dados para bloquear as vias de saída e abrir as entradas. Inversamente, durante escrita ou saída de dados por porta IO $\overline{RD}$ é mantido em nível H, resultando sinal R/$\overline{W}$ (o inverso de $\overline{R}$/W, antes da inversora 74LS14) em nível L que bloqueia os buffers de entrada de dados e abre os buffers de saída. A outra entrada da NAND, pino 1, é mantida em nível H pela tensão +5 Volts através do resistor 4K7Ohms; em operações DMA o terminal $\overline{DBS}$/$\overline{ADDBS}$ pode aterrar ou não esta entrada da NAND, tendo o mesmo efeito de $\overline{RD}$ sobre o sinal R/$\overline{W}$.

O sinal $\overline{MREQ}$ é ativado em nível L durante todos ciclos M1, juntamente com $\overline{RFSH}$, bem como em todas operações de leitura ou escrita na memória. Por isso ele é usado como sinal $\overline{RAS}$, levando ao refrescamento automático da RAM dinâmica nos ciclos M1 e sincronizando a primeira remessa de 7 bits ('row') na multiplexação de endereços pela RAM.

4 - Barra de Dados

O circuito da barra de dados é apresentado na fig. 2-4. Além de amplificar os bits de dados ele seleciona a direção (entrada /leitura ou saída/escrita) da barra e a mantém em tristate junto ao microprocessador durante DMA.

O CI 74LS367 é um buffer tristate dividido em duas portas, A e B (fig. 2-5). O pino 1-$\overline{OEa}$ em nível L ativa a porta A, amplificando os bits nas suas entradas e transmitindo-os para as respectivas saídas. O pino 15-$\overline{OEb}$ faz o mesmo para a porta B. Quando $\overline{OEa}$ está em nível H suas saídas permanecem em tristate e indenticamente para $\overline{OEb}$. Observe que as duas portas



2-4 barra de dados

são independentes.

Na barra de dados quando $\overline{RD}$ é ativado em nível L (leitura/entrada de dados para o Z-80) o sinal $\overline{R}/W$ na saída da inversora 74LS14 fica em nível L, ativando $\overline{OEa}$ dos dois CIS 74LS367 superiores, o que seleciona a via de entrada para o microprocessador; enquanto isso na entrada da inversora o sinal $R/\overline{W}$ está em nível H, não ativando $\overline{OEb}$ no primeiro e no terceiro 74LS367, o que mantém a via de saída do microprocessador em tristate.

Para escrita/saída de dados o terminal $\overline{RD}$ permanece em nível H (enquanto $\overline{WR}$ é ativado em nível L), aparecendo como sinal $\overline{R}/W$ nível H na saída da inversora 74LS14, o que não ativa $\overline{OEa}$ dos dois 74LS367 superiores, mantendo em tristate a via de entrada no microprocessador; enquanto isso o sinal $R/\overline{W}$ está em nível L na entrada da inversora, ativando $\overline{OEb}$ no primeiro e no terceiro 74LS367, selecionando a via de saída do microprocessador.

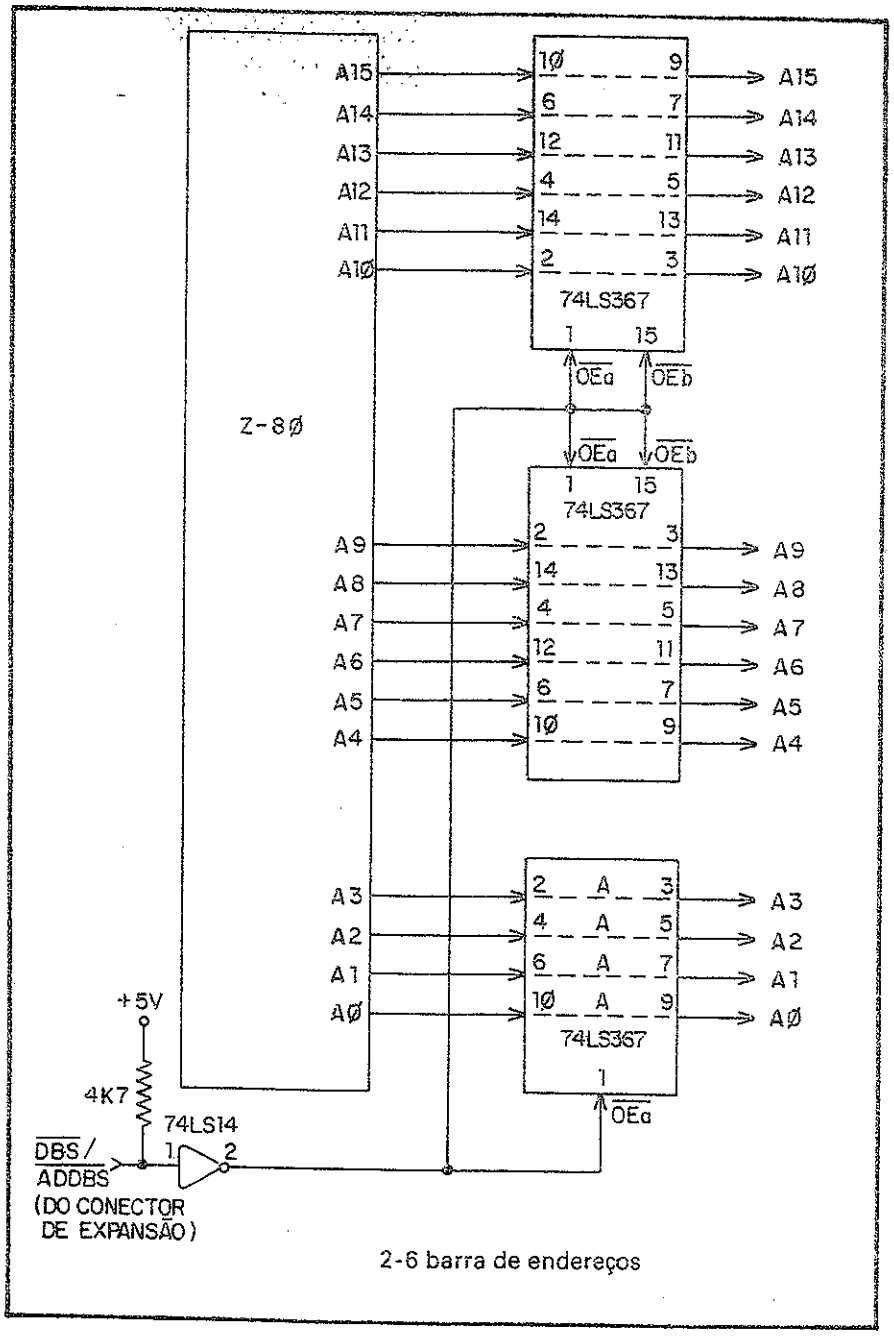
Na operação DMA o periférico ativa $\overline{DBS}/\overline{ADDBS}$ em nível L no conector de expansão, resultando sinal $R/\overline{W}$ em nível H que coloca em tristate a via de saída, evitando interferências de D0/D7 do Z-80 na barra de dados.

5 - Barra de Endereços

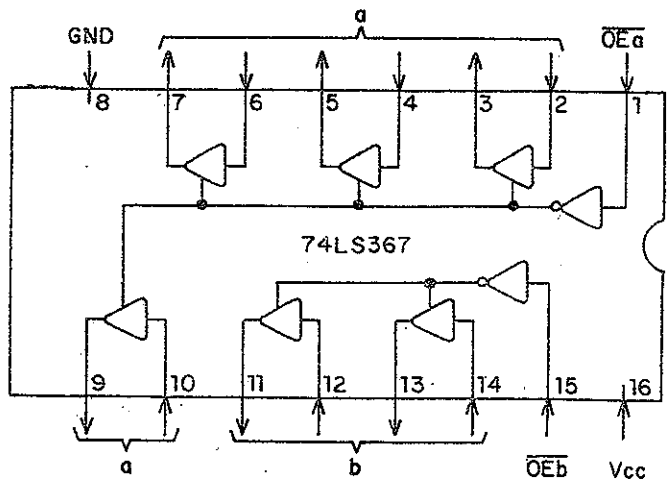
A barra de endereços é vista na fig. 2-6. Três CIS 74LS367 amplificam A0/A15, pois o nível de sinal saindo do Z-80 não é suficiente para ser transmitido a todos estágios.

A tensão +5Volts através do resistor 4K7Ohms aparece como nível L na saída - pino 2 da inversora 74LS14, ativando $\overline{OEa}$ e $\overline{OEb}$ nos dois CIS 74LS367 superiores e $\overline{OEa}$ no 74LS367 inferior, transmitindo A0/A15 para suas respectivas saídas ($\overline{OEb}$ neste último buffer é mantido aterrado, ativando constantemente a porta B que amplifica $\overline{HALT}$ e $\overline{BUSAK}$, fig. 2-3).

Em operações DMA o periférico ativa em nível L o sinal $\overline{DBS}/\overline{ADDBS}$ no conector de expansão, o que aparece como nível H na saída da inversora 74LS14, desativando os dois CIS 74LS367 superiores e a porta 'a' do terceiro buffer, deixando suas respectivas saídas em tristate (enquanto o



2-6 barra de endereços



2-5 CI 74LS367 buffer tristate dual

mesmo sinal $\overline{DBS}/\overline{ADDBS}$ coloca em tristate a via de saída da barra de dados e a barra de controles).

6 - DMA

Para iniciar a DMA ("direct memory acess", acesso direto à memória) o periférico ativa em nível L o terminal $\overline{PHOLD}$ do conector de expansão, que é ligado a $\overline{BUSREQ}$ do Z-80. Quando este reconhece a DMA (colocando em tristate as barras de dados, endereços e alguns controles) seu terminal $\overline{BUSAK}$ vai a nível L, aparecendo como nível L no terminal $\overline{PHOLDA}$ do conector de expansão. Somente depois desta sinalização o periférico pode ativar em nível L $\overline{CCDBS}/\overline{STADBS}$ e $\overline{DBS}/\overline{ADDBS}$ no conctor de expansão, colocando em tristate os buffers 74LS367 das barras de dados, endereços e controles.

CAPÍTULO 3

DECODIFICAÇÃO DE ENDEREÇOS

1 - Tabela de Endereços

A partir do mapa de memória (fig. 1-2) podemos montar a tabela da fig. 3-1, discriminando os níveis assumidos pelos terminais A0/A15 para endereçar os diversos estágios. A9/A0 determinam posições internas dentro de cada estágio enquanto a interface de cassete encontra-se em endereço de porta IO, sendo tratada separadamente.

A ROM 1 está entre 0=0000 0000 0000 0000B e 4.095=0000 1111 1111 1111B, portanto caracterizada pelo endereço 0000 XXXX XXXX XXXXB, isto é, A15-A14-A13-A12 todos em nível L e os demais (A11/A0) conforme a posição desejada dentro do CI. A ROM 2 fica entre 4.096=0001 0000 0000 0000B e 8.191=0001 1111 1111 1111B, ou seja 0001 XXXX XXXX XXXXB, com A15-A14-A13 em nível L e A12 em nível H. A ROM 3 ocupa os endereços de 8.192=0010 0000 0000 0000B até 12.287=0010 1111 1111 1111B, portanto com A15-A14-A12 em nível L e A13 em nível H. Segundo estes dados na tabela verificamos que os CIS ROM são endereçados quando A15 e A14 estão ambos em nível L e os terminais A13-A12 selecionam um dos três; A0/A11 determinam 1 dos 4K endereços internos em cada CI.

O buffer do Keyboard de 256 bytes, tem o endereçamento de 14.336=0011 1000 0000 0000B até 14.591=0011 1000 1111 1111B, que pode ser escrito 0011 1000 XXXX XXXXB, sendo A15-A14-A10 em nível L e A13-A12-A11 em nível H. Veja que nenhum dos três CIS ROM tem A13-A12-A11 simultaneamente em nível H, o que é característico do Keyboard.

A memória de vídeo de 1K está nos endereços de 15.360=0011 1100 0000 0000B a 16.383=0011 1111 1111 1111B, isto é, 0011 11XX XXXX XXXXB, com A15 e A14 em nível L e A13-A12-A11-A10 em nível H. Observe que a diferença entre os endereçamentos de Keyboard e de vídeo consiste em A10, nível L para o primeiro e nível H para o segundo.

Por fim temos a RAM de 16.384=0100 0000 0000 0000B a

ENDEREÇO DECIMAL	ESTÁGIO	ENDEREÇAMENTO						
		A15	A14	A13	A12	A11	A10	A9/A0
0 – 4K	ROM 1	L	L	L	L	X	X	X
4K – 8K	ROM 2	L	L	L	H	X	X	X
8K – 12K	ROM 3	L	L	H	L	X	X	X
EM 14K	BUFFER KEYBOARD	L	L	H	H	H	L	X
15K – 16K	RAM DE VÍDEO	L	L	H	H	H	H	X
16K – 32K	RAM	L	H	X	X	X	X	X
32K – 64K	RAM(EXPANSÃO)	H	X	X	X	X	X	X

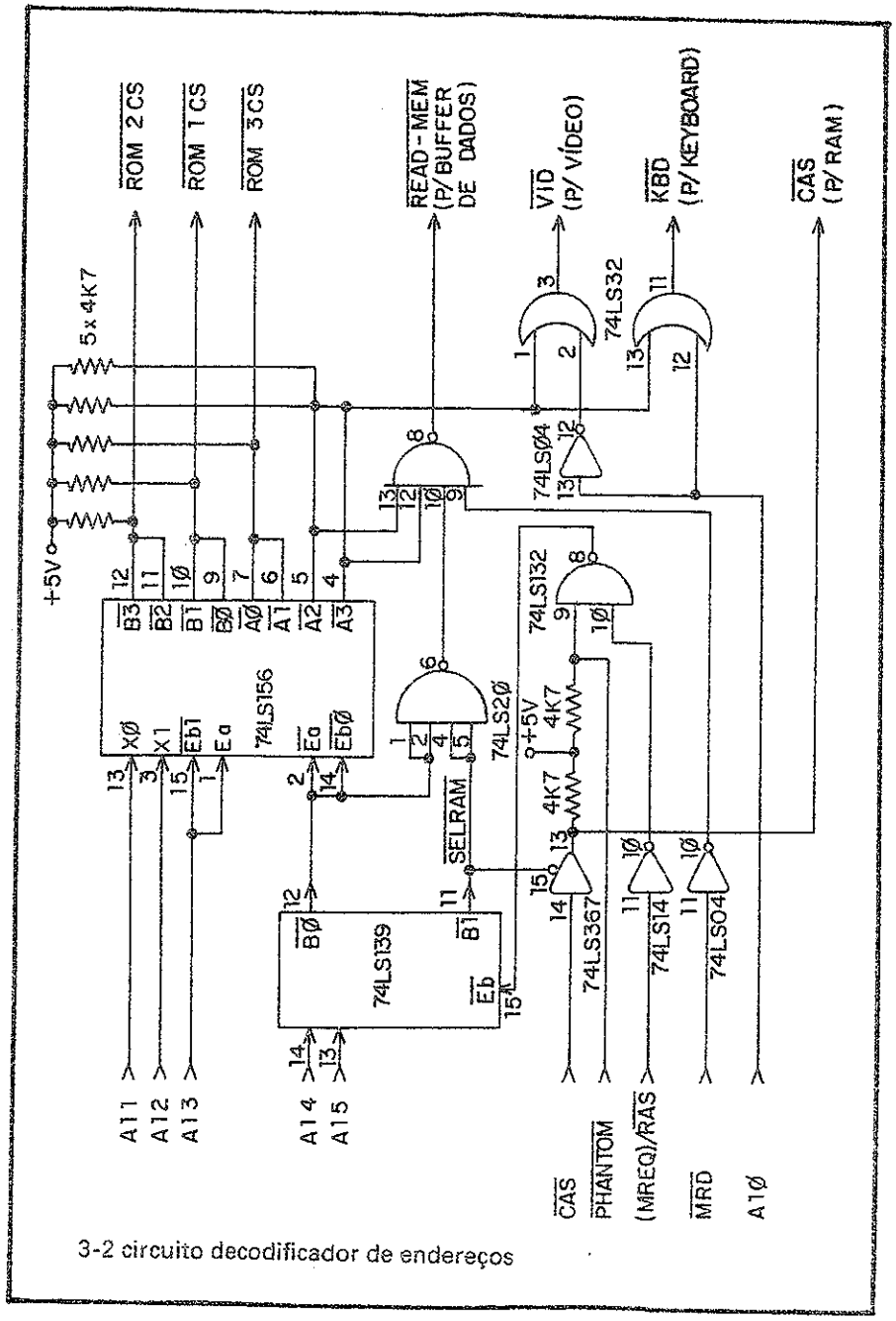
3-1 tabela de endereços

65.535=1111 1111 1111 1111B, endereço cuja característica é A15 ou A14 em nível H. Olhando na tabela verifique que com A15 ou A14 em nível H o endereço refere-se à RAM, enquanto se ambos estão em nível L será endereçado outro estágio.

2 - Circuito Decodificador de Endereços

O circuito decodificador de endereços é constituido por dois decodificadores e várias portas lógicas (fig. 3-2) que implementam eletronicamente a tabela da fig. 3-1. Na sua saída encontramos os sinais de seleção de ROM, RAM, vídeo e Keyboard.

A entrada - pino 9 da NAND 74LS132 é mantida em nível H pela tensão +5volts através do resistor de 4K7Ohms. Quando é endereçada uma posição de memória (ROM, RAM, Keyboard e vídeo) $\overline{MREQ/RAS}$ são levados a nível L, que invertido no 74LS14 aparece como nível H na segunda entrada - pino 10 da NAND, resultando nível L na sua saída, ativando o pino 15-$\overline{Eb}$ do CI 74LS139. Este é um decoder dual (somente o decoder 'b' é usado



3-2 circuito decodificador de endereços

aqui; a outra metade - decoder 'a' - não faz parte do circuito) cujas saidas $\overline{B0}$ e $\overline{B1}$ dependem das entradas 0b e 1b, que recebem os terminais de endereço A15 e A14.

Quando um dos terminais A15-A14 está em nível H - portanto um endereço de RAM - a saída $\overline{B1}$ do decoder é ativada em nível L, resultando o sinal $\overline{SEL\ RAM}$ no pino 15-$\overline{OE}$ do buffer 74LS367, que transmite para a saída o sinal $\overline{CAS}$ ativo em nível L na sua entrada. $\overline{CAS}$, além de sincronizar a 2ª remessa de bits de endereço na multiplexação, também ativa a RAM, seja para leitura ou escrita. O sinal $\overline{CAS}$ ativo em nível L na saída do buffer leva a nível L a entrada pino 9 da NAND, resultando em nível H na sua saída que destiva o decoder 74LS139.

Se A15 e A14 estão ambos em níve L - portanto um endereço de ROM, Keyboard ou vídeo, mas não de RAM - a saída ativada em nível L no 74LS139 será $\overline{B0}$ (enquanto $\overline{B1}$ permanece em nível H, bloqueando o sinal $\overline{CAS}$ no buffer 74LS367). Isto ativará os pinos 2-$\overline{Ea}$ e 14-$\overline{Eb0}$ do decoder dual 74LS156, cujas saídas A0/A3 e BO/B3 dependerão das entradas X0-X1 e $\overline{Eb1}$-

ENTRADAS			SAÍDAS							
Ea - $\overline{Eb1}$	XØ	X1	AØ	A1	A2	A3	BØ	B1	B2	B3
LL	L	L	H	H	H	H	L	H	H	H
	H	L	H	H	H	H	H	L	H	H
	L	H	H	H	H	H	H	H	L	H
	H	H	H	H	H	H	H	H	H	L
HH	L	L	L	H	H	H	H	H	H	H
	H	L	H	L	H	H	H	H	H	H
	L	H	H	H	L	H	H	H	H	H
	H	H	H	H	H	L	H	H	H	H

3-3 tabela lógica do decoder 74LS156

Ea, conforme a tabela da fig. 3-3. O CI usa tecnologia coletor aberto (ao invés de nível H a saída fica em tristate).

Os pinos 15-$\overline{Eb1}$ e 1-Ea são ligados entre si e recebem o terminal A13, enquanto X0 e X1 recebem A11 e A12, respectivamente. No que se segue supõe-se A15 e A14 em nível L, ativando o decoder 74LS156 (pelos terminais $\overline{Ea}$ e $\overline{Eb0}$).

Com A13 ($\overline{Eb1}$/Ea) em nível L e A12 (X1) em nível L as saídas $\overline{B0}$-$\overline{B1}$ serão ativadas em nível L, emitindo o sinal $\overline{ROM1CS}$ que ativa a ROM 1 de 0 a 4K. Mas se A13 está em nível L e A12 em nível H as saídas ativadas em nível L serão $\overline{B2}$-$\overline{B3}$, com a emissão de $\overline{ROM2CS}$ que seleciona a ROM 2 de 4K a 8K. Nos dois casos as saídas A0/A3 estarão desativadas em nível H; A3 em nível H resulta nos sinais $\overline{VID}$ e $\overline{KBD}$ desativados em nível H.

Com A13 ($\overline{Eb1}$/Ea) em nível H as saídas B0/B3 e os respectivos sinais $\overline{ROM1CS}$ e $\overline{ROM2CS}$ ficam desativados em nível H.Se A12 (X1) estiver en nível L serão ativados em nível L as saídas A0-A1, emitindo $\overline{ROM3CS}$ que habilita a ROM 3 de 8K a 12K; A3 permanece em nível H, desativando os sinais $\overline{VID}$ e $\overline{KBD}$.

Ainda com A13($\overline{Eb1}$/Ea) em nível H, mas A12 (X1) e A11 (X0) em nível H, teremos a saída A3 ativada em nivel L. Se A10 também for nível L as duas entradas - pinos 13 e 12 - da OR 74LS32 serão nível L, resultando na sua saída o sinal $\overline{KBD}$ ativo nível L. Mas se A10 estiver em nível H ele é invertido no 74LS04 e as duas entradas - pinos 1 e 2 - da outra OR estarão em nível L, aparecendo na sua saída o sinal $\overline{VID}$ ativo em nível L.

Quando se seleciona ou RAM ou ROM no 74LS139 uma das duas saídas $\overline{B0}$ ou $\overline{B1}$ é levada a nível L, provocando nível H na saída pino 6 da NAND 74LS20, que entra no pino 10 da segunda NAND. A2 do 74LS156 sempre está em nível H, entrando no pino 13 desta NAND. Sendo endereço de ROM ou RAM A3 do 74LS156 entrará no pino 12 como nível H. Se for uma operação de leitura ROM ou RAM $\overline{MRD}$ estrá em nível L, sendo invertido no 74LS04 e aparecendo como nível H no pino 9 da NAND. Assim esta terá as quatro entradas em nível H durante operaçoẽs de leitura de ROM ou RAM, resultando o sinal $\overline{READ\text{-}MEM}$ ativo em nível L na sua saída, que habilita

o buffer de saída de dados para o microprocessador. Se for operação de vídeo ou Keyboard A3 e o pino 12 da NAND estarão em nível L, e se for escrita na RAM $\overline{MRD}$ será nível H, e o pino 9 da NAND nível L, em ambos os casos mantendo o sinal $\overline{READ}$-$\overline{MEM}$ desativado em nível H e bloqueando a saída de dados para o microprocessador.

CAPÍTULO 4
MEMÓRIA

1 - Circuito ROM

O circuito ROM emprega três CIS 2532 (figl 4-1), de 4Kx8 cada um, perfazendo o total de 12KBytes (no modelo III do TRS-80). Este CI é semelhante ao 2732 da INTEL, com diferenças na numeração de pinagem dos terminais A8/A11 e $\overline{CS1}$/$\overline{CS2}$.

A ROM 1 de 0 a 4K é selecionada por $\overline{ROM1CS}$ nos seus terminais $\overline{CS1}$ e $\overline{CS2}$; a ROM 2 de 4K a 8K por $\overline{ROM2CS}$ e a ROM 3 de 8K a 12K por $\overline{ROM3CS}$. Quando $\overline{CS1}$/$\overline{CS2}$ são ativados em nível L a ROM apresenta à barra de dados D0/D7 o byte gravado na sua posição interna endereçada por A0/A11.

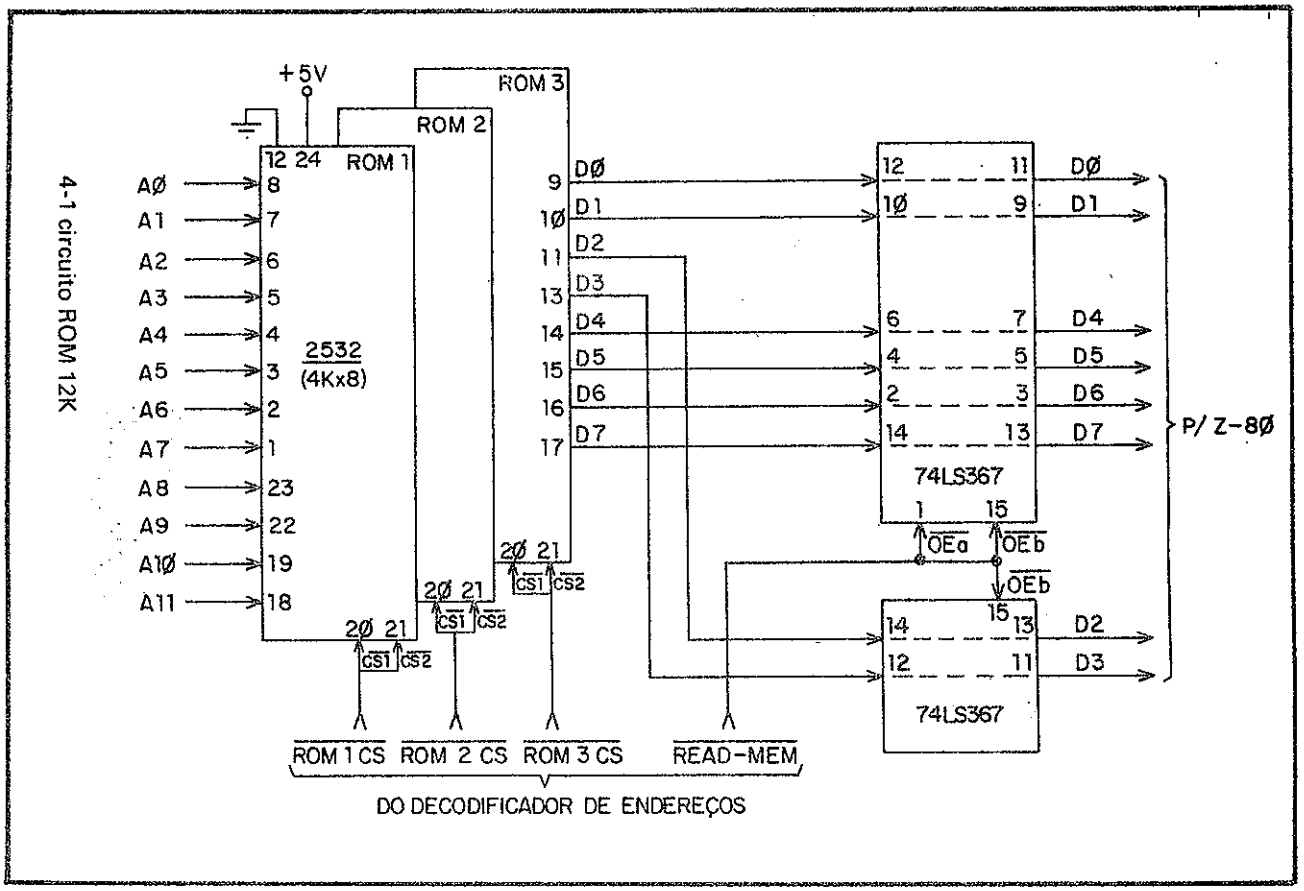
Os dados D0/D7 da ROM são enviados ao microprocessador através de dois buffers 74LS367, que só os trasmitem quando são ativados pelo sinal $\overline{READ}$-$\overline{MEM}$ ativo em nível L.

2 - Multiplexação de Endereços RAM

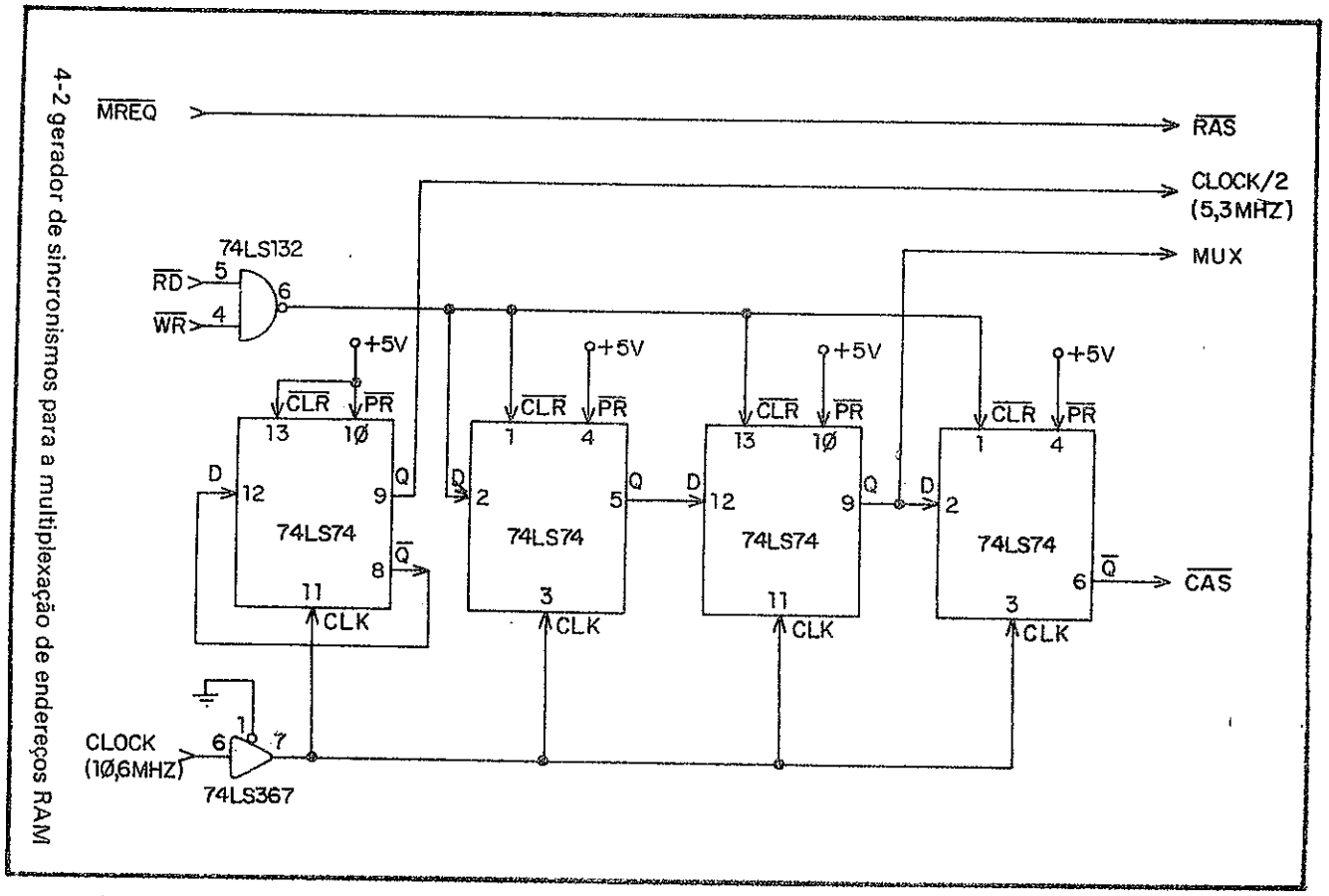
Os sinais de sincronismo para a multiplexação de endereços na RAM são gerados no circuito da fig. 4-2. As formas de onda destes sinais constam na fig. 4-3.

Antes de inciar uma leitura ou escrita na RAM os terminais $\overline{RD}$ e $\overline{WR}$ estão desativados em nível H, aparecendo como nível L na saída da NAND 74LS132, o que ativa os terminais $\overline{CLR}$ dos três flip-flops 74LS74, mantendo-os em estado de 'clear' (saída Q nível L e saída complementar $\overline{Q}$ nível H). Com isso o sinal $\overline{CAS}$ na saída $\overline{Q}$ - pino 6 do último flip-flop está desativado em nível H.

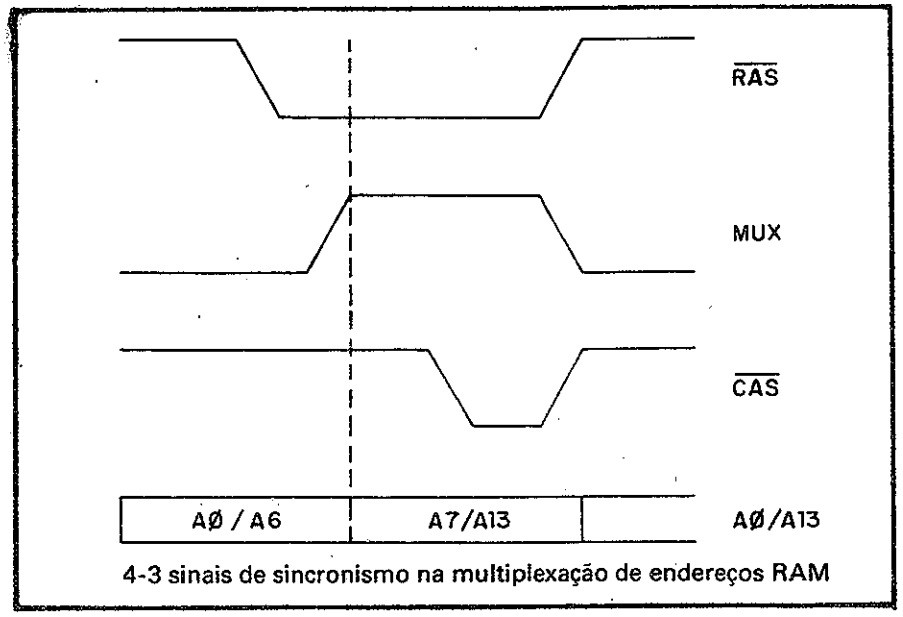
Na operação de leitua ou escrita RAM o terminal $\overline{MREQ}$ é ativado em nível L, aparecendo como sinal $\overline{RAS}$ na RAM. Pouco depois ou $\overline{RD}$



4-1 circuito ROM 12K



4-2 gerador de sincronismos para a multiplexação de endereços RAM



4-3 sinais de sincronismo na multiplexação de endereços RAM

ou $\overline{WR}$ são levados a nível L (dependendo de ser leitura ou escrita), resultando em nível H na saída da NAND, desativando os terminais $\overline{CLR}$ dos três flip-flops, que passam a mudar de estado a cada clock de acordo com o bit nas respectivas entradas D.

Após um ou dois pulsos de clock (10,6MHZ) o primeiro flip-flop carrega na sua própria entrada D - pino 12 o nível H existente na sua saída complementar $\overline{Q}$ - pino 8. A cada clock este nível H se propaga nos três flip-flops restantes, pois as saías Q são ligadas às entradas D do componente seguinte. Ao fim de mais dois clocks o nível H aparece como sinal MUX ativo nível H na saída Q - pino 9 do terceiro flip-flop. Mais um clock ele se propaga no último flip-flop, surgindo complementado como nível L na sua saída $\overline{Q}$ - pino 9, ativando em nível L o sinal $\overline{CAS}$.

O sinal MUX em nível H habilita a multiplexação da "primeira remessa" de bits A0/A6, que são armazenados na RAM quando $\overline{RAS}$ é levado a nível L. MUX em nível L habilita a "segunda remessa" A7/A13, armazenandos na RAM quando $\overline{CAS}$ é colocado em nível L. Além disso $\overline{RAS}$ provoca um refrescamento automático da memória enquanto $\overline{CAS}$ a ativa para gravar ou

apresentar os dados.

3 - Circuito RAM 16 KBytes

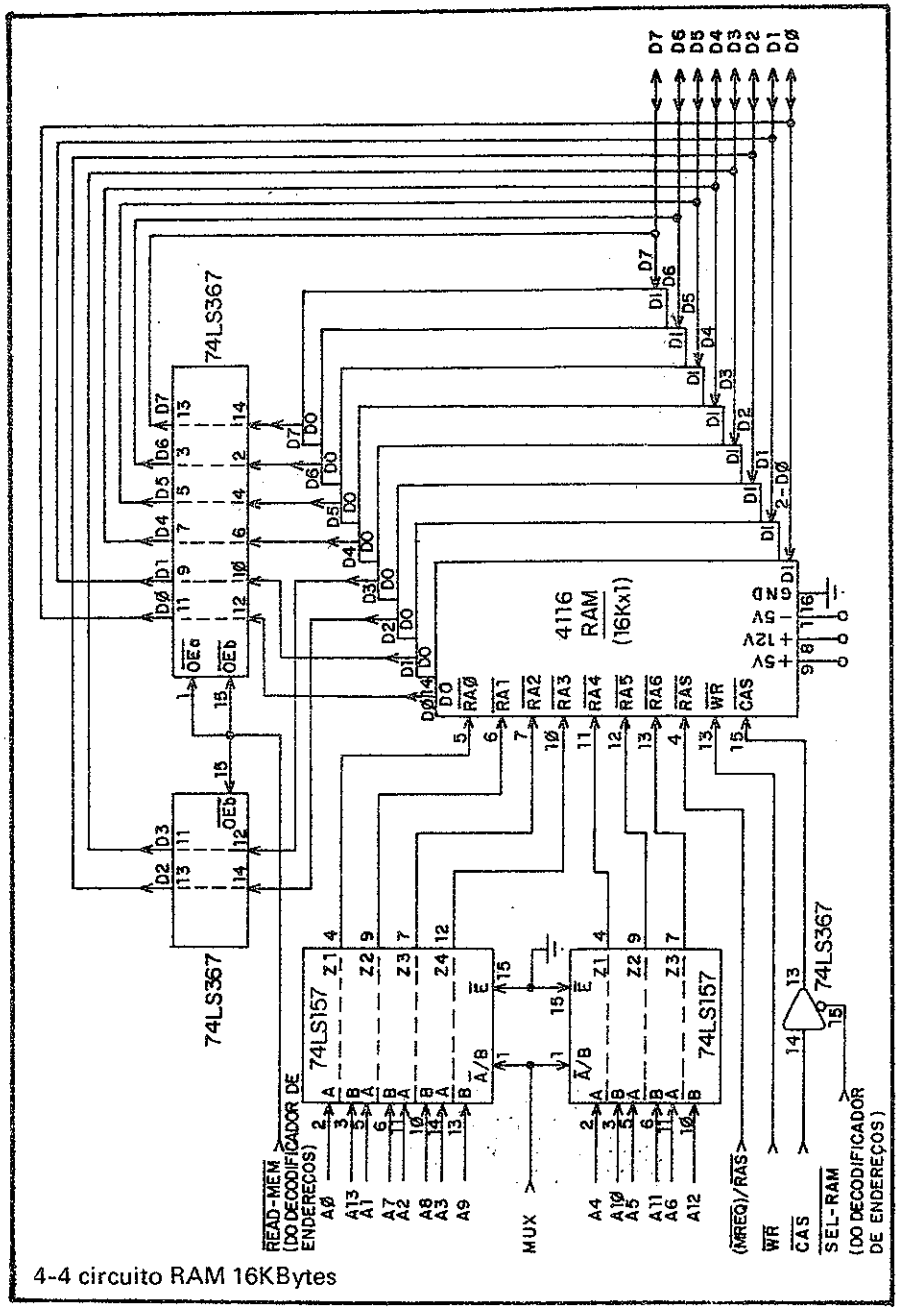
O circuito RAM de 16 KBytes é visto na fig. 4-4, baseado em 8 CIS 4116 - RAM dinâmica. Lembre-se que 1K de memória RAM de vídeo não faz parte deste circuito.

O CI4116 tem capacidade de 16 K e apenas 1 bit por endereço, gravando-o (escrita) pelo pino 2 - DI quando o pino 13 - $\overline{WR}$ está ativo em nível L e apresentando-o no pino 14-DO se $\overline{WR}$ estiver em nível H. Para completar o byte D0/D7 é usada uma cascata de 8 CIS 4116, cada um deles armazenando um bit de dado (veja mais sobre este CI na parte A - LINHA APPLE).

A multiplexação de endereços é feita por dois multiplexadores 74LS157, cujas saídas Z são conectadas aos terminais RA0/RA6 dos 8 CIS 4116. Quando o sinal MUX está em nível L o multiplexador transmite para as saídas Z as entradas A, enviando para a RAM a "primeira remessa" A0-A1-A2-A3-A4-A5-A6. Ao ser levado a nível H o sinal MUX seleciona as entradas B, que apareçerão na RAM como A13-A7-A8-A9-A10-A11-A12. Os circuitos internos do 4116 se encarregam de compor o endereço A0/A13 a partir das duas remessas. Note que A13 encontra-se fora de ordem, mas isto é indiferente nagravaçãoe leitura da memória.

$\overline{RAS}$ (que é o mesmo sinal $\overline{MREQ}$) e $\overline{WR}$ são obtidos pela RAM da barra de controle. $\overline{CAS}$ é transmitido pelo buffer 74LS367 que o libera na saída para a RAM somente quando o sinal $\overline{SEL}$ $\overline{RAM}$ recebido do decodificador de endereços (veja figl. 3-2) está ativo nível L.

Na gravação (escrita) a RAM recebe o byte DO/D7 diretamente da barra de dados. Na leitura o byte D0/D7 passa antes por dois CIS buffers 74LS367 que o transmite para a barra de dados se o sinal $\overline{READ}$-$\overline{MEM}$ estiver ativo nível L, ativando seus terminais $\overline{OEa}$/$\overline{OEb}$. Este sistema é o mesmo visto para ROM, ligando-se os respectivos bits de dados dos estágios ROM e RAM nas entradas dos dois buffers.



4-4 circuito RAM 16KBytes

CAPÍTULO 5
VÍDEO

1 - Diagrama de Blocos

O estágio de vídeo é a parte mais complexa do TRS-80. Fornece um sinal de vídeo monocromático, portanto válido tanto para o NTSC como para o PAL. É composto por um gerador de sincronismos e endereços, RAM de 1Kx7 e geradores gráfico e caracteres. Seu diagrama de blocos é visto na fig. 5-1.

Ao ativar o sinal $\overline{VID}$ o Z-80 seleciona seus próprios terminais no multiplexador G/$\overline{Z\text{-}80}$, assumindo o controle da RAM de vídeo, podendo ler ou alterar seu conteúdo.

Com $\overline{VID}$ desativado a RAM de vídeo fica sob o controle do gerador de sincronismos e endereços. Este opera independente do microprocessador, gerando automaticamente endereços para a RAM, sincronizados com a varredura do feixe luminoso na tela.

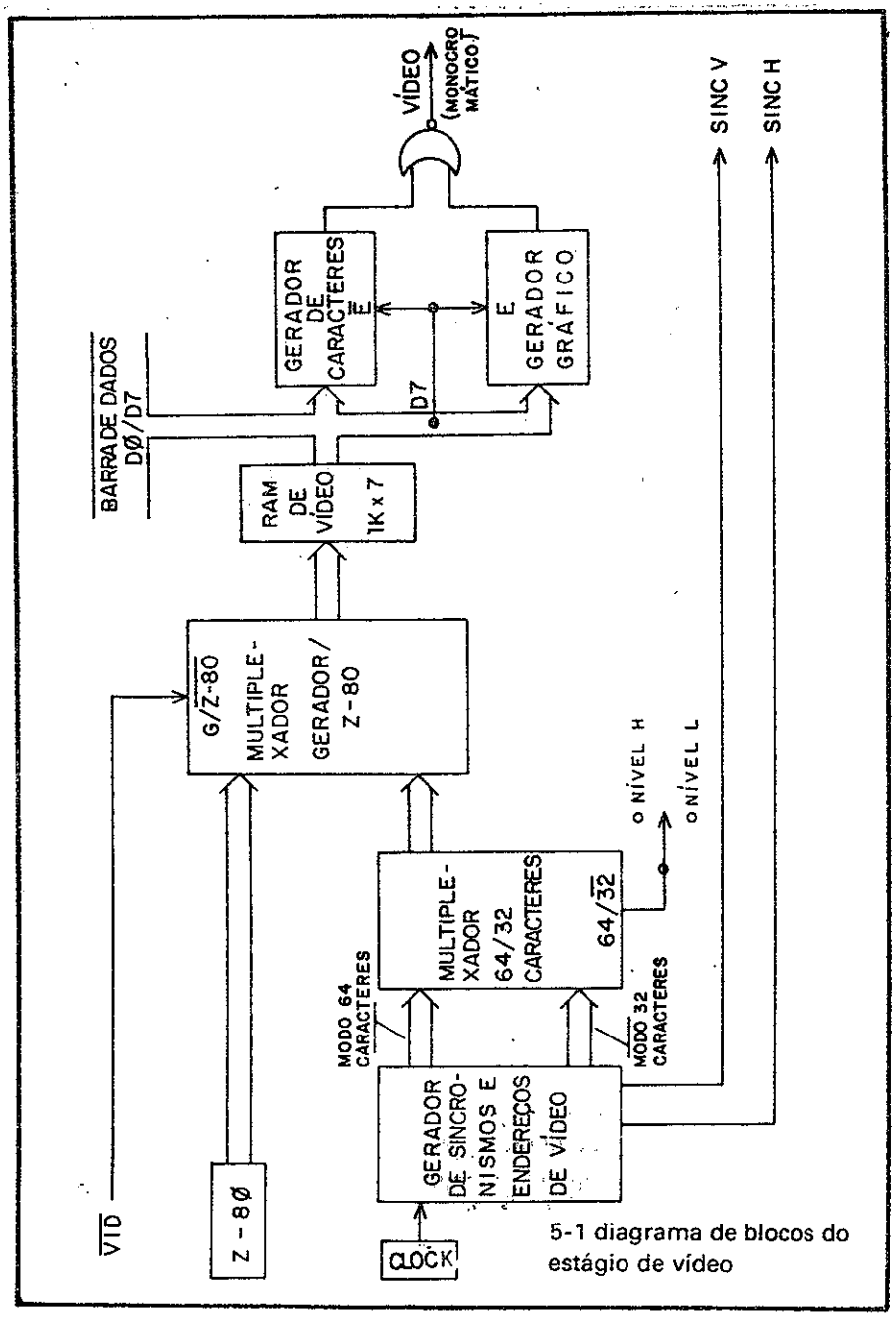
O gerador de endereços permite os modos de 64 ou 32 caracteres por linha, cuja seleção é feita por chave no teclado ligada ao multiplexador 64/32.

Os dados da RAM servem de endereços para o gerador de caracteres ou definição de células no modo gráfico. O bit D7 programado na RAM de vídeo seleciona um destes dois modos.

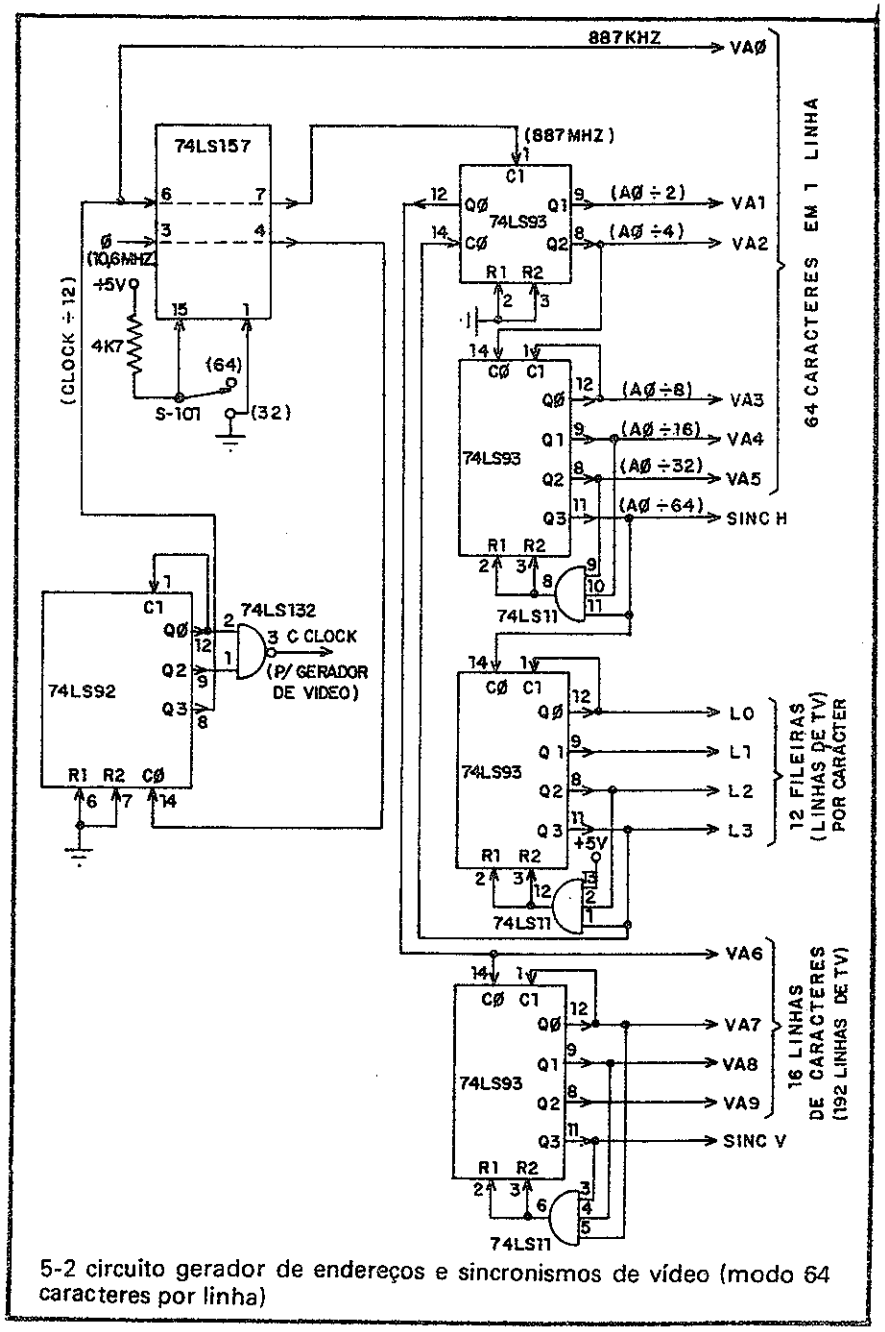
2 - Gerador de Endereços e Sincronismos - Modo 64 caracteres

O circuito do gerador de endereços e sincronismos de vídeo é apresentado na fig. 5-2, consistindo de 5 divisores de frequência (contadores) em cascata. O circuito é chaveado para o modo 64 caracteres por linha. Na próxima seção analisaremos o modo 32 caracteres por linha.

O sinal de 10,6MHZ do clock principal é injetado através do



5-1 diagrama de blocos do estágio de vídeo



5-2 circuito gerador de endereços e sincronismos de vídeo (modo 64 caracteres por linha)

MUX 74LS157 no clock C0 do 79LS92 - divisor por 12. A saída deste, 10,6MHZ:12=887KHZ, é tomada como VA0 sincronismo de uma fileira de um carácter. Assim com VA0 em nível H (fase positiva do pulso) é endereçada a fileira do primeiro carácter, VA0 nível L (fase negativa do pulso) a fileira do segundo carácter, VA0 novamente nível H fileira do terceiro carácter, etc. Após 32 ciclos de VA0 foram colocadas na tela as fileiras de 64 caracteres começando nova linha de TV.

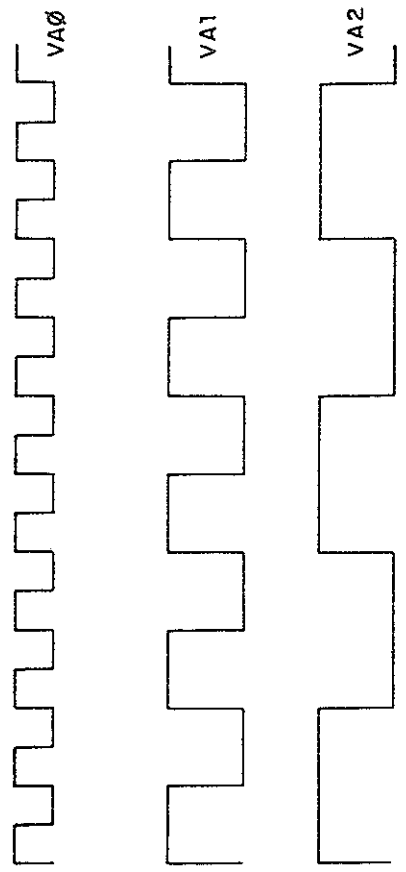
O sinal de 887KHZ (portanto VA0) passa ainda pelo MUX 74LS157 e é acoplado como clock C1 do primeiro 74LS93 - divisor por 2x8, tendo sua frequência dividida por 2 no pino 9 - Q1 e dividida por 4 no pino 8-Q2, corrrespondendo a VA1 e VA2 (fig. 5-3).

VA2 serve de clock C0 para o segundo 74LS93, que o divide por 2 na saída Q0-VA3 (ou seja, A0 dividido por 8), por 4 em Q1-VA4 e por 8 em Q2-VA5. Quando Q3-pino 11 é levado a nível H na 64ª contagem significa que já foram endereçadas 64 fileiras de caracteres (de 0 a 63), uma para cada meio-ciclo de A0, chegando ao final da varredura de uma linha de TV. Q3 é usado como sinal H (sincronismo Horizontal de TV)

Note que VA5-VA4-VA3-VA2-VA1-VA0 formam um número binário, de 0=00 0000B até 63=11 1111B, que determina a posição do feixe na linha da tela, se esta for dividida em 64 segmentos horizontais - um para cada fileira de carácter. No início da linha (margem esquerda da tela) temos o primeiro caracter, com VA5/VA0=00 0000B; no meio da linha será VA5/VA0=01 1111B=31 e no fim da linha (margem direita) teremos VA5/VA0=11 1111B=63, último carácter.

Durante 6 ciclos do clock do segundo 74LS93 (ou 24 ciclos de VA0) o feixe eletrônico permanece apagado para retraço horizontal. Após este intervalo Q3, Q2 e Q1 estão os três em nível H (14ª contagem), resultando nível H na saída pino 8 da AND 74LS11 que reseta o contador, recomeçando a contagem para outra linha de TV.

O caracter tem 12 fileiras, uma por linha de TV. O terceiro 74LS93 recebe Q3/SINCH como clock C0, fazendo uma contagem por cada linha de TV, formando o binário L3-L2-L1-L0 que determina a fileira do ca-



5-3 divisão da frequência de VA0

rácter. A primeira fileira corresponde a L3-L2-L1-L0=0000B e 12ª fileira a L3-L2-L1-L0=1011B=11. Aqui encerra-se a apresentação de 1 linha de caracteres (composta por 12 fileiras). A próxima contagem será 1100B=12, com Q2/L2 e Q3/L3 em nível H, resultando nível H na saída pino 8 da segunda AND 74LS11 que reseta o terceiro contador, recomeçando a contagem para outra linha de caracteres (de 12 fileiras).

Q3/L3 é injetado como clock C0 -pino 14 no flip-flop independente do primeiro contador 74LS93 (nada tendo a ver com os outros flip-flops sincronizados por C1-pino 1) e aparece dividido por dois em Q0-pino12 (do primeiro contador) como VA6. Este, na primeira fase negativa endereça a primeira linha de caracteres, na primeira fase positiva a segunda linha de caracteres, na próxima fase negativa a terceira linha de carcteres, etc, até completar 16 linhas de caracteres, quando então acaba a varredura vertical e começa o retraço.

No quarto 74LS93 VA6 é dividido por dois em Q0/VA7, por quatro em Q1/VA8, por oito em Q2/VA9. Forma-se assim o binário VA9-VA8-VA7-VA6 que incrementa +1 a cada linha de caracteres. A primeira linha escrita na borda superior da tela corresponde a VA9-VA8-VA7-VA6=0000B; a última linha escrita na borda inferior é a contagem VA9-VA8-VA7-VA6=1111B=15.

A 16ª contagem VA9-VA8-VA7-VA6-=1111B=15 ocorre na oitava contagem do quarto 74LS93 (multiplicada por dois por VA6). No próximo clock (VA6) Q3 - pino 11 é levado a nível H, indicando o pulso SINC V (sincronismo vertical). Quatro clocks após, intervalo para apagamento vertical, encontraremos Q3, Q1 e Q0 em nível H, resultando nível H na saída - pino 6 da terceira AND 74LS11, que reseta o quarto 74LS93, recomeçando a contagem para apresentação de novo campo de TV (nova tela de 16 linhas de 64 caracteres).

16 linhas x 64 caracteres=1K posições gravadas na RAM de vídeo, uma para cada carácter. VA0/VA9 formam o endereço da RAM, enquanto L0/L3 determinam a fileira do carácter no gerador de caracteres.

O que vimos nesta seção para caracteres também é válido para

o modo gráfico, onde a tela é configurada como 16 linhas de 64 células.

3 - Seleção 64/32 caracteres

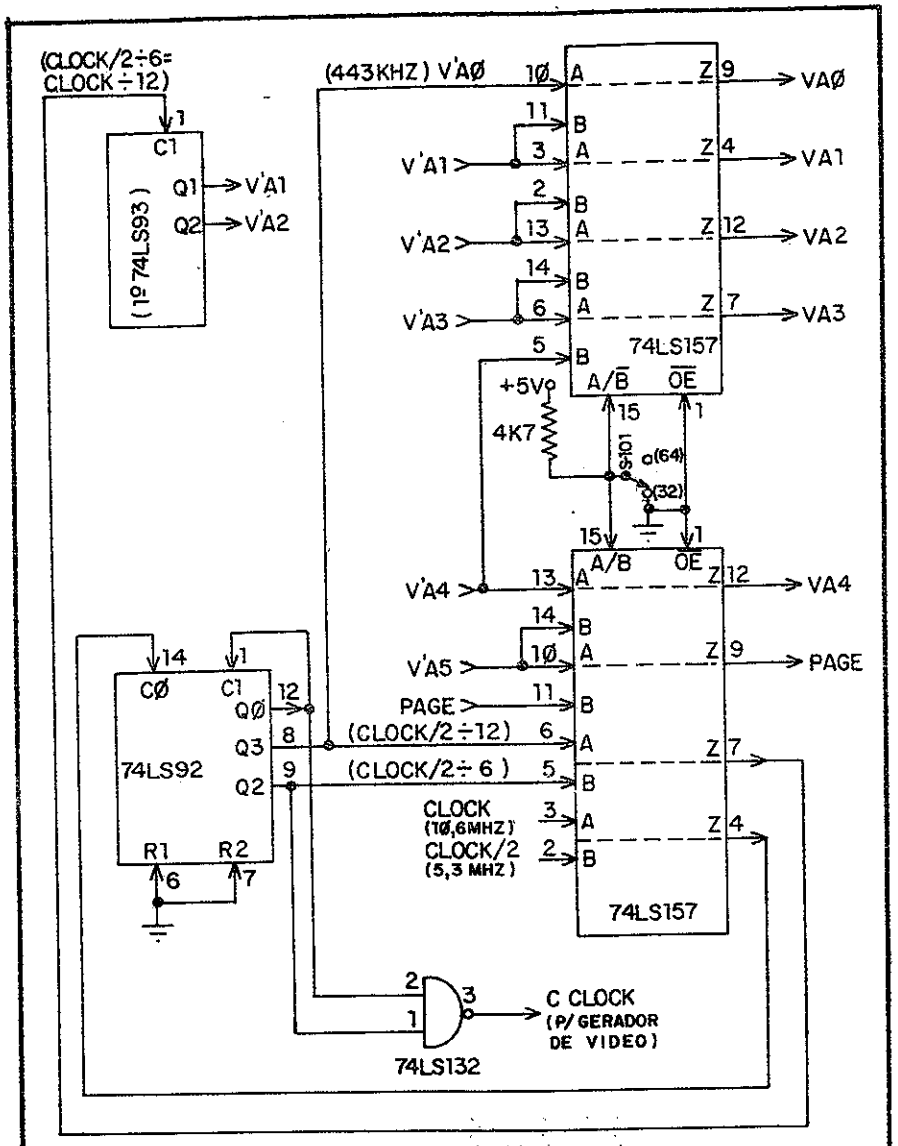
O circuito de seleção 64 ou 32 caracteres por linha da tela consta na fig. 5-4. O sinal CLOCK/2 é gerado no sincronismo de multiplexação da RAM (fig. 4-2), sendo a divisão por 2 do clock principal de 10,6MHZ. PAGE é emitido por acionamento de tecla do Keyboard. A chave S-101 também localiza-se no teclado.

No modo 64 caracteres por linha a chave S-101 é mantida no polo superior, resultando em nível H (+5Volts através do registro 4K7Ohms) nos pinos 15 dos dois multiplexadores 74LS157, fazendo que eles selecionem as entradas A (pinos 10, 3, 13, 6) para serem transmitidos às saídas Z (pinos 9, 4, 12, 7). Com isto temos o circuito da fig. 5-2 e V'A0/V'A1/V'A2/V'A3/V'A4 V'A5 do gerador de sincronismos e endereço aparece como VA0/VA1/VA2/VA3/VA4/VA5 na saída dos multiplexadores de modo 64/32.

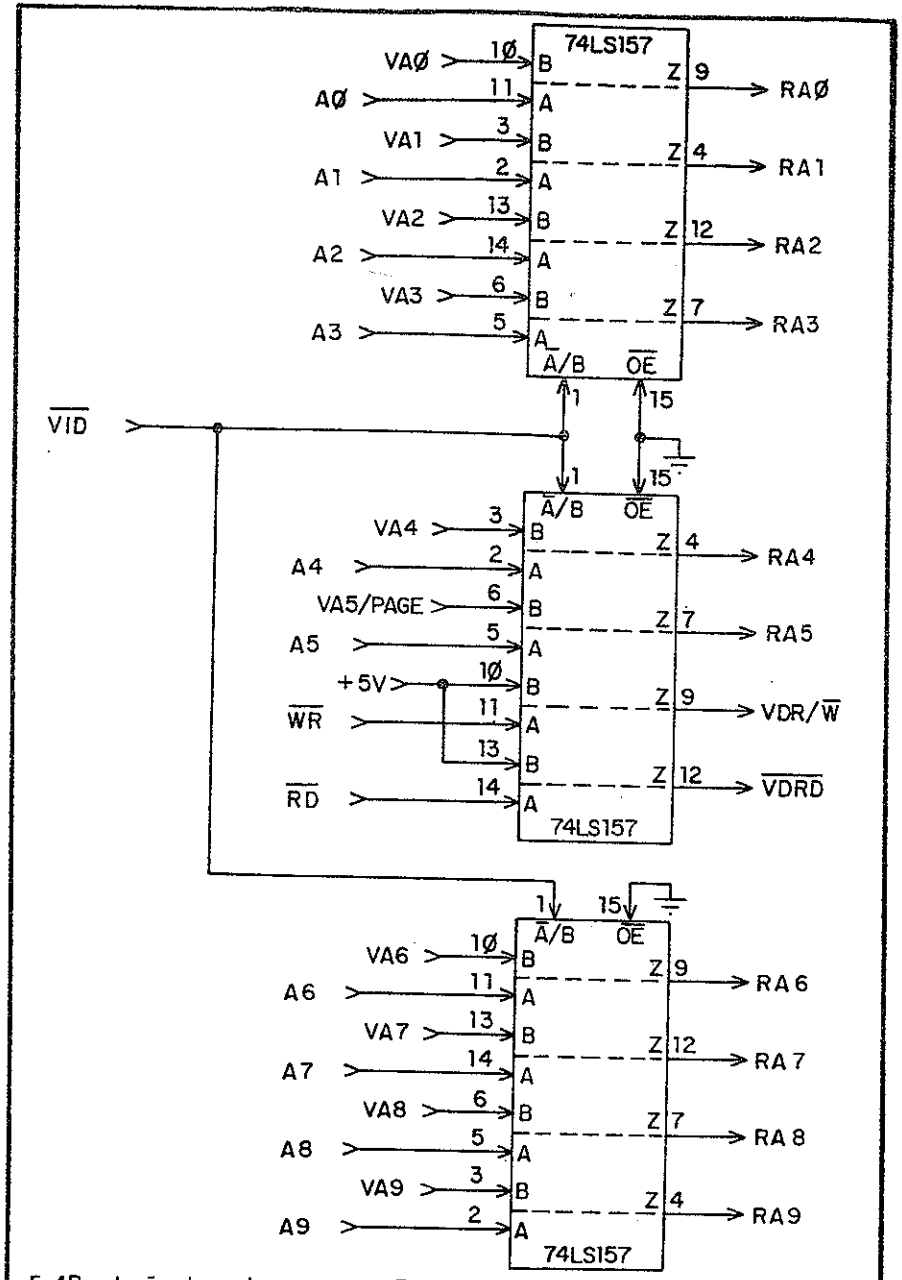
Quando a chave S-101 é aterrada (fig. 5-4) os multiplexadores 74LS157 passam a receber nível L nos pinos 15, selecinando as entradas B (pinos 11, 2, 14, 5) para serem transmitidas às saídas Z e bloqueando as entradas A. Agora a sincronização do 74LS92 e endereçamento VA0/VA4 são alterados.

No modo 32 caracteres por linha o clock C0-pino 14 do 74LS92 (que no modo 64 era alimentado pelo CLOCK 10,6MHZ) recebe CLOCK/2, de 5,3MHZ, que passa a sincronizar este contador. Entretanto a cascata de 4 contadores 74LS93 não tem sua sincronização alterada, pois se no modo 64 o 1º 74LS93 recebia o clock CLOCK÷12=887KHZ no pino 1-C1 agora no modo 32 receberá CLOCK/2÷6=887KHZ, ou seja, o mesmo sinal. A mudança de clocks para o 1º 74LS93 é originada no pino 4 do multiplexador 74LS157.

A cascata de contadores 74LS93 fornece V'A1/V'A2/V'A3/V'A4/V'A5 exatamente nas mesmas frequências do modo 64. Mas os multiplexadores eliminam V'A0 e deslocam os demais uma ordem para baixo, de maneira que VA0=V'A1, VA1=V'A2, VA2=V'A3, VA3=V7A4,



5-4A seleção 64/32 caracteres por linha



5-4B seleção de endereçamento RAM de vídeo

VA4=V'A5. Como 32 caracteres por linha precisam de apenas 5 bits de endereço (VA0/VA4) VA5 é trasnformado em sinal PAGE.

A tela é dividida em duas páginas (PAGE), cada uma com 32 caracteres por linha e 16 linhas de caracteres. O sinal PAGE que substitui VA5 seleciona uma delas. O armazenamento dos bits na RAM de vídeo não é alterado, pois 16x32=512 bytes por página, duas páginas 1.024=1K, como no modo 64.

Cada sinal V'A tem metade da frequência de seu anterior (V'A1=V'A0/2; V'A2=V'A1/2; etc.) Ao deslocá-los uma ordem para baixo no modo 32 os caracteres são apresentados na tela com metade da frequência do modo 64 (portanto metade da velocidade de apresentação), o que é suficiente para a apresentação de somente 32 caracteres por linha. SINC H e SINC V continuam a ser obtidos dos mesmos pinos, tanto no modo 32 como no 64, não alterando a sincronização dos retraços de TV.

4 - Seleção de Endereçamento RAM de Vídeo

A RAM de vídeo tem suas posições internas endereçadas por RA0/RA9 (fig. 5-4). Estes sinais podem ser obtidos do Z-80 (A0/A9) ou do gerador de sincronismos e endereço de vídeo (VA0/VA9), conforme a seleção feita pelos três multiplexadores 74LS157.

Quando o Z-80 endereça uma posição entre 15K e 16K o sinal $\overline{VID}$ é ativado em nível L, selecionando as entradas A (pinos 11, 2, 14, 5) dos 74LS157 para serem transmitidas às respectivas saídas (pinos 9, 4, 12, 7). A barra A0/A9 do Z-80 torna-se o endereço da RAM de vídeo, bem como seus terminais $\overline{WR}$ e $\overline{RD}$, que passam a ser denomidados VDR/$\overline{W}$ e $\overline{VDRD}$, respectivamente. O nível de VRD/$\overline{W}$ determina operação de leitura ou escrita na RAM de vídeo, enquanto $\overline{VDRD}$ ativo em nível L ativa o buffer que transmite os dados da RAM para o Z-80.

Fora de operações de leitura ou escrita na RAM de vídeo pelo Z-80 o sinal $\overline{VID}$ está desativado em nível H. Os multiplexadores selecionam as entradas B (pinos 10, 3, 13, 6) para serem transmitidas às saídas Z. Assim VA0/VA9 do gerador de sincronismos e endereços de vídeo torna-se endereçamento para a RAM de vídeo. O pino 10 do segundo multiplexador é mantido em nível H (+5Volts), determinando operação de leitura (VDR/$\overline{W}$ em nível H). Ao mesmo tempo o pino 13 também fica em +5Volts, desativando $\overline{VDRD}$ em nível H, o que bloqueia os dados da RAM de vídeo no buffer para a barra de dados, deixando-os exclusivamente para o gerador de vídeo.

5 - Circuito RAM de Vídeo

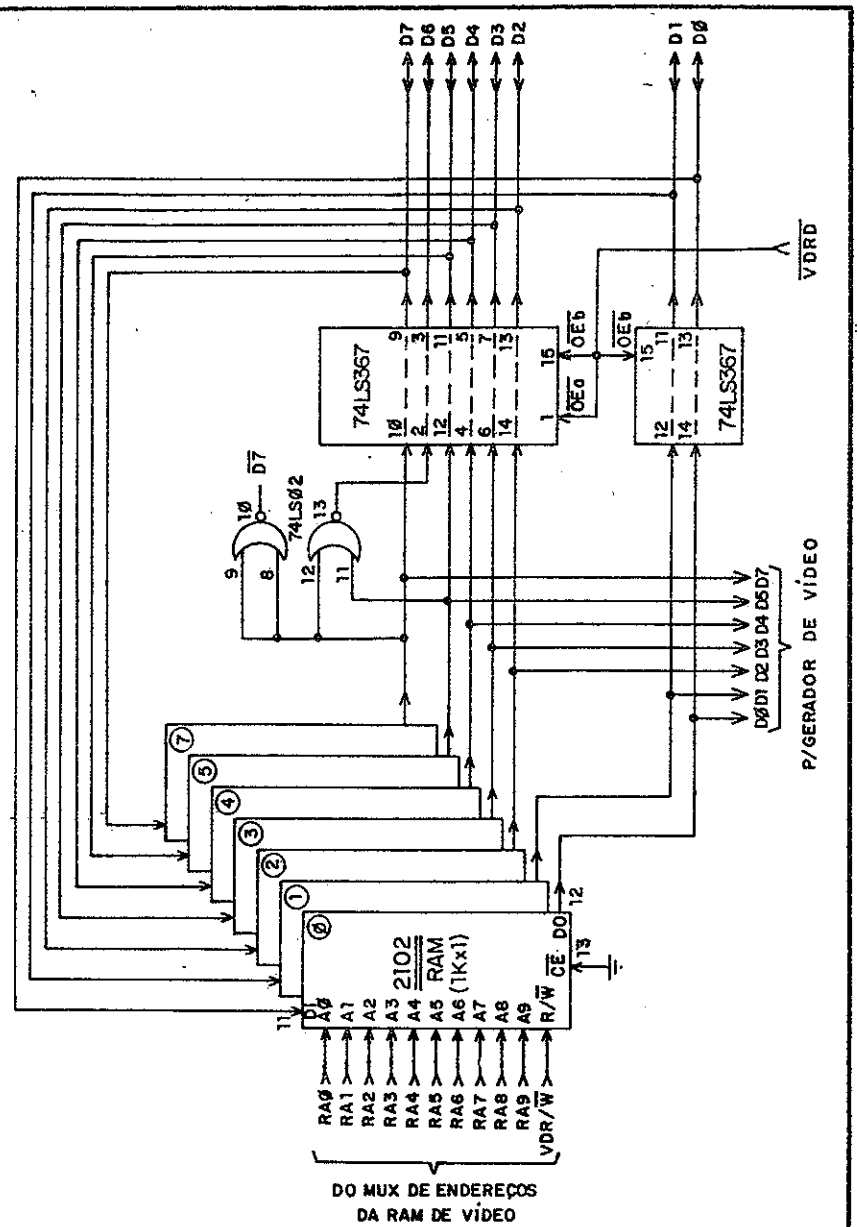
O circuito RAM de vídeo é visto na fig. 5-5, baseado no CI 2102 - RAM 1Kx1. Para completar os 7 bits de dados de vídeo (D6 não é usado) emprega-se uma cascata de 7 CIS.

RA0/RA9 do multiplexador de endereços de vídeo (fig. 5-4) são recebidos nos terminais A0/A9 da RAM. Se for uma operação de escrita do Z-80 o sinal VDR/$\overline{W}$ estará em nível L, ativando o terminal R/$\overline{W}$ dos sete CIS 2102; os bits da barra de dados D0/D7 entram pelos pinos 11-DI ("Data in") e são gravados na posição interna da RAM determinada por A0/A9. Para operação de leitura pelo microprocessador o sinal VDR/$\overline{W}$ estará em nível H; os bits dos sete CIS 2102 saem pelos pinos 12-D0 ('data out') e entram nos dois buffers 74LS367, onde o sinal $\overline{VDRD}$ estará em nível L, ativando-os a transmitirem os bits para a barra de dados D0/D7.

Em operações de apresentação de caracteres na tela os sinais VDR/$\overline{W}$ e $\overline{VDRD}$ ficam em nível H, indicando leitura de memória e bloqueando os sete bits nos buffers, impedindo-os de chegarem à barra de dados D0/D7. Ogeradorde sincronismos e endereços automaticamente vai endereçando posições sucessivas na RAM, que apresenta os correspondentes bits D0-D1-D2-D3-D4-D5-D6-D7 ao gerador de vídeo.

6 - Gerador de Vídeo

A fig. 5-6 apresenta o circuito gerador de vídeo, no qual consta tanto ogeradorde caracteres (no modos 64 e 32) quanto o gerador gráfico. A sua saída é o sinal de vídeo, ainda sem SINC H e SINC V.



5-5 circuito RAM de vídeo 1Kx7

Os dados D0/D5 da RAM de vídeo entram nos 6 flip-flops do CI 74LS174 a cada CCLOCK (emitido no circuito da fig. 5-2) e são apresentados nas respectivas saídas Q0/Q5 como endereços A4/A9 do gerador de caracteres 2513 ou como entradas para o multiplexador 74LS153.

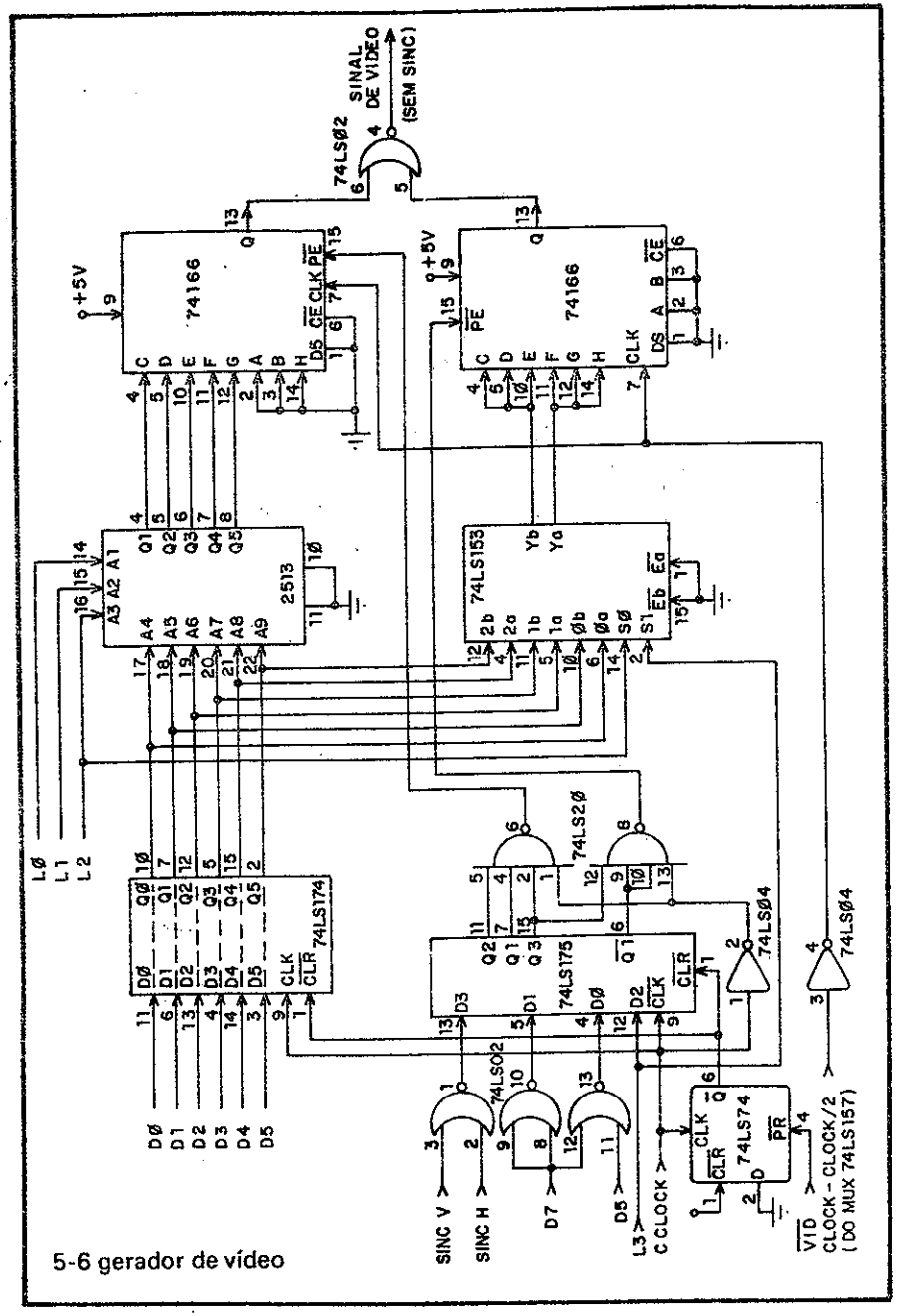
A ROM - gerador de caracteres 2513 agrupa as saídas Q0/Q5 dos flip-flops com os sinais L0-LI-L2 (do gerador de endereços de vídeo), formando o endereço A1/A9 que determina uma fileira de caracteres a qual tem 5 bits Q1-Q2-Q3-Q4-Q5- e é enviada para as entradas C-D-E-F-G do registro de deslocamento 74166.

O multiplexador 74LS153 recebe as saídas Q0/Q5 dos flip-flops e seleciona duas delas por vez para aparecerem nas saídas Ya e Yb, cada uma correspondendo a três pontos (acesos ou apagados, simultaneamente) de uma fileira de uma célula gráfica. A seleção é feita segundo os estados de L2-L3 (do gerador de endereços de vídeo). As saídas Ya-Yb entram no segundo registro de deslocamento 74166 como dois trios (C-D-E e F-G-H).

Os dois registros 74166 deslocam serialmente (um a um) os 6 bits recebidos em paralelo, a cada pulso de CLOCK ou CLOCK/2, conforme o micro esteja no modo 64 ou 32 caracteres por linha. Entretanto, somente um d eles apresentará o bit na saída serial Q, enquanto o outro permanecerá com sua saída Q desativada em nível L. O nível nos pinos 15-$\overline{PE}$ determina qual o registro 74166 estará ativo.

A programação do bit D7 da RAM de vídeo indica qual o modo - gráfico ou texto (caracteres) - do vídeo. Com D7 em nível L - modo gráfico - o pino 10 da NOR 74LS02 será nível H, entrando como dado D1 no primeiro flip-flop do 74LS175 e aparecendo como nível H em Q1-pino 7 e nível L em $\overline{Q1}$-pino 6. Este último provoca nível H na saída-pino 8 da NAND 74LS20 que ativa o modo deslocamento no pino 15-$\overline{PE}$ do segundo 74166. Enquanto isso todas as entradas da primeira NAND 74LS20 estão em nível H, levando sua saída-pino 6 a nível L que ativa o modo carga paralela no pino 15-$\overline{PE}$ do primeiro registro de deslocamento e coloca sua saída serial Q em nível L.

Com D7 em nível H - modo texto (caracteres) - o pino 10 da NOR é nível L, no 74LS175 Q1 fica em nível L e $\overline{Q1}$ em nível H, levando o pino



5-6 gerador de vídeo

6 da primeira NAND a nível H e o pino 8 da segunda NAND a nível L. Agora invertem-se os papéis, com o segundo 74166 no modo carga e sua saída Q em nível L enquanto o primeiro 74166 desloca serialmente a fileira de caracteres.

Durante os retraços vertical e horizontal um dos sinais SINC H ou SINC V vai a nível H, resultando nível L na saída pino 1 da NOR 74LS02 que aparece como nível L em Q3-pino 15 do 74LS175, colocando em nível H as saídas pinos 6 e 8 das duas NAND 74LS20. Isto inibe a carga de novo carácter nos dois 74166, que continuam deslocando nível L (resultado de A e B aterrados já deslocados para C-D-E-F-G-H) nas saídas Q-pinos 13 enquanto durar o apagamento do retraço de TV.

Processo semelhante ao acima descrito ocorre no modo texto ao final da apresentação de 8 fileiras de caracteres, pois as quatro fileiras restantes devem estar em branco para prover separação entre duas linhas de caracteres. Na 9ª fileira L3 é levado a nível L, resultando nível L na saída Q2-pino 11 do 74LS175 e nível H no pino 6 da primeira NAND, que inibe a carga de novo carácter no primeiro 74166 e deixa sua saída Q-pino 13 deslocando nível L.

Os registros 74166 deslocam serialmente 1 bit a cada pulso de clock nos pinos 7-CLK. Nos modos texto-64 caracteres e gráfico o clock é CLOCK de 10,6MHZ. No modo texto-32 caracteres o gerador de endereços e sincronismos comuta para CLOCK/2, de 5,3MHZ, provocando um deslocamento mais lento (metade do anterior), pois apenas 32 caracteres (metade do anterior) serão apresentados na tela.

Quando o Z-80 ativa em nível L o sinal $\overline{VID}$, assumindo o controle da RAM de vídeo, o flip-flop 74LS74 é setado (Q=nível H/$\overline{Q}$=nível L), provocando o reset (Q=nível L/$\overline{Q}$=nível H) dos CIS 74LS174 e 74LS175, cujas saídas Q ficam todas em nível L, bloqueando a apresentação de caracteres na tela. Como as operações do Z-80 são muito rápidas o efeito não é percebido na tela.

Um dos registros 74166 tem a saída Q desativada em nível L que fica sem efeito na entrada da NOR 74LS02. O outro 74166 ativo desloca

serialmente os bits que aparecem invertidos no pino 4 da NOR, constituindo o sinal de vídeo (ainda sem SINC H e SINC V).

CAPÍTULO 6
PERIFÉRICOS

1 - Keyboard

O circuito do Keyboard consta na fig. 6-1. O teclado contém ainda as chaves PAGE (para seleção de página 1 ou página 2 no modo 32 caracteres por linha) e F1 (seleção de gravador cassete). Quando o micro é ligado o LED LPOWER fica aceso.

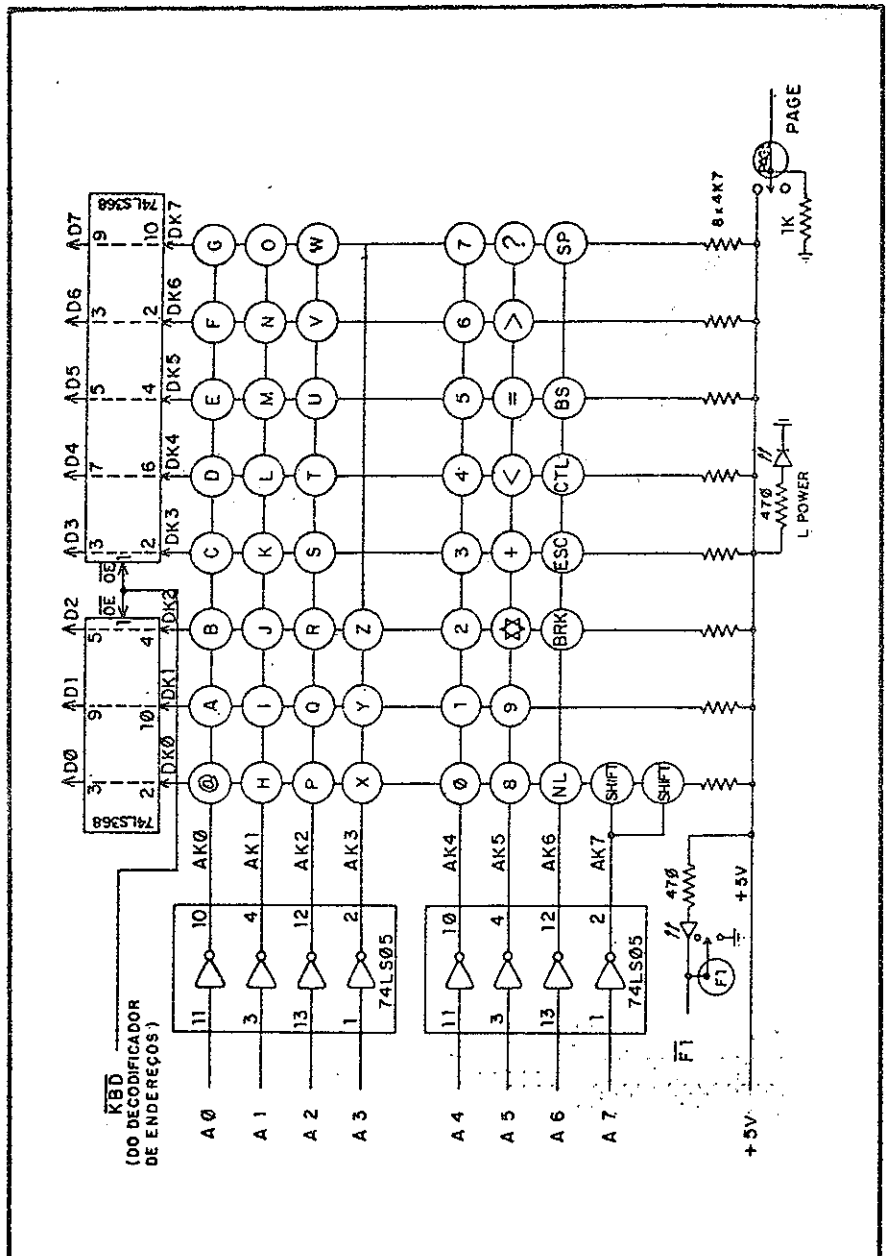
DK0/DK7 estão normalmente em nível H (+5Volts através dos resistores de 4K7Ohms). O microprocessador varre o teclado, levando a nível L AK0/AK7, uma a uma, sucessivamente. Se a tecla estiver pressionada o nível L de AK aparecerá em DK. Verificando qual DK e qual AK estão em nível L uma rotina do monitor decodifica a tecla.

Para varredura do teclado o Z-80 endereça uma posição de memória entre 14.336=0011 1000 0000 0000B e 14.591=0011 1000 1111 1111B (veja mapa de memória, fig. 1-2), o que provoca a ativação em nível L do sinal $\overline{KBD}$ no circuito decodificador de endereços (fig. 3-2), habilitando os dois buffers 74LS368 que transmitem as entradas DK0/DK7 para a barra de dados D0/D7.

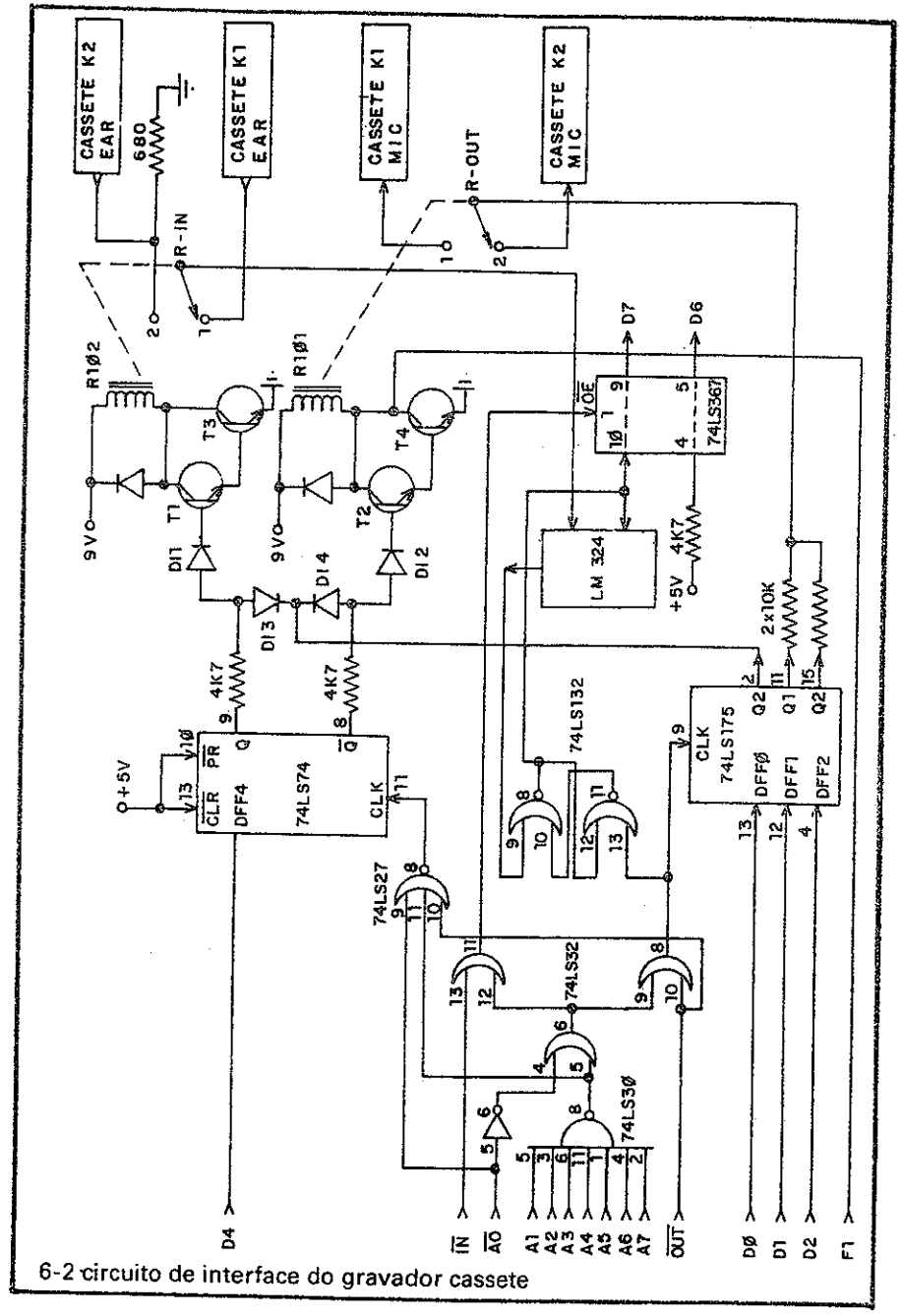
No primeiro passo da varredura é endereçado 0011 1000 0000 0001B. A1 está em nível H, sendo invertido no 74LS05 e aparecendo na sua saída como AK0 em nível L, enquanto AK1/AK7 permanecem em nível H. No segundo passo o endereço é 0011 1000 0000 0010B, com A1 em nível H e AK1 em nível L. A cada novo passo vai sendo levado a nível H o terminal de endereço seguinte, até chegar a 0011 1000 1000 0000B, com A7 em nível H e AK7 em nível L, completando a varredura.

2 - Gravador Cassete

O circuito de interface do gravador cassete (fig. 6-2) se encarrega de transformar os bits de dados do Z-80 em frequências de áudio (uma



6-1 circuito do Keyboard



6-2 circuito de interface do gravador cassete

representando nível H e outra nível L) para gravação na fita cassete, ou na reprodução decodificar as duas frequências em bits nível H ou L.

Existem ligaçoẽs para dois gravadores cassete (K1 e K2), selecionando-se um deles pela chave F1 no teclado ou pelo programa BASIC.

F1 é usado apenas para saída de dados. Ao ser precionada a chave F1 este sinal é aterrado. A tensão 9V atravessa a bobina do relê R-101, ativando-o, que fecha contacto na sua saída R-OUT com o pino 1, ligando os flip-flops do CI74LS175 com o cassete K1. Note que se F1 não for pressionada a tensão de 9V poderá se descarregar apenas através do coleto-emissor do transistor T4, o que é controlado por programação. Se o relê não for acionado sua saída R-OUT permanecerá ligada ao pino 2, encaminhando os sinais do 74LS175 para o cassete K2.

Para a seleção de gravador por programção é executada uma saída de dado XXXX X1XXB, onde D4 determinará qual o gravador escolhido; veja que D2 fica em nível H. O endereço da porta é 1111 1110B, com A0 em nível L e A1/A7 em nível H. A saída pino 8 da NAND 74LS30 é levada a nível L, que é acoplado ao pino 11 da NOR 74LS27. Esta ainda recebe A0 no pino 9 e $\overline{OUT}$ (nível L, saída de porta) no pino 10, ficando com todas entradas em nível L, o que resulta num pulso nível H na sua saída pino 8, que serve de clock para o flip-flop 74LS74.

Se D4 for nível H o pino Q-pino 9 do flip-flop ficará em nível H, atravessando DI1 e ativando os transistores T1 e T3. A tensão 9 Volts atravessa a bobina do relê R=102, passando pelo coletor de T3 até seu emissor aterrado. O relê R-1-2 é ativado, fechando contacto entre o pino 2 e R-IN o que seleciona entrada (reprodução) pelo cassete K2. Enquanto isso o nível L em $\overline{Q}$-pino 8 do flip-flop é bloqueado no diodo DI2 (tensão inversa) cortando os transistores T2-T4 e impedindo que a tensão 9 Volts atravesse a bobina do relê R-101. Este fica desativado e sua saída R-OUT permanece em contacto com o pino 2, selecionando saída pelo casssete K2. Assim, com D4 em nível H o cassete K2 é escolhido tanto para entrada como para saída.

Se D4 for programado em nível L (ainda para saída de porta 1111 1110B) os papéis se invertem, com o flip-flop 74LS74 apresentando Q

em nível L e $\overline{Q}$ em nível H, o que acionará o relê R-101 e manterá R-102 desativado, fechando contacto de R-OUT e R-IN com os pinos 1, selecionando o cassete K1 para entrada e saída.

Com D2 programado em nível L os diodes DI3-DI4 levam a nível L os anodos dos diodos DI1-DI2, cortando-os e deixando desativados ambos os relês, o que corta a tensão dos dois gravadores, desligando-os.

Para reprodução é feita uma entrada de porta 1111 1111B. As saídas pino 8 da NAND 74LS30 e pino 6 da inversora 74LS04 ficam em nível L, provocando nível L na saída pino 6 da OR 74LS32, que é enviado para o pino 12 da outra OR. Esta recebe $\overline{IN}$ (em nível L, entrada de porta) no pino 13, ficando com as duas entradas em nível L, que se propaga para sua saída pino 11 e ativa o pino 1-$\overline{OE}$ do 74LS367, fazendo que os bits D6-D7 sejam transmitidos à barra de dados para leitura do Z-80. D7 contém a frequência do sinal gravado na fita cassete, devidamente conformado pelo CI LM 324 e o flip-flop formado pelas duas NOR 74LS132.

Para a gravação é feita uma saída de porta 1111 1111B. Novamente o pino 6 da OR 74LS32 vai a nível L, sendo enviado para o pino 9 da outra OR, que recebe também OUT (nível L, saída de porta) no pino 10, resultando nível L na sua saída pino 8, que provoca um pulso de clock no 74LS175. Os dados D0/D1 (programados para a frequência correspondente a nível H ou L) aparecem ns saídas Q0-Q1 deste CI, são combinados nos resitores de 10 KOhms e enviados para um dos gravadores cassetes previamente selecinado.

3 - Conector de Expansão

O conector de expansão do TRS-80 tem os terminais registrados na fig. 6-3. Os sinais são os mesmos que vimos na descrição dos circuitos. Para conexão de vários periféricos pode ser instalado um conector que distribua (e amplifique) os sinais para vários conectores.

GND	1	5Ø	GND
GND	2	49	GND
A7	3	48	$\overline{NMI}$
A6	4	47	$\overline{RFSH}$
A5	5	46	$\overline{RESET}$
A4	6	45	$\overline{M1}$
A1	7	44	$\overline{DODBS}/\overline{ADDBS}$
A3	8	43	$\overline{MREQ}$
A2	9	42	$\overline{CCDBS}/\overline{STADBS}$
AØ	10	41	$\overline{RD}$
D5	11	4Ø	$\overline{WR}$
D2	12	39	$\overline{PHOLD}$
—	13	38	$\overline{IORQ}$
D1	14	37	$\overline{PWAIT}$
DØ	15	36	$\overline{HALT}$
D3	16	35	$\overline{PHANTOM}$
D7	17	34	$\overline{PHLDA}$
D6	18	33	—
+5V	19	32	—
D4	20	31	$\overline{PINT}$
A15	21	30	PHI
A8	22	29	A12
A14	23	28	A11
A9	24	27	A13
—	25	26	A1Ø

6-3 conector de expansão

QUARTA PARTE
IBM-PC

CAPÍTULO 1
SISTEMA PC-XT

1- Estágios

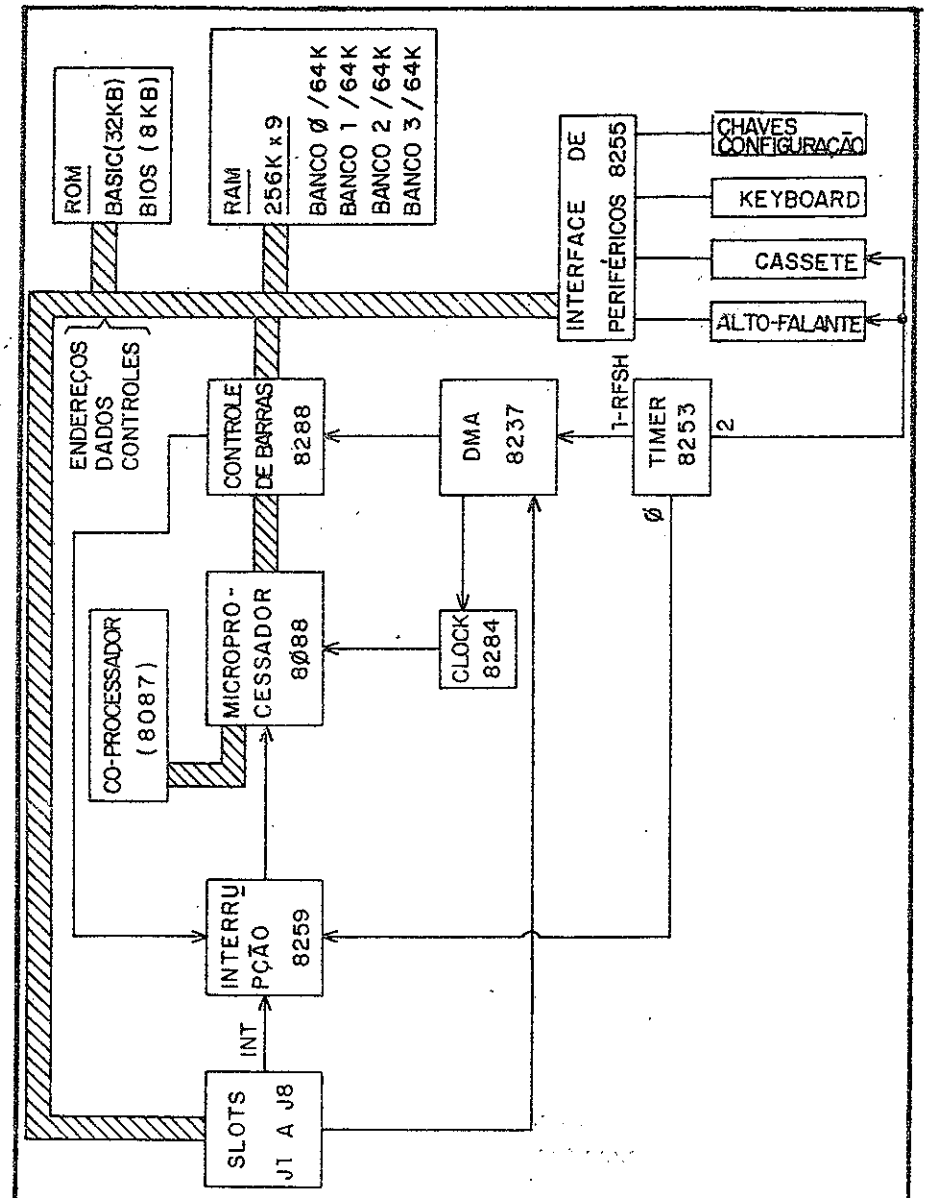
O esquema de estágios do IBM-PC/XT é visto na fig. 1-1, omitindo-se detalhes do fluxo de sinais. Observe que alguns periféricos já fazem parte do esquema (alto-falante, cassete, Keyboard) enquanto outros são acrescentados nos "slots" (diskette) ou subentendidos no espaço de memória (CRT).

O sistema é baseado no microprocessador 8088 da INTEL, que pode opcionalmente vir acompanhado de um co-processador. O equipamento original é dotado do "IBM MATH CO-PROCESSOR" (co-processador matemático), que executa as funções lógico-aritméticas, aliviando o processador principal. Em micros compatíveis, fabricados por outras empresas, geralmente é usado como co-processador o 8087, com pequenas alterações no software.

Um circuito baseado no 8284 - GERADOR DE CLOCK - e comandado por cristal sincroniza a CPU e ainda gera sinais para outros estágios, como o burst (3,58MHZ) do vídeo.

O 8088 necessita que seus sinais sejam decodificados e armazenados, o que é feito pelo circuito de controle de barras ("bus"), baseado no 8288- BUS CONTROLLER. Na sua saída encontramos a barra de dados (D0 a D7), barra de endereços (A0 a A19), e barra de sinais de controle.

Quando algum dispositivo instalado nos slots solicita DMA (acesso direto à memória) o circuito DMA baseado no 8237 - PROGRAMMABLE DMA - CONTROLLER - sinaliza a requisição ao gerador de clok 8284, que provoca um estado de espera no 8088 ao mesmo tempo que o controlador 8288 é bloqueado e as barras cedidas ao periférico.



1-1 esquema de estágios do IBM-PC/XT

A memória ROM é subdividida em dois blocos. No primeiro, de 32KBytes, temos o interpretador BASIC. No segundo, de 8KBytes, a ROM-BIOS.

A memória RAM é implementada em 4 bancos de 64K X 9bits cada. 8 bits formam a barra de dados e o 9º é usado para checagem de paridade. O primeiro banco é obrigatório e os outros três opcionais, perfazendo de 64K a 256K. Capacidade maior de memória é obtida através de expansões nos slots.

O CI 8259-PIC PROGRAMMABLE INTERRUPT CONTROLLER recebe até 8 sinais de interrupção de periféricos, sinalizando-as ao microprocessador, o qual responde através do controlador de barrras e executa a rotina de interrupção.

Alguns periféricos (alto-falante, cassete, Keyboard) interagem com o sistema através do circuito baseado no 8255-PPI PROGRAMMABLE PERIPHERAL INTERFACE. Ele sensoria ainda o conjunto de chaves indicativas da configuração do sistema (número de disk-drives, quantidade de RAM, tipo de vídeo, existência ou não de co-processador) para leitura do microprocessador.

O circuito baseado no 8253 - PIT PROGRAMMABLE INTERVAL TIMER - gera sinais de sincronização para os periféricos, inclusive tons para o alto-falante. Além disso, ele sincroniza o refrescamento da memória RAM dinâmica, simulando periodicamente um pedido DMA.

Existem 8 slots de expanção (J1 a J8). Cada um tem um conector de 62 terminais ligados a praticamente todos os sinais do sistema.

O CRT do PC-XT é colocado numa posição de memória e controlado pelo controlador de vídeo 6845, que dispensa qualquer intervenção do microprocessador. O Keyboard tem seu próprio circuito de sensoreamento e decodificação de tecla, baseado no processador 8048. Ambos são destacados (separados) do sistema, inclusive os respectivos circuitos.

2- Disposição Física

A fig. 1- 2 mostra a disposição física da placa principal do PC-XT original, contendo os estágios vistos na seção anterior.

Na parte superior direita temos a conexão para a fonte de alimentação de 150 Watts, separada do resto do sistema por motivos de refrigeração.

O teclado é destacado da CPU, ligando-se a ela por um conector de 5 pinos. Os circuitos de sensoreamento e decodificação de tecla estão no próprio Keyboard, ficando na placa principal apenas a interface (PPI 8255).

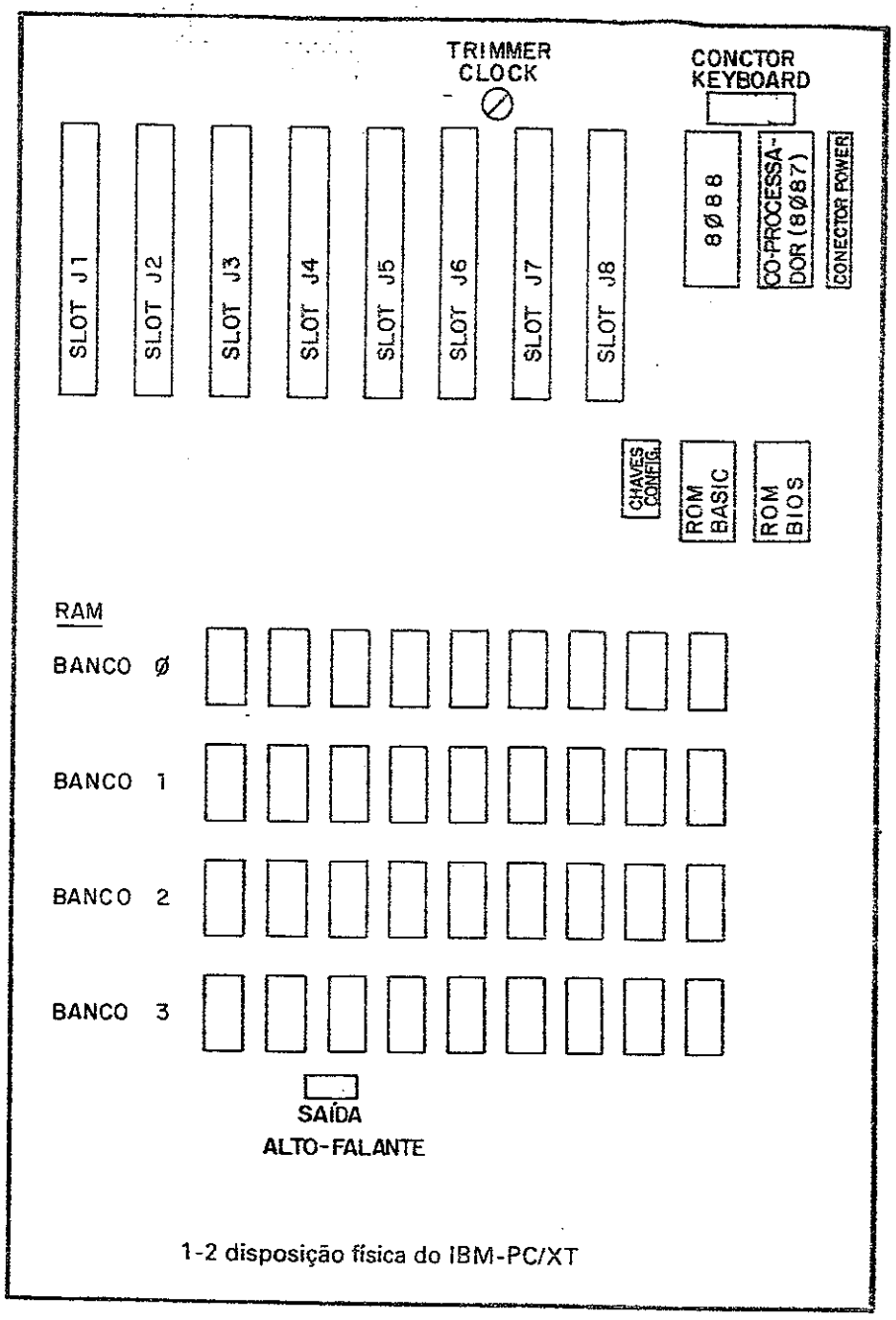
O microprocessador fica na parte superior direita e a seu lado o soquete do co-processador, que poderá ser instalado ou não conforme a configuração do micro. Ambos têm 40 pinos.

Abaixo dos processadores temos dois CIS ROM, uma de 32Kbytes e a outra de 8Kbytes, correspondendo a ROM-BASIC e ROM-BIOS, respectivamente.

Ao lado esquerdo da ROM encontramos as chaves de configuração do sistema, na forma DIP, que são posicionadas pelo usuário de acordo com as características do micro (quantidade de memória, número de disk-drives, etc.).

Na parte inferior existem 4 fileiras de soquetes, cada uma com nove colunas, onde são instalados os CIS RAM. Cada um corresponde a 1 bit de dado, sendo o 9º de checagem de paridade. A primeira fileira é obrigatória (64K), enquanto as outras três ficam com soquetes disponíveis para o usuário preencher até 256K.

Oito conectores (numerados J1 a J8) na parte superior permitem a instalação de periféricos. Nos seus pinos encontram-se todos os sinais existentes nas barras (dados, endereços, controles),que passam a interagir com o periférico instalado.



1-2 disposição física do IBM-PC/XT

USUÁRIO	Ø – 256 K	RAM (DA PLACA PRINCIPAL)
	256 K – 64Ø K	RAM (EXPANSÃO NOS SLOTS)
SISTEMA	64Ø K – 7Ø4 K	MEMÓRIA DE VÍDEO
	7Ø4 K – 72Ø K	VÍDEO MONOCROMO
	72Ø K – 736 K	(RESERVADO)
	736 K – 752 K	VÍDEO COR E GRÁFICOS
	752 K – 8ØØ K	(RESERVADO)
	8ØØ K – 816 K	CONTROLE DE DISCO FIXO
	816 K – 96Ø K	ROM – EXPANSÃO E CONTROLE
	96Ø K – 992 K	ROM – BASIC
	992 K – 1Ø16 K	—
	1Ø16 K – 1Ø24 K	ROM – BIOS

1-3 mapa da memória (decimal)

ØØØ – ØØF	DMA 8237
Ø2Ø – Ø21	INTERRUPÇÃO 8259
Ø4Ø – Ø43	TIMER 8253
Ø6Ø – Ø63	PPI 8255
Ø8Ø Ø83	DMA PAG. REG.
ØAØ –	NMI MASK
2ØØ – 2ØF	CONTROLE GAME
21Ø – 217	EXPANSÃO
2F8 – 2FF	COMUN. ASSINC. (SECUNDÁRIO)
3ØØ – 31F	CARTÃO PROTÓTIPO
32Ø – 32F	DISCO FIXO
378 – 37F	IMPRESSORA
38Ø – 38C	COMUN. SDLC
38Ø – 389	BSC (SECUNDÁRIO)
3AØ – 3A9	BSC (PRIMÁRIO)
3BØ – 3BF	DISPLAY MONOCR./IMPRESSORA
3DØ – 3DF	VÍDEO COR/GRÁFICOS
3FØ – 3F7	DISKETE
3F8 – 3FF	COMUN. ASSINC. (PRIMÁRIO)

1-4 mapa IO (hexadecimal)

3- Mapa da memória

O microprocessador 8088 pode endereçar 1Mbyte (1.024 KBytes) posições, devido a seus 20 terminais de endereços (A0 até A19). No PC-XT esses endereços são alocados conforme o mapa de memória apresentado na fig. 1-3.

Os primeiros 640KBytes são disponíveis ao usuário, sendo de zero a 256K a memória da placa principal e de 256K a 640K a expansão de memória nos slots. As posições de 640K a 1024K são para uso do sistema. Observe que o vídeo é tratado como um endereço de memória.

4- Mapa de I0

O microprocessador 8088 pode endereçar até 64K dispositivos de entrada e saída (IO). No PC-XT são usadas 2K posições, de 000 a 3FF, como visto na fig 1-4. Note que essas posições são separadas do mapa de memória, pois são endereçadas por sinais de controle diferentes("MEMW"/"MEMR" e "IOW"/"IOR").

5- Chaves de configuração do sistema

Ao optar por uma determinada configuração de seu PC-XT o usuário deve posicionar convenientemente as chaves no conjunto existente na placa principal, de acordo com a relação (onde zero é OFF e 1 é ON):

Veja tabela de Chaves de configuração do sistema.

CHAVE 8	CHAVE 7	número de drives 5 1/4
0	0	1
0	1	2
1	0	3
1	1	4

CHAVE 6	CHAVE 5	DISPLAY
0	0	(reservado)
0	1	cor 40x25
1	0	cor 80x25
1	1	monocr. 80x25

CHAVE 4	CHAVE 3	quant. memória RAM
0	0	64K
0	1	128K
1	0	192K
1	1	256K

CHAVE 2 - CO-PROCESSADOR INSTALADO (0)
NÃO INSTALADO (1)

CHAVE 1 - DRV 51/4 IN

Durante o programa o microprocessador faz a leitura das posições dessas chaves e de acordo com elas altera o software.

CAPÍTULO 2
MICROPROCESSADOR 8088

1- Histórico

O microprocessador 8088 foi lançado pela INTEL em 1978, que algum tempo depois passou a chamá-lo "iAPX 88" (entretanto a denominação antiga continuou a ser usada). A sua estrutura guarda muitos traços e compatibilidades com o 8080 de 8 bits.

O 8088 é uma versão do 8086, também da INTEL (e com denominação posterior de iAPX 86). A diferença principal entre eles está na multiplexação de dados e endereços (fig. 2-1): no 8086 existem 16 pinos de dados (D0-D15) que são multiplexados com os primeiros 16 pinos de endereços (A0-A15), no 8088 há apenas 8 pinos de dados (D0-D7) multiplexados nos 8 primeiros pinos de endereços (A0-A7). Verifica-se ainda algumas outras pequenas diferenças de hardware, mas ambas são compatíveis em sofware.

Apesar de ter apenas 8 terminais de dados o 8088 manipula perfeitamente palavras de 16 bits, recebendo-as ou emitindo-as em duas remessas de 8 bits. É classificado assim na categoria de "microprocessador de 16 bits".

2- Organização Interna

Na sua organização interna o 8088 dispõe de 14 registros de 16 bits, divididos em dois grupos (fig. 2-2). O primeiro grupo - registros gerais - pode ser usado para qualquer função programda pelo usuário, enquanto o segundo grupo - registros dedicados - é empregado somente nas funções para as quais foi projetado.

Os 4 primeiros registros - AX, BX, CX, DX - são manipulados com 16 bits ou cada um subdividido em dois registros de 8 bits - AH/AL, BH/BL, CH/CL, DH/DL, respectivamente.

Para endereçar uma posição de 20 bits (A0-A19) o 8088 acrescenta 4 zeros à direita do LSB de um dos registros de segmento (DS, SS, ES, CS) e soma-o com os 16 bits indicados por outro registro (fig. 2-3). Assim, o endereço de 16 bits indicado funciona como um deslocamento da posição contida no registro de segmento.

O registro sinalizador de estado tem as seguintes flags (fig. 2-4):

Veja tabela de flags

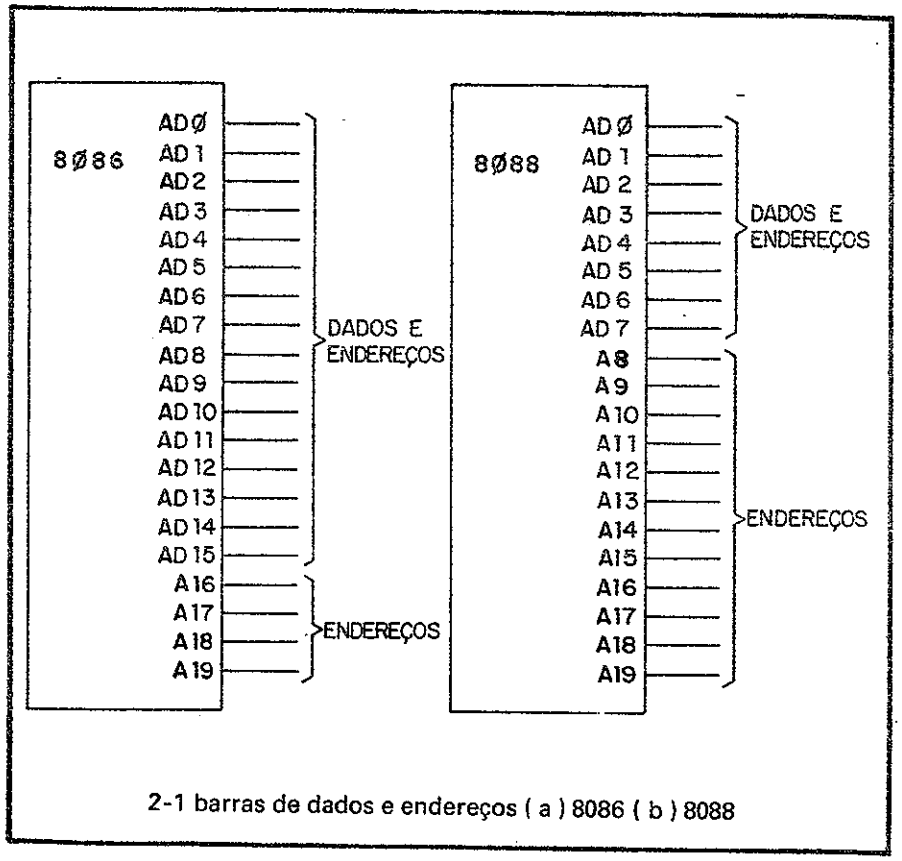
BIT	FLAG	INDICAÇÃO
0	C	carry
2	P	paridade
4	A	carry aux.
6	Z	zero
7	S	sinal
8	T	armadilha
9	I	interrupção
10	D	direção
11	O	oveflow

Enquanto o microprocessador está decodificando uma instrução sua interface de barras lê as próximas instruções, até um máximo de 6, e armazena-as no registro "queue" (fila de espera"). Ao terminar a decodificação a unidade de controle terá imediatamente a sua disposição a nova instrução, aumentando a velocidade de processamento.

3- Pinagem

A pinagem do 8088 é vista na fig. 2-5,destacando-se que do pino 9 ao 16 (AD7 a AD0) são multiplexados endereços (A7 a A0) e dados (D7 a D0). Os terminais restantes de endereços são A8-A19.

Inicialmente ALE (pino 25) - "adress latch enable" (habilitação de latch de endereço) - é levado a nível H, indicando que nos terminais com

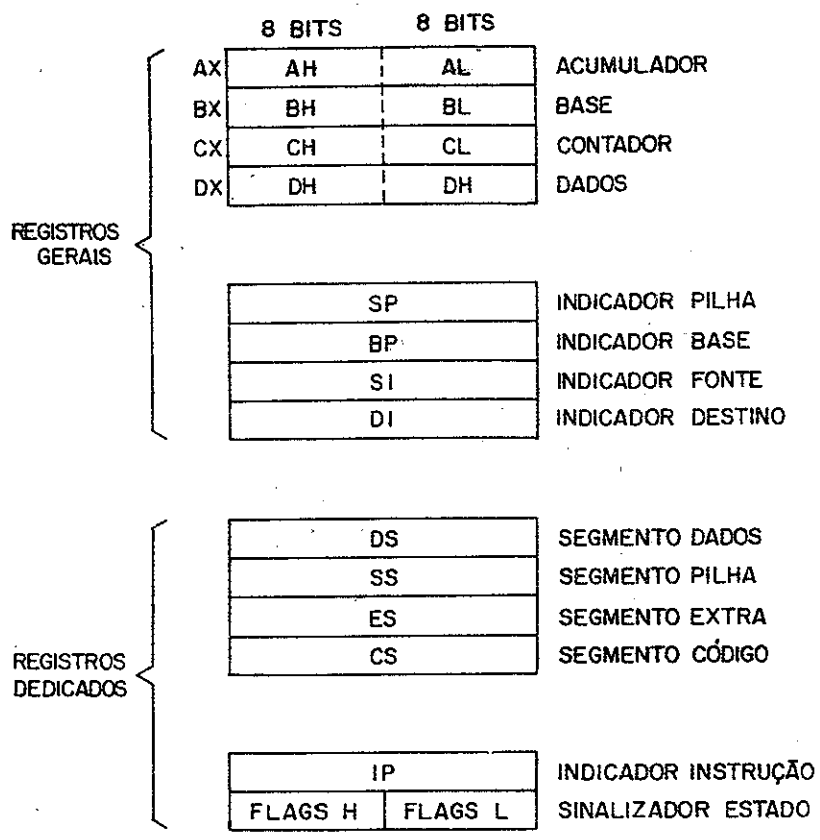


2-1 barras de dados e endereços (a) 8086 (b) 8088

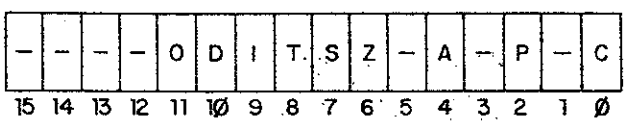
multiplexação. os sinais estão valendo como endereços (A0-A19). Quando ALE está em nível L os pinos AD0-AD7 estarão valendo como dados (D0-D7), ao mesmo tempo que nos pinos 35 a 38 a validade será paraS3 e S6, que indicam o status do processador.

Note que embora a estrutura interna do 8088 seja de 16 bits sua pinagem de dados é de apenas 8 bits. Operações envolvendo entrada ou saída de 16 bits são feitas em duas remessas (mas internamente processadas em registros de 16 bits).

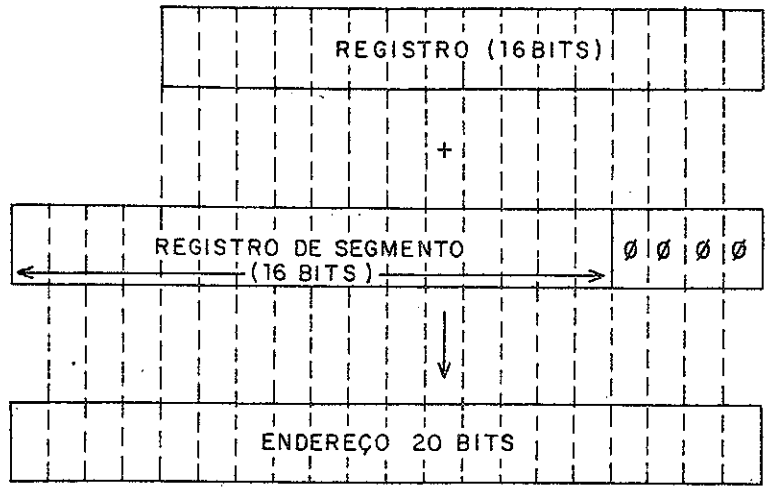
$\overline{DEN}$ (pino 26) - "drive enable" (habilitação de drive) - é levado a L durante a validade de dados na multiplexação, habilitando o drive da



2-2 registros internos do 8088



2-4 registro sinalizador de estado (flags)



2-3 formação de endereço de 20 bits

barra de dados. DT/$\overline{R}$ (pino 27) - "data transmiter/receiver" (dados transmissor/receptor) - é H para transmissão (escrita ou saída) de dados ou L para recepção (leitura ou entrada).

IO/$\overline{M}$ (pino 28) - "input-output/memória" (entrada-saída/memória) - corresponde a operações de memória (nível L) ou porta de entrada-saída (nível H). Note que no PC-XT quando este pino está em nível L o microprocessador endereça uma das posições do mapa de memória de 1Mbyte (fig. 1-3); em nível H será o endereço de uma das portas IO (fig. 1-4). Até 2Kbytes estes dois grupos de endereços se sobrepõem e a definição de qual entre os dois se refere é determinada exatamente pelo pino 28.

Como usual $\overline{RD}$ (pino 32) - "read" (leitura) - é operação de leitura (IO/$\overline{M}$=L) ou entrada de dados (IO/$\overline{M}$=H), enquanto $\overline{WR}$ (pino 29) - "write" (escrita) - é escrita (IO/$\overline{M}$=L) ou saída de dados (IO/$\overline{M}$=H).

Para DMA ("direct memory acess", acesso direto à memória) o periférico leva a nível H o pino 31-HOLD. Ao ceder as barras para a operação, mantendo-se em tristate, o microprocessador coloca em nível H o pino 30-

HOLDA - "hold acknowledgement" (reconhecimento de "hold").

O pedido de interrupção do processamento é feito levando a nível H o pino 18-INTR - "interrupt request" (requisição de interrupção). Ao aceitá-lo o microprocessador coloca em L o pino 24 - $\overline{INTA}$ - "interrupt acknowledgement" (reconhecimento de interrupção). Uma interrupção especial não bloqueável por programa é iniciada quando o pino 17 -NMI - "nonmaskable interrupt" (interrupção não mascarável) é levado a H.

Quando programado pela instrução "WAIT FOR TEST" o 8088 continuará o processamento somente se o pino 23 - $\overline{TEST}$ - estiver em nível L; caso o nível seja H ele permanecerá em estado de espera.

Ao receber sinal nível L no pino 22 - READY (preparado) - o 8088 pára no meio de um ciclo de máquina e só volta a executar a instrução quando READY for levado a nível H. A diferença entre HOLD e READY é que com este último o microprocessador não coloca seus terminais em tristate, como o faz em operações DMA.

Um pulso positivo no pino 21 - RESET (reinício) - provoca o reinício do processamento a partir da posição FFFF0H. Inclusive este é o endereço onde o 8088 vai buscar a primeira instrução ao ser ligada a sua fonte de alimentação. No PC-XT o endereço FFFF0H é uma posição na ROM-BIOS.

A entrada no pino 19-CLK ("clock", relógio) - sincroniza o processamento, havendo três alternativas da frequência máxima, conforme o modelo do microprocessador:
*8088 - 1 : 5MHZ
*8088 - 2 : 8MHZ
*8088 - 4 : 4MHZ

A alimentação consiste de +5Volts (pino 40), aterrando-se o chip nos pinos 1 e 20.

A descrição que fizemos acima se refere ao 8088 operando no modo mínimo, com o pino 33 - MN/$\overline{MX}$ (mínimo/máximo), em nível H. Levando este terminal a nível L temos o modo máximo, com os sinais dos pinos 24 a 31 substituídos pelos que estão entre parêntesis na fig. 2-5. O modo máximo é usado em sistemas com co-processadores auxiliando o processador principal 8088.

No modo máximo os pinos 36 (S0), 27 (S1) e 28 (S2) codificam os estados sinalizados no modo mínimo pelos pinos 24 a 29. É necessário um controlador de vias para decodificar S0, S1, S2, transformando-os em $\overline{INTA}$, ALE, $\overline{DEN}$, DT/$\overline{R}$, IO/$\overline{M}$, $\overline{WR}$ (no PC-XT é usado o 8288-controlador de barras).

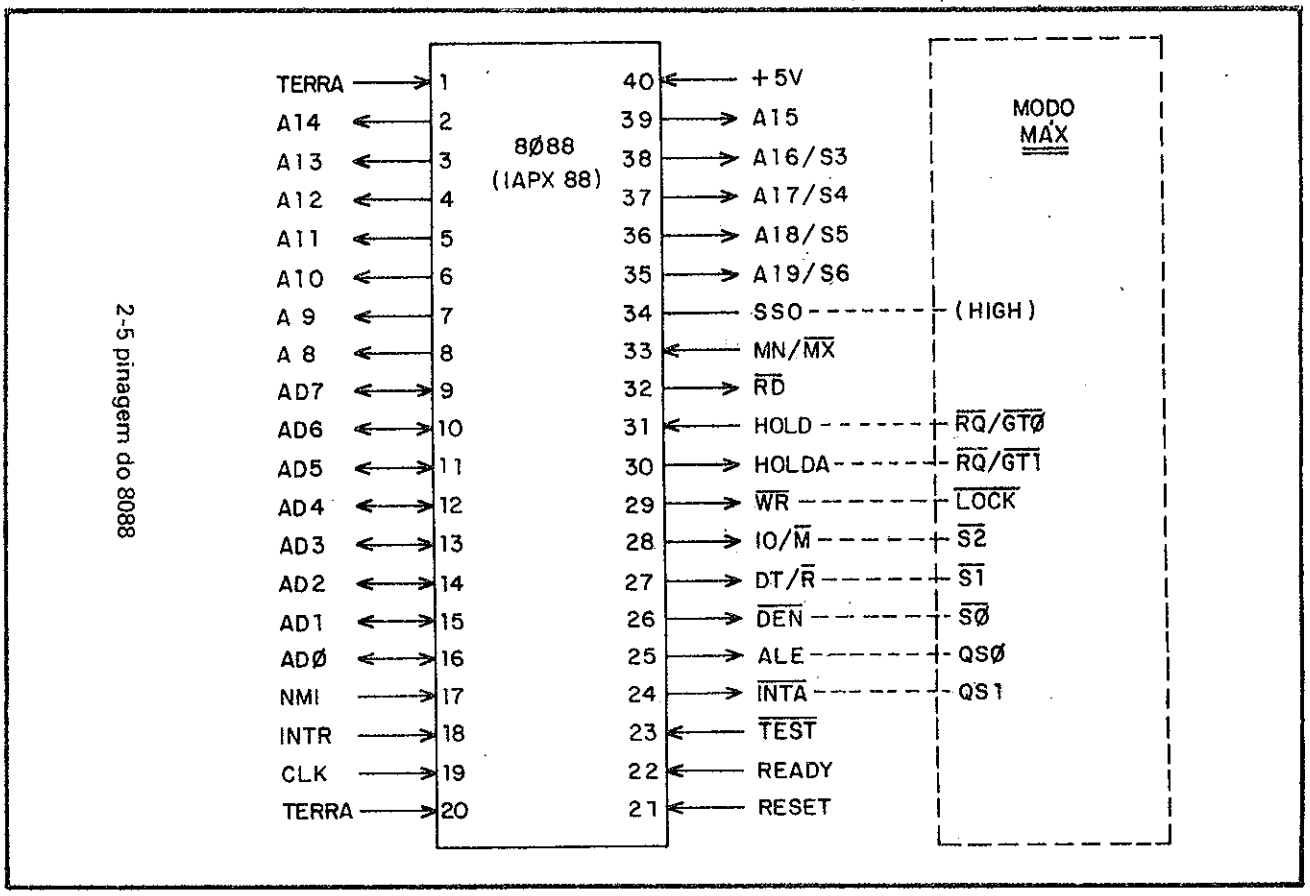
Podem ser usados até dois co-processadores, que solicitam as barras do 8088 levando a nível L os pinos 31 e 30 ($\overline{RQ}$ - "request", requisição), semelhante a uma DMA. Ao atendê-los o 8088 coloca seus terminais em tristate e coloca em L os mesmos pinos 30 e 31 ($\overline{GT0}$ e $\overline{GT1}$ - "granted", garantido). Se entretanto o 8088 não quer ser interrompido por processadores ele coloca em L o pino 29 - $\overline{LOCK}$ (bloqueia).

Como vimos no estudo da organização interna do 8088 há neste microprocessador um sistema de leitura antecipada das próximas instruções (registro "queue"). Os pinos 25 e 24 - QS0 e QS1 ("queue status") - indicam o estado dessa antecipação.

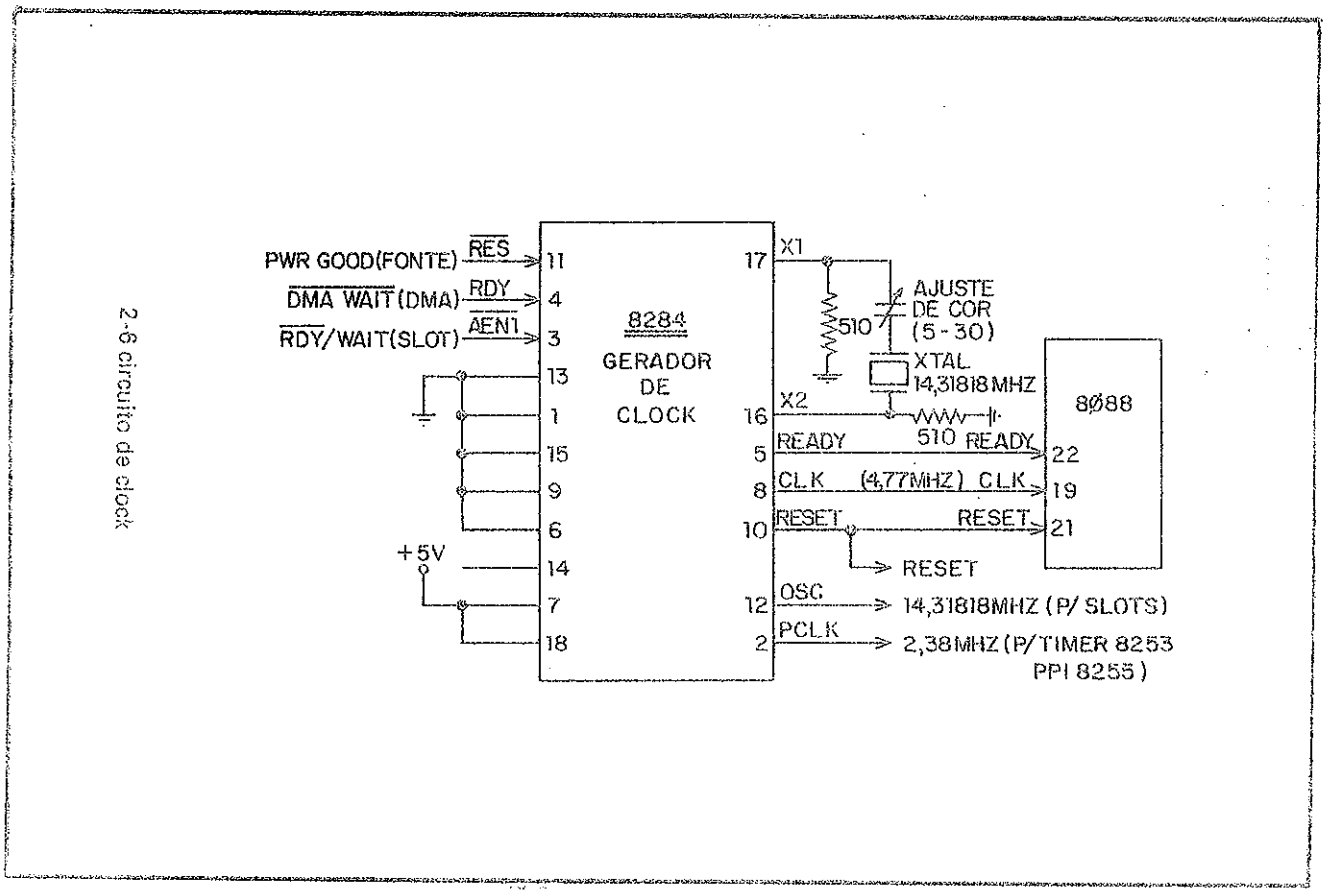
4- Clock

O circuito de clock do PC-XT é apresentado na fig. 2-6, baseado no CI8284 - GERADOR DE CLOCK, tendo como funções sincronização do microprocessador e periféricos, reset e preparação de DMA.

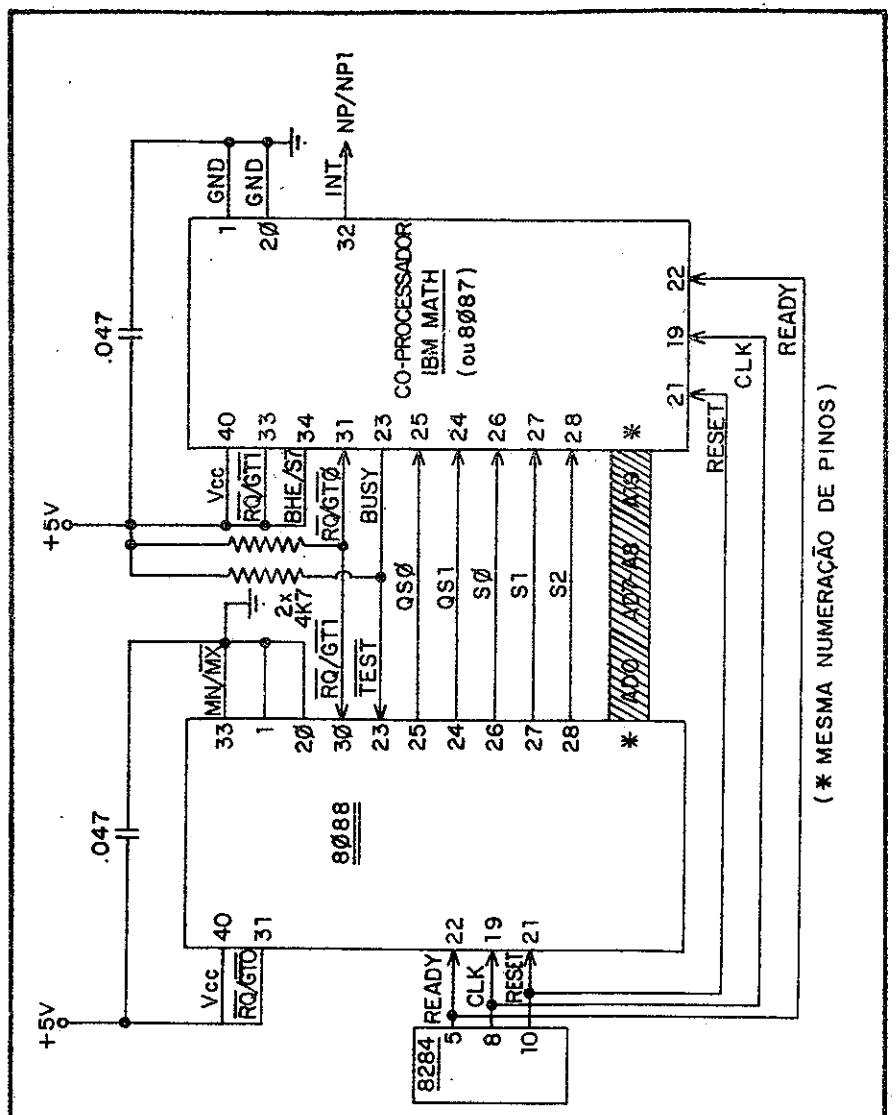
O oscilador interno do 8284 é ativado por um cristal (XTAL) de 14,31818 MHZ. Esta frequência dividida por 3 fornece o clock de 4,77 MHZ para o 8088, e dividida por 4 o burst de cor de 3,579545 MHZ para o vídeo. Observe que este é o burst para televisão NTSC usada nos EUA, para o sistema PAL do Brasil o valor deve ser 3,575611MHZ (para usar um receptor a cores brasileiro com um PC-XT original é preciso alterações nos circuitos para compatibilizar os dois sistemas - NTSC/PAL). Um capacitor variável acoplado ao XTAL permite o ajuste fino do sinal do oscilador, tendo grande efeito na definção de cores, que é determinada pela fase do burst.



2-5 pinagem do 8088



2-6 circuito de clock



2-7 circuito do co-processador IBM-MATH (ou 8087)

A frequência de clock dividida por 2 (ou seja, a frequência do oscilador dividida por 6) origina o sinal de 2,38MHZ disponível para o timer (CI 8253) e sincronização de periféricos (CI8255).

A fonte de alimentação ao ser ligada emite um pulso PWR GOOD ("power good") que recebido no pino 11 do 8284 provoca um sinal H de RESET no pino 21 do 8088, também disponível para outros estágios, obrigando-o a reiniciar a partir do endereço FFFF0H.

O gerador de clock ainda faz parte da operação DMA. Ao receber o sinal $\overline{\text{DMA WAIT}}$ (espera DMA) no pino 4 mantém em nível H seu terminal de saída READY, que detectado no pino 22 do 8088 faz interromper o processamento no meio do ciclo de máquina (ao mesmo tempo o circuito DMA bloqueia as saídas do microprocessador no controlador de barras)

O pino 3- $\overline{\text{AEN1}}$ - funciona de maneira semelhante, ativando o pino 22 - READY do microprocessador quando o sinal recebido $\overline{\text{RDY}}$/WAIT for nível H. Aqui entretanto não há bloqueio das saídas no controlador de barras. $\overline{\text{RDY}}$/WAIT é gerado por um dispositivo instalado nos slots, servindo para retardar a alta velocidade do microprocessador com sua sincronização mais lenta.

5- Co-processador

O co-processador ("IBM MATH CO-PROCESSADOR", co-processador matemático IBM, ou seu equivalente 8087) tem praticamente a mesma pinagem do 8088. A figura 2-7 apresenta seu circuito no PC-XT, sendo que a numeração dos pinos de dados e endereços é a mesma do 8088(veja fig. 2-5).

O co-processador solicita as barras ao processador central levando a nível L o pino 31 - $\overline{\text{RQ}}/\overline{\text{GTO}}$. Enquanto estiver ocupado mantém em nível H o pino 23 - BUSY (ocupado) - que entra no pino 23 - $\overline{\text{TEST}}$ do 8088, mantendo-o em tristate (semelhante a DMA). Quando BUSY vai a L, e com ele $\overline{\text{TEST}}$, o 8088 reassume o controle das barras.

CAPÍTULO 3
CONTROLE DE BARRAS

1- 8288 - Controlador de Barras

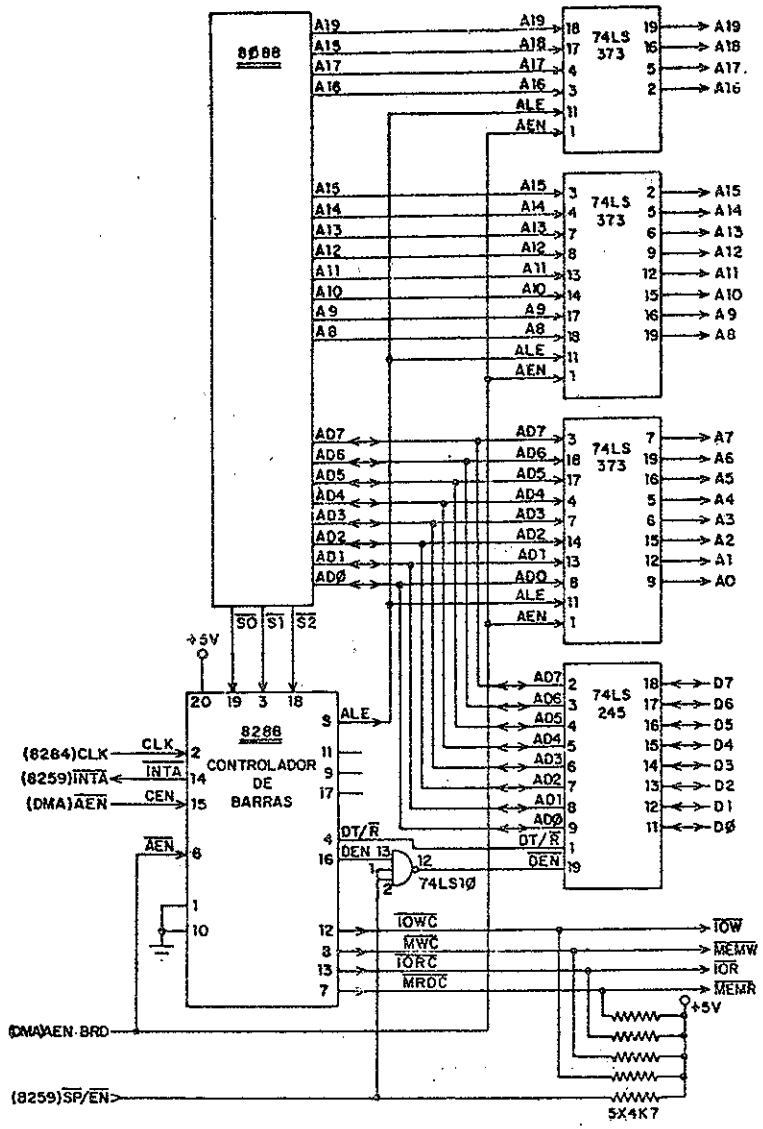
O controle de barras é baseado no CI 8288 - CONTROLADOR DE BARRAS (fig. 3-1). Ele é sincronizado pelo clock (4,77MHZ no pino 2) e alimentado por +5Volts dc.

O 8288 recebe do 8088 os sinais S0, S1, S2 (pinos 19, 3 e 18) e decodifica o status do processador (os sinais que no modo mínimo seriam emitidos nos pinos 24 a 29). De acordo com a decodificação ele estabelece na sua saída os níveis de $\overline{IOW}$, $\overline{MEMW}$, $\overline{IOR}$, $\overline{MEMR}$ (pinos 12, 8, 13, 7), todos ativos quando em nível L. $\overline{IOW}$ e $\overline{IOR}$ são usados para saída e entrada IO, respectivamente. $\overline{MEMW}$ e $\overline{MEMR}$ para gravação e leitura de memória, respectivamente. Portanto, quando $\overline{MEMW}$ ou $\overline{MEMR}$ estiver em nível L o 8088 estará se comunicando com uma das posições do mapa de memória; mas se o nível L for $\overline{IOW}$ ou $\overline{IOR}$ a comunicação será com uma das 2K posições do mapa de IO.

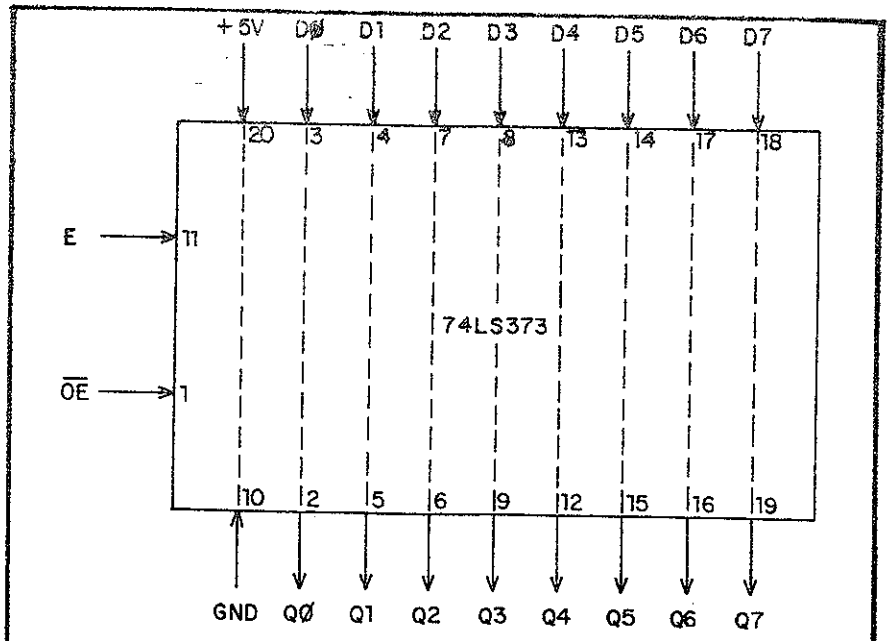
2- Barra de Endereços

Os 20 bits de endereços (A0- A19) saem do microprocessador em direção às entradas dos três CIS 74LS373. Este CI - latch octal tristate (fig. 3-2) - permite que os sinais nas entradas (D0-D7) apareçam nas respectivas saídas (Q0-Q7) apenas quando o pino 11-E ("enable", habilita) está em nível H e o pino 1-$\overline{OE}$ ("output enable", habilitação de saída) - em nível L; quando o pino 1-$\overline{OE}$ está em nível H as saídas permanecem em tristate.

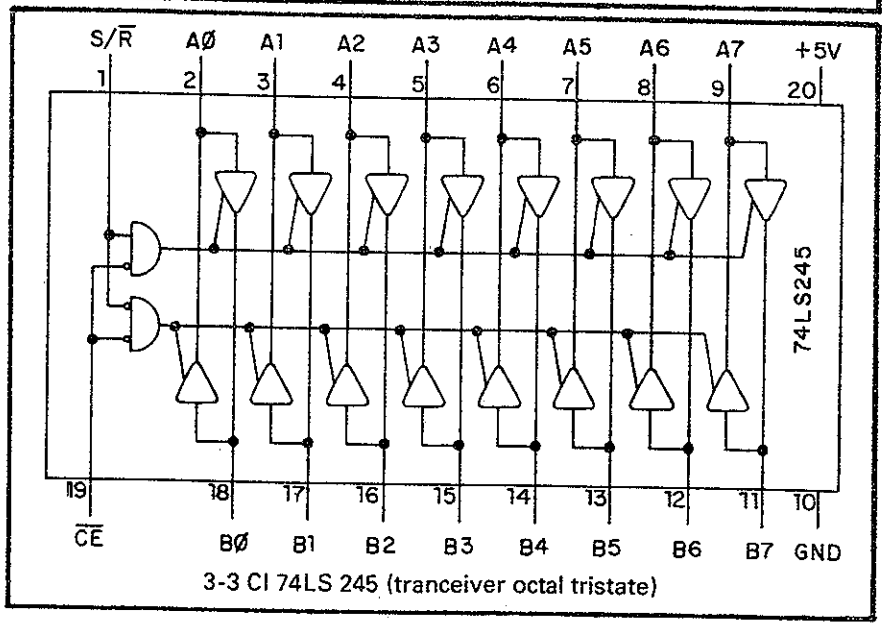
Na "primeira remessa" da multiplexação de barras pelo 8088, na qual os terminais tem validade de endereços (A0-A19), o 8288 decodifica S0/S1/S2, resultando sinal nível H no seu pino 5-ALE ("adress latch enable", habilitação do latch de endereço). Este é ligado aos pinos 11 dos três CIs 74LS373, habilitando-os durante este estado do microprocessador (ao mesmo tempo o pino 16 estará em nível L, habilitando o CI74LS245 da barra de



3-1 circuito de controle de barras



3-2 CI 74LS373 (latch octal)



3-3 CI 74LS 245 (tranceiver octal tristate)

dados).

Os pinos 1-$\overline{OE}$ dos três CIS 74LS373 estão normalmente em nível L, fazendo que os sinais nas entradas apareçam e sejam mantidos nas respectivas saídas, formando a barra de endereços (A0-A9) gerada no microprocessador. Entretanto durante as operações DMA os pinos 1-$\overline{OE}$ recebem daquele estágio o sinal AEN BRD em nível H, colocando em tristate as saídas dos três CIS 74LS373, e deixando que a barra de endereços seja gerada pelo periférico.

3- Barra de Dados

A barra de dados é controlada pelo CI 74LS245 (transceiver octal tristate, fig. 3-3). Quando seu pino 19-$\overline{CE}$ ("chip enable", habilitação de chip) está em nível L os sinais existentes nas entradas A0-A7 aparecerão nas respectivas saídas B0-B7, ou vice-versa, as entradas BO-B7 aparecendo nas respectivas saídas A0-A7. Esta direção depende do pino 1-S/$\overline{R}$: se ele estiver em nível H teremos A0-A7 como entradas e B0-B7 como saídas, mas se for nível L os papéis se se inverterão - B0–B7 entradas e A0-A7 saídas. Com o pino 19-$\overline{CE}$ em nível H todos os terminais permanecerão em tristate.

Durante a "segunda remessa" de multiplexação do 8088, detectada pela decodificação de S0/S1/S2, o pino 16-DEN ("data enable", habilitação de dados) do 8288 é levado a nível H, aparecendo como saída nível L na NAND do 74LS10 (as duas outras entradas, pinos 1 e 2, também estarão em nível H), ativando o pino 19-$\overline{DEN}$ do 74LS245, o que permitirá a passagem dos dados entre os terminais de entrada e saída. Ainda de acordo com a decodificação de S0/S1/S2 o pino 4-DT/$\overline{R}$ ("data trasmiter/receiver", dados transmissor/receptor) do 8288 assumirá nível H para escrita de memória ($\overline{MEMW}$) ou saída de dados ($\overline{IOW}$) e nível L para leitura de memória ($\overline{MEMR}$) ou entrada de dados ($\overline{IOR}$). O nível assumido é conectado ao pino 1-DT/$\overline{R}$ do 74LS245, determinando a direção dos dados.

O terceiro CI 74LS373 e o CI 74LS245 recebem os mesmos sinais do microprocessador (AD0-AD7). Porém, na "primeira remessa" de multiplexação do 8088 (validade de endereços) ALE é levado a H e DEN a L,

habilitando o 74LS373 que transporta os endereços A0-A7 para sua saída, mantendo-os enquanto o 74LS245 está desabilitado em tristate. Na "segunda remessa" da multiplexação do 8088 (validade de dados) ALE fica em L e DEN em H, desabilitando o 74LS373 que não transporta o novo byte para sua saída (mantendo o byte anterior A0-A7), enquanto o 74LS245 transporta para sua saída o novo byte D0-D7. Desta forma, na "segunda remessa" o sistema tem ao mesmo tempo endereços (A0-A19) e dados (DO-D7).

Após ser interrompido por um periférico o microprocessador deve enviar-lhe o sinal INTA ("interrupt acknowledgemente", reconhecimento de interrupção), para iniciar-se a rotina de interrupção. Este sinal é codificado como um dos estados de S0/S1/S2. Ao detectá-lo na decodificação o 8288 leva a nível L o pino 14-$\overline{INTA}$, que é ligado ao estágio de controle de interrupções (baseado no CI 8259).

CAPÍTULO 4
ROM

1- Habilitação

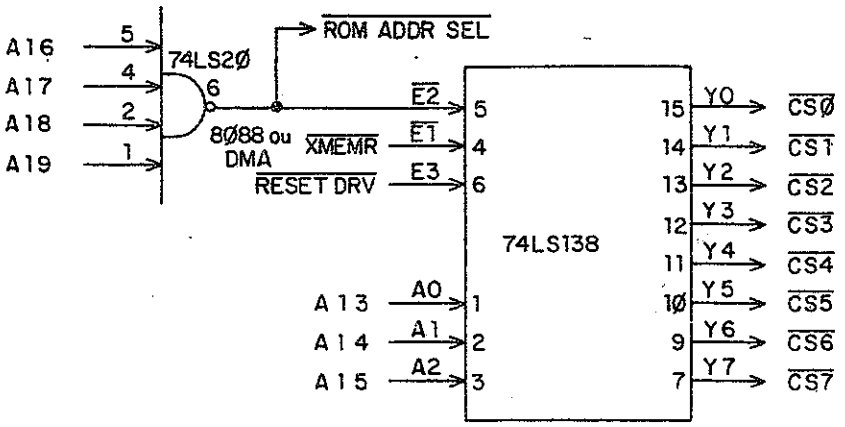
No projeto original da IBM tínhamos 5 CIS ROM de 8Kbytes cada, perfazendo 40Kbytes (32KB BASIC e 8KB BIOS). Posteriormente alterou-se para um único CI de 32Kbytes BASIC, mantendo o CI 8Kbytes BIOS, o que levou a pequenas alterações na lógica de seleção da memória ROM. Apresentaremos a versão original e em seguida as alterações.

Como a memória ROM está entre F0000H e FFFFFH ela será enderçada somente quando estiveram em nível H os terminais A19/A18/A17/A16, correspondendo ao F da posição MSB, ou seja HHHH XXXX XXXX XXXX XXXX onde 'X' representa nível H ou L que os terminais A15-A0 podem assumir.

Os terminais A19/A18/A17/A16 são entradas numa porta NAND (fig. 4-1). quando todos quatro estiverem em nível H aparecerá na saída pino 6 - $\overline{\text{ROM ADDR SEL}}$ ('ROM adress select', seleção de endereço de ROM) um sinal de nível L, habilitando a memória ROM. Se um dos terminais de entrada for nível L a saída será nível H, não habilitando a memória ROM.

Os terminais A16 até A19 habilitam memória ROM. A0 até A12 são usados para especificar um dos 8K endereços dentro de cada CI. A13-A14-A15 são combinados no decodificador 74LS138 (fig. 4-1) para selecionar um dos 8 CIS de 8Kbytes possíveis no espaço F0000H a FFFFFH reservado à ROM. A fig. 4-2 ilustra a composição de endereçamento ROM.

O CI decodificador é habilitado quando estão em nível L os pinos 5-$\overline{E2}$ ("enable 2", habilitaçao 2) e 4-$\overline{E1}$("enable 1"), e em nível H o pino 6-E3 ("enable 3"). Sem esta condição seus terminais de saída (Y0 a Y7) permanecem todos desabilitados em nível H. $\overline{E2}$ é ligado à saída da NAND, habilitando o decodificador quando $\overline{\text{ROM ADDR SEL}}$ está em nível L. E1 recebe $\overline{\text{XMEMR}}$ (que é o mesmo $\overline{\text{MEMR}}$, leitura de memória, gerado no 8088 ou seu equivalente emitido por periférico em DMA), habilitando o decodificador so



4-1 seleção de ROM

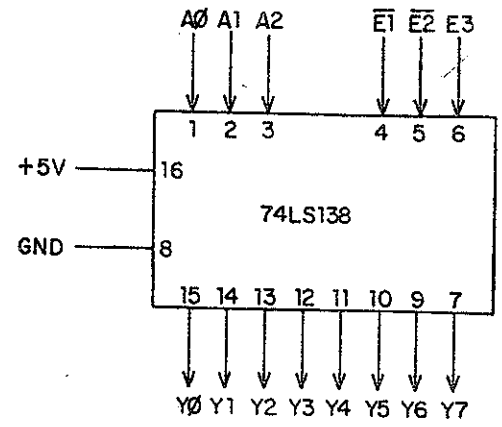
A19 A18 A17 A16	A15 A14 A13	A12 A11 A1Ø A9 A8 A7 A6 A5 A4 A3 A2 A1 AØ
HABILITAÇÃO DE ROM	SELEÇÃO DE UM DOS Ci_s ROM	ENDEREÇO DENTRO DO CI SELECIONADO (8 KBYTES)

4-2 endereçamento de ROM

mente para leitura de memória (na ROM não há escrita). E3 recebe $\overline{\text{RESET DRV}}$ (complemento de RESET), mantendo o decodificador desabilitado (nível L no pino 6) durante o reset.

Cada CI ROM está ligado a um terminal de saída do decodificador (Y0-Y7) e é selecionado quando sua ligação é levada a nível L. Este estado depende das entradas nos pinos 1-A0, 2-A1, 3-A2, conforme tabela na fig. 4-3. Observe que para cada combinação dos três pinos de entrada só haverá um terminal de saída em nível L. Por exemplo, quando A0=L/A1=H/A2=L (terceira linha na tabela) somente Y2 estará em nível L, selecionando o CI ROM ligado a ele (enquanto os outros permanecem desabilitados).

Os pinos 1, 2 e 3 do decodificador recebem A13, A14, e A15, respectivamente, formando os endereços da fig. 4-4 (no espaço reservado a



(A)

ENTRADAS			SAÍDAS							
AØ	A1	A2	YØ	Y1	Y2	Y3	Y4	Y5	Y6	Y7
L	L	L	L	H	H	H	H	H	H	H
H	L	L	H	L	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H
H	H	L	H	H	H	L	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	L	H	H
L	H	H	H	H	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H	L

(B)

4-3 CI 74LS138 (decoder/demultiplexer) (a) CI (b) lógica de entradas e saídas

ROM e considerando que A19/A18/A17/A16 estão em nível H).

2- ROM 5X8KBytes

O circuito ROM da versão original do PC-XT (com CIS ROM DE 8KBytes) é visto na fig. 4-5. Apesar de disponibilidade para 8 CIs são usados apenas 5, perfazendo o total de 40KBytes.

Cada CI é selecionado (no pino 20) pelo sinal $\overline{CS0}$ a $\overline{CS7}$ do decodificador, conforme a tabela da fig. 4-4. O último CI ($\overline{CS7}$) corresponde à ROM BIOS e os 4 primeiros ($\overline{CS0}/\overline{CS1}/\overline{CS2}/\overline{CS3}$) à ROM BASIC.

A barra de endereços (A0-A12, 8KBytes) entra pelos dois CIs 74LS244, buffer octal tristate (fig.4-6). Quando seus pinos 1 ($\overline{OE1}$) e 19 ($\overline{OE2}$) estão em nível L as entradas (I0 a I7) aparecem nas respectivas (Q0 a Q7); caso um destes dois pinos de habilitação esteja em nível H as saídas permanecerão em tristate.

O primeiro CI 74LS244 (com os enderços de A0 a A7) tem seus dois pinos de habilitação ligados ao sinal AEN recebido do circuito DMA. Em operações comandadas pelo microprocessador AEN é nível L e a barra A0-A7 é gerada no 8088 (veja fig. 3-1). Em operações DMA teremos AEN em nível H, bloqueando (tristate) este CI 74LS244, e os endereços de A0-A7 são gerados no controlador DMA sob o nome de XA0 a XA7. O segundo CI 74LS244 está permanenetemente habilitado, com os pinos 1 e 19 aterrados. Os endereços de A8 a A12 nas entradas deste segundo CI são gerados pelo 8088, mas em operações DMA o controlador de vias 8288 é bloqueado e eles são substituidos por A8 a A12 gerados no controlador de DMA.

A barra de dados D0 a D7 para a ROM é acoplada pelo CI 74LS245 (reveja fig. 3-3). O pino 19-$\overline{CE}$ deste CI também é ligado ao sinal AEN, o que o habilita durante operações não DMA (AEN em nível L). Na leitura de ROM os sinais $\overline{ROM\ ADDR\ SEL}$ e $\overline{MEMR}$ entram em nível L na primeira porta NOR (74LS02), aparecendo como nível H na segunda NOR, cuja saída será nível L, que entrando no pino 1-S/$\overline{R}$ do 74LS245 direciona os dados da ROM (à direita, B0-B7) para o microprocessador (à esquerda A0–A7).

Em operações DMA o CI 74LS245 é desabilitado (pino 19-$\overline{CE}$, ligado a AEN, em nível H), permanecendo em tristate e a barra de dados (XD0 a XD7) passa a ser comandada pelo controlador DMA.

A parte baixa do mapa IO (veja fig. 1-4), de 000H a 0A0H, é caracterizada pelo MSB igual a zero, o que equivale ao terminal de endereço A9 em nívelL (LX XXXX XXXX). A parte superior (de 200H a 3FFH) é determinada por A9 em nível H (HX XXXX XXXX), para formar o '2' ou '3' do MSB. Assim, com A9 e $\overline{IOR}$ em nível L temos entrada de dados (XDO-XD7) gerados nas posições de 0003H a 0A0H do mapa IO.

O mesmo CI 74LS245 é usado para leitura de ROM e essa entrada de dados IO. $\overline{IOR}$ e A9 entram na primeira NOR e se ambos estiverem em nível L provocarão um sinal nível H na saída, que é a entrada da segunda NOR, cuja saída apresentará nível L, direcionando os dados no 74LS245 da direita (B0-B7) para a esquerda (A0-A7).

Para saída IO de dados o sinal $\overline{IOR}$ estará em nível H (desabilitado), o que provocará saída nível L na primeira NOR(independente de A9), que juntamente com o nível L da outra NOR de $\overline{ROM\ ADDR\ SEL}$ e $\overline{MEMR}$ (ambos estarão em nível H, desabilitados), resultará em nível H na segunda NOR, o que direcionará os dados do 74LS245 da esquerda (A0-A7) para a direita (BO-B7).

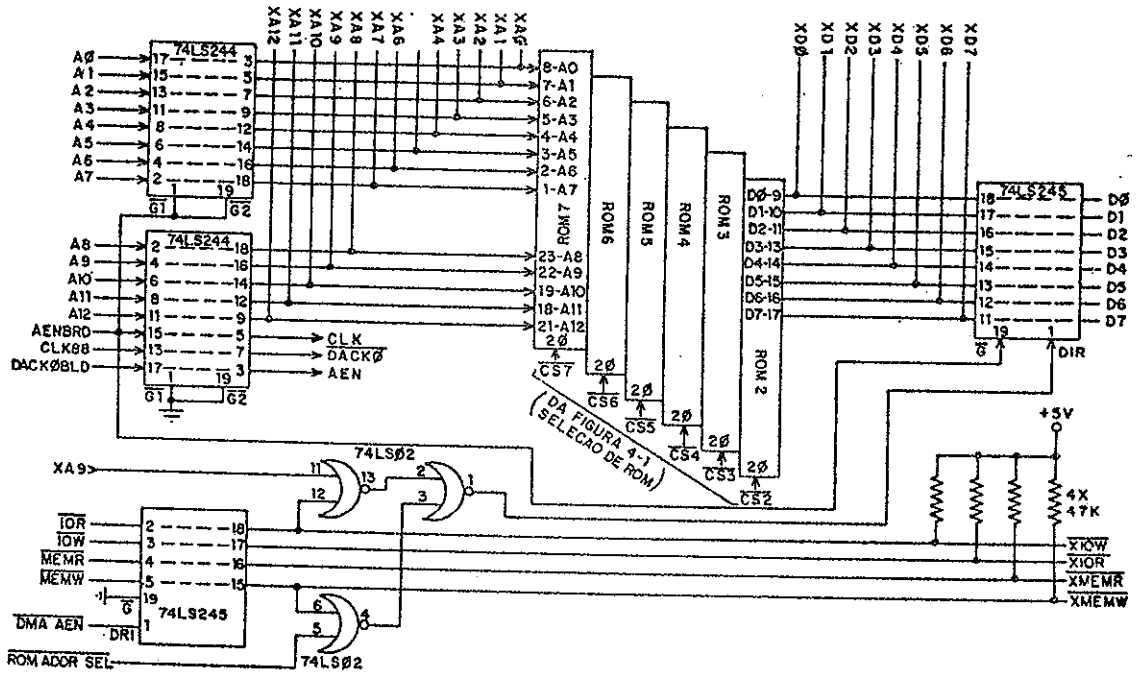
Os CIs em que se baseiam os outros estágios (8237, 8259, 8253, 8255) estão ligados à barra XD0-XD7, podendo assim trocar dados com o microprocessador no sitema IO através do CI 74LS245. Neste caso a memória ROM estarádesabilitada, pois o sinal $\overline{ROM\ ADDR\ SEL}$ (que ativa o pino 5-$\overline{E2}$ do 74LS138 de seleção de ROM, fig. 4-1) estará em nível H.

3- ROM 32Kbytes+8Kbytes

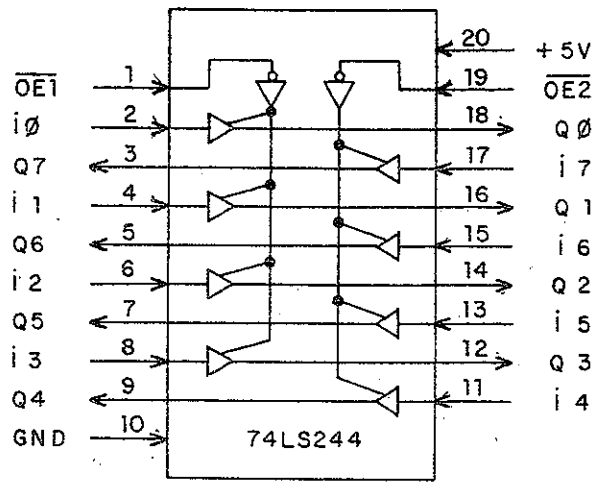
Na versão com apenas dois CIs ROM , um de 32Kbytes - BASIC e o outro 8Kbytes - BIOS, não é preciso qualquer alteração no endereçamento deste último, que é selecionado por $\overline{CS7}$ na posição 1.016K a 1.024K (fig.4-4).

4-4 endereços de Cls ROM (com A19/A18/A17/A16=H)

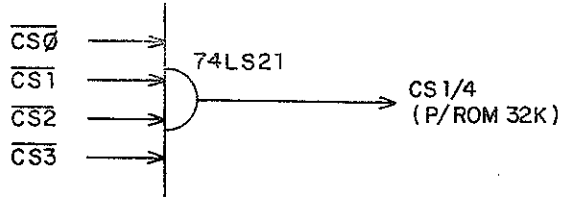
ENTRADAS			ENDEREÇO BINÁRIO	ENDEREÇO DECIMAL	SAÍDA SELECIONADA
A13	A14	A15			
L	L	L	1111 ØØØX XXXX XXXX XXXX	96ØK - 968K	YØ
H	L	L	1111 1ØØX XXXX XXXX XXXX	968K - 976K	Y1
L	H	L	1111 Ø1ØX XXXX XXXX XXXX	976K - 984K	Y2
H	H	L	1111 11ØX XXXX XXXX XXXX	984K - 992K	Y3
L	L	H	1111 ØØ1X XXXX XXXX XXXX	992K - 1ØØØK	Y4
H	L	H	1111 1Ø1X XXXX XXXX XXXX	1ØØØK - 1ØØ8K	Y5
L	H	H	1111 Ø11X XXXX XXXX XXXX	1ØØ8K - 1Ø16K	Y6
H	H	H	1111 111X XXXX XXXX XXXX	1Ø16K - 1Ø24K	Y7

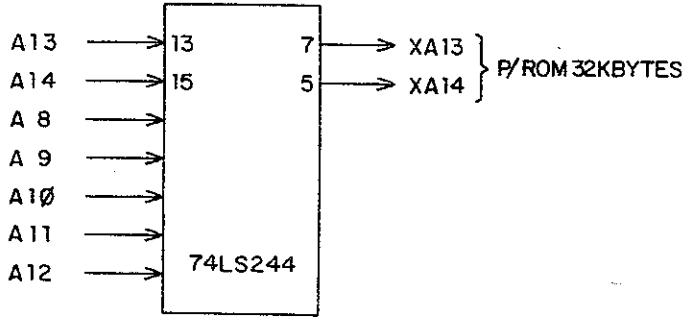


4-5 circuito ROM 5X8KBytes



4-6 CI 74LS244 (buffer octal tristate)





4-7 alteração para endereçamento de ROM 32KBytes-BASIC

Entretanto, o CI DE 32Kbytes fica na posição 960K a 992K, ocupando o espaço de quatro CIs de 8 Kbytes. Por isso deve ser habilitada por qualquer um dos sinais de seleção $\overline{CSX}$ correspondentes aos quatro CIs de 8KBytes. Uma maneira simples é combinar $\overline{CS0}$ - $\overline{CS1}$ - $\overline{CS2}$ - $\overline{CS3}$ numa AND 74LS21 (fig. 4-7).

Além disso é necessário conectar a ROM os terminais A13 e A14, formando a barra A0 a A14 com capacidade de endereçamento de 32Kbytes. Entretanto, A13 e A14 devem passar pelo mesmo controle lógico já visto par A8 a A12, sendo por isso ligados à entrada do mesmo 74LS244 que os recebe.

CAPÍTULO 5
RAM

1- Habilitação de RAM

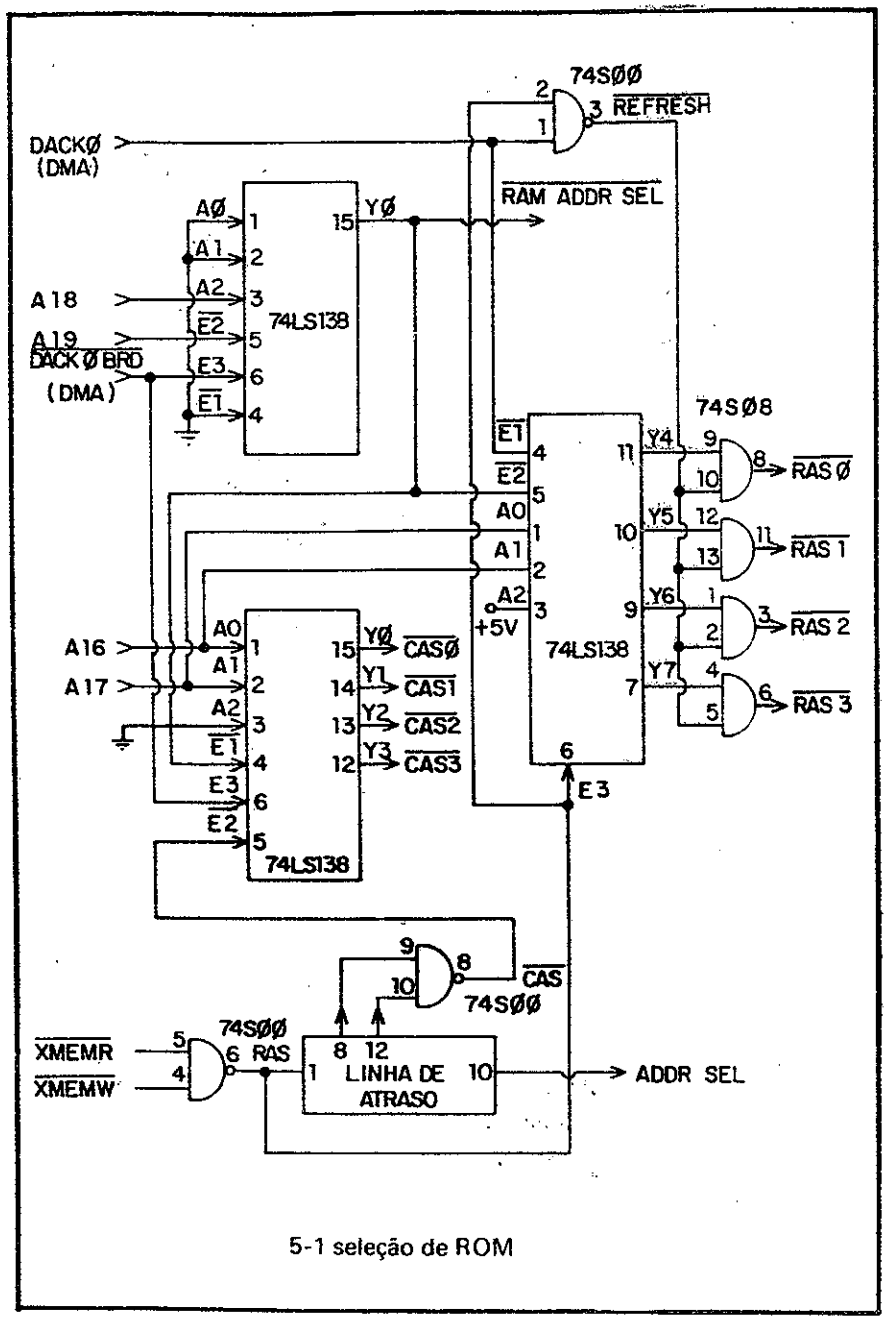
As 256K posições reservadas à RAM do sistema (afora a expansão nos slots) estão nos endereços de zero a 256K (em hexadecimal 0000H até 3FFFFH). Isso corresponde a manter os pinos A18 e A19 em nível L para habilitar a RAM: LLXX XXXX XXXX XXXX XXXX (onde X pode assumir nível H ou L).

No circuito de seleção da RAM (fig. 5-1) é usado o decoder 74LS138 (reveja seu esquema na fig. 4-3). Seu pino 6-E3 recebe do estágio DMA o sinal $\overline{DACK \emptyset BRD}$ durante o refrescamento de memória dinâmica, ativo em nível L, o que desabilita o CI durante essas operações.

Com os pinos 1-A0, 2-A1 e 4-$\overline{E1}$ aterrados basta levar a nível L os pinos 3-A2 e 5-$\overline{E2}$ para que seja geradado um sinal nível L no pino 15-Yo (primeira linha na tabela da fig. 4-3b). Como estes dois pinos recebem os terminais de endereços A19 e A18, ao se endereçar uma das 256K posições da RAM (não expansão) é gerado o sinal nível L $\overline{RAM\ ADD\ SEL}$ ("RAM address select", seleção de endereço de RAM) que habilita todo estagio RAM. Com o pino 15-Y0 $\overline{RAM\ ADDR\ SEL}$ em nível H o circuito de memória RAM permanece desativado.

Em cada CI-RAM posições internas (de zero a 64K) usam o sitema de multiplexação, possibilitando o uso de apenas 8 pinos de endereço (A0 até A7). Quando o CI recebe o sinal $\overline{RAS}$ ("row address strobe", impulso de fileira de endereço) os níveis captados nos pinos de endereço valem como A0 até A7. Em seguida o terminal $\overline{RAS}$ é levado a nível H (desativado) e o CI recebe $\overline{CAS}$ ("column address strobe", impulso de coluna de endereço); agora os mesmos pinos de endereço passam a ter a validade de A8 até A15, completando a barra de 16 terminais (A0-A15) necessária para endereçar a capacidade de 64K de cada CI RAM.

Para atingir o total de 256Kbytes de memória RAM são usados



5-1 seleção de ROM

4 bancos de 64K (o primeiro é obrigatório, os outros opcionais):

VEJA TABELA NA PAG. 258

A diferenciação de endereços dos 4 bancos está no número hexadecimal à esquerda, (MSB hexadecimal), sendo: BANKØ-Ø, BANK1-1, BANK2-2, BANK3-3 (confira na tabela anterior); os números hexadecimais restantes (à direita) determinam uma das 64K posições dentro do CI. Entretanto, o MSB hexadecimal de zero a 3 é determinado pelos pinos de endereço A17 e A16, desde que A18 e A19 sejam mantidos em nível L (fig. 5-2):

O circuito de seleção de bancos (fig. 5-1) utiliza dois decoders 74LS138 (reveja fig. 4-3). Ambos são habilitados pelo sinal $\overline{\text{RAM ADDR SEL}}$ (que só é nível L quando A19 e A18 estão em nível L), o decoder $\overline{\text{RAS}}$ no pino 5-$\overline{\text{E2}}$ e o decoder $\overline{\text{CAS}}$ no pino 4-$\overline{\text{E1}}$.

Os bancos devem ser ativados durante uma operação de leitura ou escrita de memória, sinalizadas por $\overline{\text{XMEMR}}$ ou $\overline{\text{XMEMW}}$, respectivamente. Estes dois sinais são combinados numa NAND, de maneira que quando um deles estiver ativo em nível L será gerado o sinal RAS nível H para o pino 6-E3 do decoder $\overline{\text{RAS}}$, habilitando-o. Este CI finalmente estará habilitado quando seu pino 4-$\overline{\text{E1}}$ receber do DMA o sinal DACK0 em nível H, o que ocorre fora das operações de refrescamento.

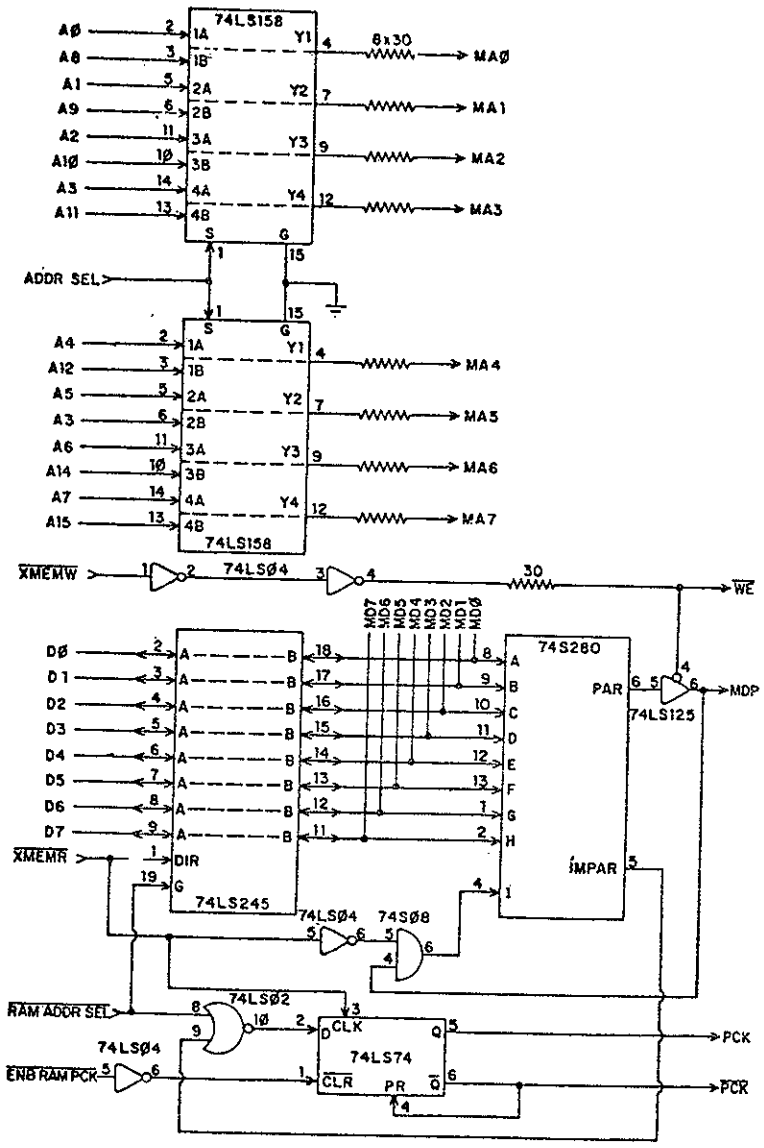
Devidamente habilitado nos terminais $\overline{\text{E1}}$ - $\overline{\text{E2}}$ - E3 o decoder $\overline{\text{RAS}}$ levará a nível L um dos pinos de saída Y0-Y7 de acordo com as entradas nos pinos 1-A0, 2-A1 e 3-A2. O pino 3-A2 é mantido em nível H (+5Volts), o que leva a seleção apenas de saídas Y4-Y7.

Os níveis de A17 e A16, ligados aos pinos 1-A0 e 2-A1, determinam qual das saídas Y4-Y7 será levada a nível L (reveja tabela na fig. 4-3b), a qual entra numa das portas AND e gera um dos sinais $\overline{\text{RASØ}}$, $\overline{\text{RAS1}}$, $\overline{\text{RAS2}}$ e $\overline{\text{RAS3}}$.

O mesmo sinal RAS saído da porta NAND que habilitou o decoder $\overline{\text{RAS}}$ entra pelo pino 1 de uma linha de atraso TDL ("time delay line") e alguns monosegundos após aparece nas saídas pinos 12 e 8, ambos em nível

BANCO	ENDEREÇO BINÁRIO					SINAIS DE SELEÇÃO
	A19	A18	A17	A16	A15 - AØ	
BANK Ø	L	L	L	L	XXXX XXXX XXXX XXXX	$\overline{RAS}$Ø - $\overline{CAS}$Ø
BANK 1	L	L	L	H	XXXX XXXX XXXX XXXX	$\overline{RAS}$ 1 - $\overline{CAS}$ 1
BANK 2	L	L	H	L	XXXX XXXX XXXX XXXX	$\overline{RAS}$ 2 - $\overline{CAS}$ 2
BANK 3	L	L	H	H	XXXX XXXX XXXX XXXX	$\overline{RAS}$ 3 - $\overline{CAS}$ 3

5-2 seleção de bancos RAM



5-3 circuito de controles RAM

H, formando na saída da outra NAND o sinal $\overline{CAS}$. Com esse artifício consegue-se habilitar ($\overline{RAS}$) os endereços A0-A7 do CI RAM e alguns nonosegundos após osendereçosA8-A15 ($\overline{CAS}$).

O sinal $\overline{CAS}$ entra no pino 5-$\overline{E2}$ do decoder $\overline{CAS}$, habilitando-o juntamente com $\overline{RAM\ ADDR\ SEL}$ no pino 5-$\overline{E1}$. O último sinal de habilitação é $\overline{DACK\ 0\ BRD}$ no pino 6-E3, que fica em nível L durante refrescamento de memória, desativando o decoder nesta operação.

O pino 3-A2 do decoder $\overline{CAS}$ é mantido aterrado, de maneira que somente as saídas Y0 a Y3 serão ativadas. Os níveis dos terminais de endereço A16-A17, ligados aos pinos 1-A0 e 2-A1, determinam qual das saídas-será levada a nível L (da mesma forma que no decoder $\overline{RAS}$; reveja tabela da fig. 4-3b), resultando um dos sinais $\overline{CAS0}$, $\overline{CAS1}$, $\overline{CAS2}$, $\overline{CAS3}$. Note que o número do $\overline{CAS}$ será o mesmo do $\overline{RAS}$ ($\overline{CAS0}$ e $\overline{RAS0}$, $\overline{CAS1}$ e $\overline{RAS1}$, $\overline{CAS2}$ e $\overline{RAS2}$, $\overline{CAS3}$ e $\overline{RAS3}$) apenas atrasado alguns nonosegundos.

O sinal ADDR SEL gerado no pino 10 da linha de atraso é usado na multiplexação de endereços RAM, como veremos a seguir.

2- Refrescamento de RAM ("refresh")

O refresh inicia-se no timer (CI 8253) que periodicamente solicita uma falsa DMA, emitindo o sinal DRQ0 ("DMA request 0", requisição de DMA-0) para o controlador de DMA (CI8237).

Quando recebe do microprocessador o reconhecimento de DMA-0 o controlador 8237 emite em nível L o sinal $\overline{DACK\emptyset\ BRD}$, que bloqueia os dois decoders ($\overline{RAS}$ e $\overline{CAS}$) da RAM. Este sinal passa por uma inversora e aparece como DACK0, ativo em nível H durante o refresh.

Com DACK0 em nível H o controlador 8237 ativa em nível L o terminal $\overline{XMEMW}$, gerando na NAND o sinal RAS. Este entra na NAND juntamente com DACK0, ambos em nível H, resultando o sinal $\overline{REFRESH}$ em nível L que é ligado às entradas das quatro portas AND, gerando simultaneamente os sinais $\overline{RAS\emptyset}$, $\overline{RAS1}$, $\overline{RAS2}$, e $\overline{RAS3}$, todos em nível L, o que pro

vocará automaticamente o refrescamento dos Cis RAM (pela ativação de seus circuitos internos).

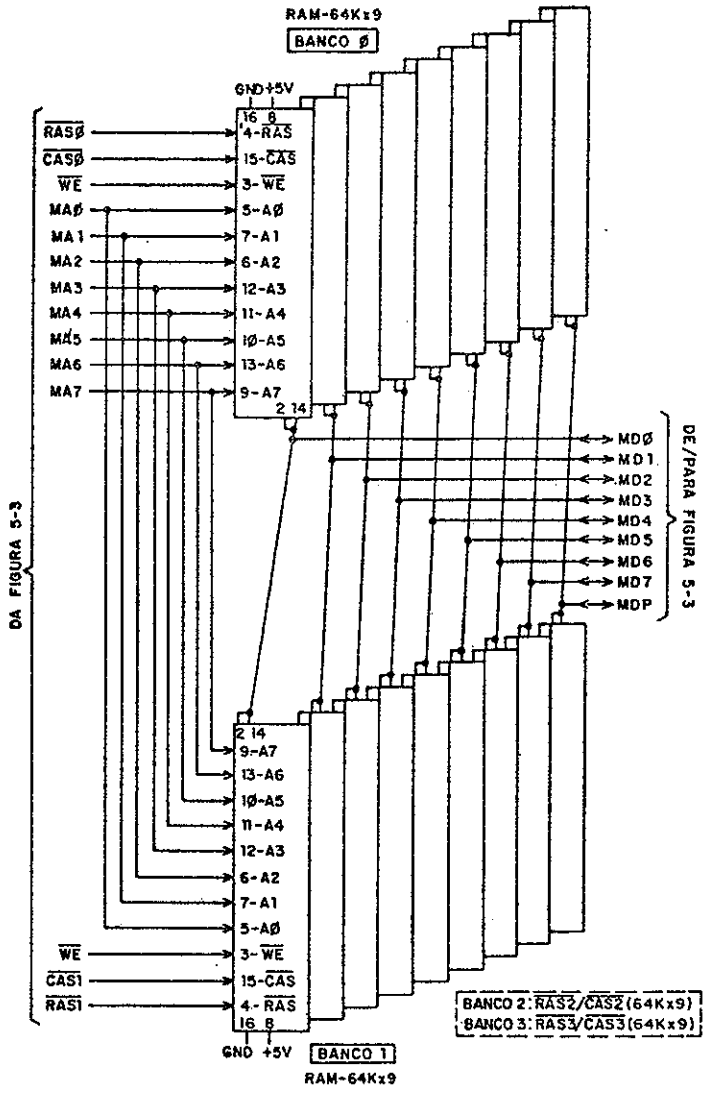
3- Circuito de Bancos de Memória

O circuito de controles RAM é visto na fig. 5-3 e os bancos RAM na fig. 5-4. Estes circuitos complementam a fig. 5-1 de seleção da memória RAM.

O CI RAM armazena apenas 1 bit de dado em cada endereço, que fica disponível nos pinos 2 e 14 para gravação ou leitura. Para completar a barra de 8 bits (1 byte) são necessários 8 CIS, o 1ºCI armazenando D0, 2º CI-D1, 3ºCI-D2, 4ºCI-D3, 5ºCI-D4, 6ºCI-D5, 7ºCI-D6, 8ºCI-D7. O 9ºCI (que corresponderia a D8) é usado para armazenar o bit de paridade.

Os 9 CIS de um banco têm os respectivos pinos ligados às mesmas entradas e saídas, exceto os pinos 2 e 14 de dados. Assim, todo o conjuto de um banco é habilitado ou desabilitado simultaneamente.

Os 16 terminais de endereços (A0-A15) que o CI RAM necessita para endereçar suas 64K posições internas aparecem simultaneamente na barra de endereços (gerados pelo microporcessador ou pelo controlador DMA) e entram pelos pinos de dois CIS multiplexer 74LS158 (fig. 5-5). Estes estão permanentemente habilitados com o pino 15-$\overline{E}$ aterrado. Quando seu pino 1-S (seleção) está em nível L as entradas C (C1, C2, C3, C4) aparecerão invertidas nas respectivas saídas Y (Y1, Y2, Y3, Y4). Mas se S estiver em nível H as saídas apresentarão as entradas B (B1, B2, B3, B4) invertidas. Os bits de endereço A0-A7 - byte inferior - são ligados às entradas C e o byte superior A8-A15 às entradas B, enquanto o pino 1-S recebe o sinal ADDR SEL do circuito de seleção de RAM (fig. 5-1). Logo que a RAM é ativada por $\overline{XMEMW}$ ou $\overline{XMEMR}$ o sinal RAS é levado a nível H, mas sua saída no pino 10-ADDR SEL da linha de atraso permanece durante alguns nonosegundos em nível L, selecionando as entradas B nos dois multiplexers 74LS158; assim neste momento chegam à RAM os bits A0-A7, ao mesmo tempo que $\overline{RAS}$. Após 75 nonosegundos de atraso de programação o pino 10-ADDR SEL da linha de atraso é levado a nível H (seguindo $\overline{RAS}$), o que fará os dois multiplexers



5-4 bancos RAM

apresentarem as entradas B invertidas nas saídas Y; agora a RAM recebe A8-A15, juntamente com $\overline{CAS}$. Os circuitos internos do CI RAM se encarregam de multiplexar os bytes A0-A7, A8-A15 e os controles $\overline{RAS}$ e $\overline{CAS}$, formando o endereço A0-A15 que determina uma de suas 64K posições.

Com o pino 3-$\overline{WE}$ ("write enable", habilitação de escrita) em nível L há gravação de dados (bit entrando no CI) e em nível H leitura (bit saindo do CI). O sinal $\overline{WE}$ é derivado de $\overline{XMEMW}$ gerado no 8088 através do controlador de barras ou diretamente no controlador DMA (note que a dupla negação nas duas portas inversoras não tem efeito lógico - o nível de $\overline{XMEMW}$ é o mesmo de $\overline{WE}$ - e estas servem apenas paraaumentara corrente elétrica do sinal).

O byte de dados da RAM (MD0 a MD7) é ligado à barra de dados através do CI 74LS245 - transceiver octal tristate (reveja fig. 3-3). Seu pino 19-$\overline{CE}$ recebe o sinal $\overline{RAM\ ADDR\ SEL}$, que o habilita somente para endereços RAM (A19 e A18 em nível L, conforme fig. 5-1), mantendo-o em tristate no demais casos. O pino 1-S/$\overline{R}$ recebe $\overline{XMEMR}$, que é ativo nível L em operações de leitura - trazendo o byte de dados da RAM para a barra - e desativado nível H para escrita - levando o byte da barra para os CIS RAM.

4- Checagem de Paridade

O circuito de checagem de paridade é baseado no CI 74LS280 - GERADOR/CHECKER DE PARIDADE PAR OU ÍMPAR (fig. 5-3). Ele recebe os 9 bits nas entradas A, B, C, D, E, F, G, H e I, emitindo um sinal nível H no pino 6- EVEN (par) se a soma dos bits em nível H for par ou sinal nível L se a soma não for par. A saída no pino 5-ODD (ímpar) é o inverso da anterior, sendo nível H quando a soma for ímpar e nível L para soma par.

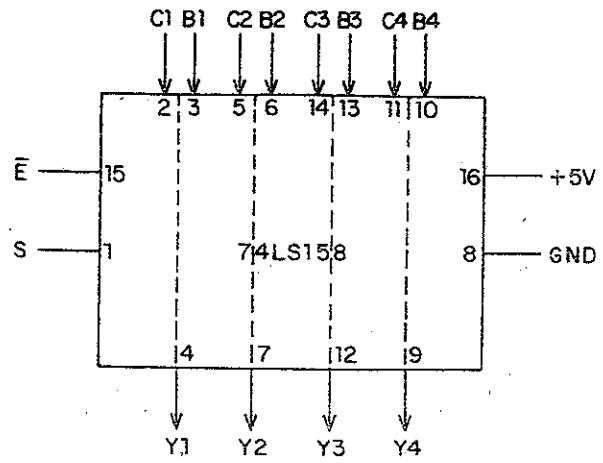
As entradas são ocupadas pela barra de dados da memória (MD0 a MD7) e no pino I de uma derivação de $\overline{XMEMR}$. A saída do bit de paridade a ser gravado como 9º bit de dado - denominado MDP ("memory data parity", paridade dados da memória) é obtida do pino 6 - EVEN (portanto nível H quando a soma for par), passando antes pelo buffer tristate 74LS125 que só o libera se $\overline{WE}$ (o mesmo que $\overline{XMEMW}$) estiver em nível L, ou seja em

operações de escrita de memória. Nestas operaçoes $\overline{XMEMR}$ está em nível H, saindo como nível L da inversora 74LS04, o que resulta nível L na saída da porta AND, sinal este que ao entrar no pino 4-I do gerador de paridade não tem qualquer efeito na checagem da paridade dos 8 bits de dados. Em resumo, nas operações de escrita é gravado no 9º CI RAM um bit H quando a soma do byte sendo gravado for par, e bit L quando for ímpar. Com isso a soma dos 9 bits de qualquer endereço na RAM deverá ser ímpar, nos dois casos possíveis:

*(SOMA PAR) + (MDP = H) = NÚMERO ÍMPAR
*(SOMA ÍMPAR) + (MDP = L) = NÚMERO ÍMPAR
(lembrando que H=1 e L=0).

Em operações de leitura de memória $\overline{XMEMR}$ está em nível L, que na saída da inversora aparece como nível H da AND; a saída desta agora passa a ser o mesmo nível do MDP obtido do 9º CI RAM. Ou seja, durante a leitura o MDP é somado no gerador juntamente com os 8 bits de dados e se tudo estiver correto a soma resultará nível L no pino 6-EVEN e nível H no pino 5-ODD. Deste último parte uma ligação para a entrada da NOR 74LS02, juntamente com $\overline{RAM\ ADDR\ SEL}$. Se o pino 5-ODD for nível H (paridade correta) a saída da NOR será nível L, que entrando no pino 2-D ("datum", dado) do flip-flop 74LS74 aparecerá como nível H no seu pino 6-$\overline{Q}$, que é enviado como $\overline{PCK}$ ("parity check") ao circuito NMI do processador, não o ativando. Mas se a paridade estiver errada o pino 5-ODD será nível L, aparecendo como nível H na entrada do flip-flop e nível L no seu pino 6-$\overline{Q}$, fazendo $\overline{PCK}$ nível L, o que ativará a interrupção NMI do microprocessador, que executará uma rotina tratando do erro.

Do pino 5-Q do flip-flop sai o sinal PCK (complemento de $\overline{PCK}$) para o PPI - 8255, que poderá aproveitá-lo nas operações IO. O PPI - 8255 poderá também desabilitar o processo de checagem de paridade ao emitir o sinal $\overline{ENB\ RAM\ PCK}$ ("enable RAM PCK", habilite RAM PCK) em nível H (desativado), que invertido na inversora 74LS04 aparecerá como nível L no pino1 -$\overline{CLR}$ ("clear, limpa) do flip-flop, o que obrigará o pino 6-$\overline{Q}$ a ficar em nível H, não ativando NMI.



5-5 multiplexer inversor 74LS158

BANCO	ENDEREÇO	END. HEXAD.	SELEÇÃO
BANCO 0	0-64K	00000-0FFFF	$\overline{RAS0}$-$\overline{CAS0}$
BANK 1	64K-128K	10000-1FFFF	$\overline{RAS1}$-$\overline{CAS1}$
BANK 2	128K-192K	20000-2FFFF	$\overline{RAS2}$-$\overline{CAS2}$
BANK 3	192K-256K	30000-3FFFF	$\overline{RAS3}$-$\overline{CAS3}$

CAPÍTULO 6
DMA

1- Seleção de Periféricos

A fig. 6-1 apresenta o circuito de seleção de DMA e IO que se encontram nos endereços do mapa IO da fig. 1-4. Todos eles têm o dígito hexadecimal mais significativo (último à esquerda) igual a zero, correspondendo a A8 e A9 em nível L:
LL XXXX XXXX (binário).

O circuito é baseado no decoder 74LS138 (reveja fig. 4-3). Os endereços são registrados antecedidos por um 'X' pois são obtidos na saída do buffer 74LS244 da fig. 4-5. Nas operações DMA o decoder é desativado pelo sinal $\overline{AEN}$ em nível L no pio 6-E3. XA8 e XA9 são ligados aos pinos 4-$\overline{E1}$ e 5-$\overline{E2}$ e quando ambos estão em nível L (compondo o endereço LL XXXX XXXX)habilitam o decoder.

XA5, XA6 e XA7 são conectados aos pinos 1-A0, 2-A1 e 3-A2, e conforme seus níveis ativa-se uma das saídas Y0-Y5 (reveja tabela 4-3). $\overline{DMA\ CS}$ ("DMA chip select", seleção de chip DMA) habilita o CI 8237 controlador de DMA. $\overline{INTR\ CS}$ habilita o CI 8259 PIC. $\overline{T/C\ CS}$ habilita o CI 8253-PIT. $\overline{PPI\ CS}$ habilita o CI 8255-PPI. Note que o endereçamento XA5-XA9 é compatível com os endereços do mapa IO, bastando acrescentar XA0-XA4.

Quando é endereçada a saída IO ($\overline{XIOW}$ em nível L) na posição 080H-083H teremos Y4 ativado em nível L e entrando na NOR juntamente com $\overline{XIOW}$, gerando o sinal $\overline{WRT\ DMA\ PG\ REG}$ ("write DMA page registers", escrita nos registros de página DMA) que ativa a gravação de dados no CI 74LS670, o qual mantém o registro de páginas (endereços A16-A19) DMA.

Com o endereçamento $\overline{IOW}$ 0A0H será ativado em nível L a saída Y5, que combinada com $\overline{XIOW}$ nas duas portas NOR gera o sinal $\overline{WRT\ NMI\ REG}$ ("write NMI register", escrita no registro NMI) que ativará a interrupção NMI do 8088.

A tabela da fig. 6-2 apresenta em maiores detalhes o endereçamento XA5-XA9, com base no mapa IO da fig. 1-4.

2- Sinais de Controle DMA

Para execução de operações DMA são necessários vários sinais gerados no controlador de DMA 8237 ou comandando-o. A fig. 6-3 apresenta os circuitos destes sinais (e de alguns outros referentes acontroles).

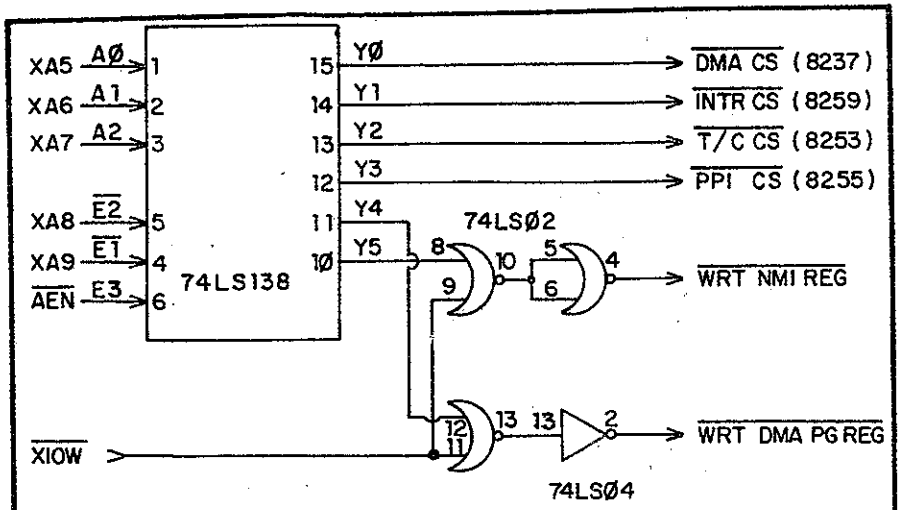
Após receber um pedido de DMA o controlador 8237 emite o sinal nível L $\overline{MRQ}$ $\overline{DMA}$ ("memory request DMA", requisição de memória DMA) que entrando na NAND 74LS00 provoca nível H na sua saída, a qual é ligada à outra NAND. Se nesta última todas entradas ($\overline{S0}$, $\overline{S1}$, $\overline{S2}$, $\overline{LOCK}$) estiverem em nível H, além de $\overline{MRQ\ DMA}$ invertida, sua saída será nível L, que após invertida no 74LS04 entra como nível H no pino 13-D3 do terceiro flip-flop do 74LS175. Após o pulso de clock este nível H é trasmitido para a saída no pino 15-Q3 e entra no pino 2-D do flip-flop 74LS74, aparecendo na respectiva saída pino 5-Q como nível H, que é o sinal HOLDA ("hold acknow ledgement" , reconhecimento de hold) informando ao controlador 8237 que a DMA foi reconhecida. Este mesmo nível H saindo do pino 5-Q entra no pino 4-D0 do primeiro flip-flop do 74LS175, aparecendo na saída pino 2-Q0 como nível H AEN BRD e pino 3-$\overline{Q\emptyset}$ como nível L $\overline{AEN}$. AEN BRD e $\overline{AEN}$ são usados no controlador de barras 8288 e no circuito de memória para bloquear as barras do microprocessador, deixando-as sob controle do controlador de DMA 8237. Além disso o sinal AEN BRD em nível H é ligado ao pino 5-D1 do segundo flip-flop do 74LS175, aparecendo no pino 6-$\overline{Q1}$ como $\overline{DMA\ WAIT}$ (aguarde DMA) em nível L que sinalizará ao gerador de clock 8284 para manter o 8088 em estado de espera (READY em nível L). AEN BRD e o complemento de $\overline{DMA\ WAIT}$, ambos em nível H, são combinados na porta AND 74S08 e o resultado invertido na NOR 74LS02, gerando o sinal $\overline{DMA\ AEN}$ em nível L usado no controlador DMA e no circuito de memória.

Quando o controlador 8237 não está solicitando as barras, portanto $\overline{MRQ}$ $\overline{DMA}$ em nível H, a saída da NAND será nível L, entrando no pino 1 - CLR ("clear", limpa) do flip-flop 74LS74, o que reseta seu pino 5-Q, levando-o a nível L e desabilitando todos os outros sinais de DMA (HOLDA nível L, $\overline{DMA\ WAIT}$ nível H, $\overline{AEN}$ nível H, AEN BRD nível L, $\overline{DMA\ AEN}$ nível H).

Durante a DMA se o periférico não está preparado para a transferência de dados ele leva a nível L o sinal IO CH RDY ("IO channel read", canal IO preparado), que entrando no pino 10-PR do flip-flop 74S74 o coloca em estado setado com o pino 9-Q em nível H. Esta saída é enviada como sinal nível H $\overline{RDY}$/WAIT ("ready/wait", preparado/espere) para o gerador de clock 8284, fazendo-o retardar o microprocessador (estado READY desativado). Ao mesmo tempo o nível H do pino 9-Q entra no pino 12-D2 do segundo flip-flop do 74LS175 (os outros três flip-flops deste CI foram usados na habilitação de DMA), aparecendo como nível L no seu pino 11-$\overline{Q2}$, que entrando na AND 74S08 gera na sua saída o sinal RDY TO DMA ("ready to DMA", preparado para DMA) desativado em nível L, que enviado ao controlador 8237 informa-o que o periférico ainda não está preparado para a transferência de dados.

Quando o periférico está pronto para transferência de dados ele mantem em nível H o sinal IO CH RDY, desativando o set direto no pino 10-PR do flip-flop 74S74. Entretanto ele entrará no estado de set (pino 9-Q) em nível H) de qualquer maneira, pois seu pino 12-D é mantido em nível H (+5Volts). Mas no ciclo seguinte este nível H é transmitido para o pino 12-D2 do 74LS175, aparecendo como nível L no seu pino 11-$\overline{Q2}$, que ligado ao pino 13-CLR do 74S74 o leva ao reset (pino 9-Q em nível L), sinalizando $\overline{RDY}$/WAIT em nível L, indicando que o periférico está preparado pra a transferência. Em consequência, RDY TO DMA é levado a nível H (complemento do nível L do pino 10-Q2 do 74LS175)

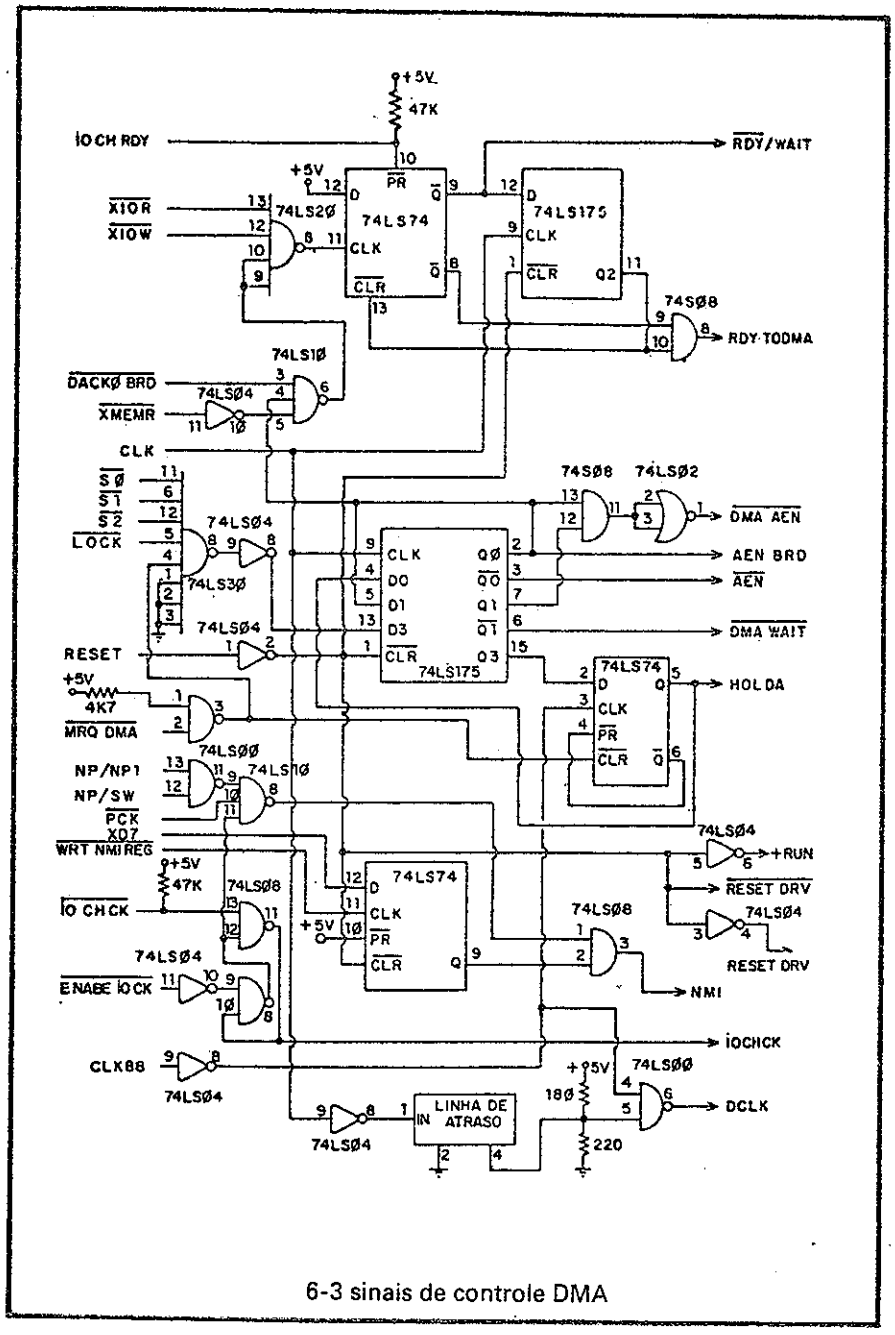
A transferência do dado do pino 12-D par o pino 9-Q (ou seu complemento no pino 8-$\overline{Q}$) do 74S74 ocorre durante a transição de nível L para H do pino 11-CLK ("clock"). Este é gatilhado pela porta NAND 74LS20. Quando uma de suas entradas $\overline{XIOR}$ ou $\overline{XIOW}$ (portanto, em operações IO) é ativada em nível L a saída da NAND é levada a nível H, produzindo a transição de clock. Para operações DMA-AEN BRD em nível H - de leitura de memória - $\overline{XMEMR}$ em nível L invertida pelo 74LS04 - e que não seja refresh - $\overline{DACK\emptyset BRD}$ em nível H - todas as entradas da NAND 74LS10 estarão em nível H, produzindo um pulso negativo na outra NAND 74LS20 que gatilhará a transição do clock.



6-1 circuito de seleção de DMA e IO

ENDEREÇO				SELEÇÃO DE CI
BINÁRIO (H=1/L=Ø)			HEXADECIMAL	
A11/A10/A9/A8	A7 A6 A5 A4	A3 A2 A1 AØ		
LLLL	L L L L	X X X X	ØØØ-ØØF	8237
	L L H L	L L L X	Ø2Ø-Ø21	8259
	L H L L	L L X X	Ø4Ø-Ø43	8253
	L H H L	L L X X	Ø6Ø-Ø63	8255
	H L L L	L L X X	Ø8Ø-Ø83	74LS67Ø
	H L H L	L L L L	ØAØ	NMI

6-2 tabela de endereçamento DMA e IO



6-3 sinais de controle DMA

3- Controlador de DMA 8237

O circuito do controlador DMA é visto na fig. 6-4. O 8237 é habilitado pelos sinais $\overline{\text{DMA CS}}$ em nível L, RDY TO DMA em nível H, HOLDA em nível H e sincronizado por DCLK. Estes sinais são gerados nos circuitos da fig. 6-3 estudado na seção anterior.

O periférico pede DMA levando a nível H os terminais DRQ ("DMA request", requisição de DMA) - DRQ1, DRQ2, DRQ3; DRQ0 é reservado para refresh. O controlador então coloca em nível H o pino 10-MRQ, que invertido no 74LS04 transforma-se em $\overline{\text{MRQ DMA}}$ ("memory request DMA", requisição de memória DMA) ativo em nível L, que será processado pelo circuito da fig. 6-3. Quando o 8088 concede a DMA são gerados os sinais de habilitação ($\overline{\text{DMA CS}}$, RDY TO DMA, HOLDA) e o 8037 assume o controle dos terminais $\overline{\text{XIOR}}$, $\overline{\text{XIOW}}$, $\overline{\text{XMEMR}}$, $\overline{\text{XMEMW}}$, além das barras de endereço e dados.

No CI 74LS670 (4X4 REGISTER FILE-TRISTATE) são programados os 4 bits superiores de endereço (A16, A17, A18, A19). Este CI tem 4 registros internos de 4 bits cada, que podem ser lidos ou escritos (tipo memória RAM). Para programá-lo (escrita) seu pino 12 - $\overline{\text{WRITE}}$ é levado a nível L pelo sinal $\overline{\text{WRT DMA PG REG}}$, gerado no circuito da fig. 6-1, e os pinos 12-WA e 13-WA ligados a XA0 e XA1 formam quatro alternativas de endereçamento (REGISTRO 0:XA0=L/XA1=L; REGISTRO 1:XA0=H/XA1=L; REGISTRO 2:XA0=L/XA1=H; REGISTRO 3:XA0=H/XA1=H); os bits existentes nos terminais XD0/XD1/XD2/XD3 serão gravados no registro selecionado. Para leitura durante DMA o sinal $\overline{\text{DMA AEN}}$ estará em nível L, habilitando o pino 11-$\overline{\text{READ}}$. Os pinos 4-RA e 5-RB selecionam qual dos registros será lido, sendo ligados a $\overline{\text{DACK2}}$ e $\overline{\text{DACK3}}$. Portanto, quando o periférico ativar um dos terminais DRQ, pedindo DMA, os quatro bits superiores de seu endereço aparecerão nas saídas Q1/Q2/Q3/Q4 do 74LS670 (note que os $\overline{\text{DACK2}}$ e $\overline{\text{DACK3}}$ desativados em nível H determinam o registro correspondente a $\overline{\text{DACK1}}$:RA=H/RB=H; $\overline{\text{DACK0}}$ refere-se a refresh).

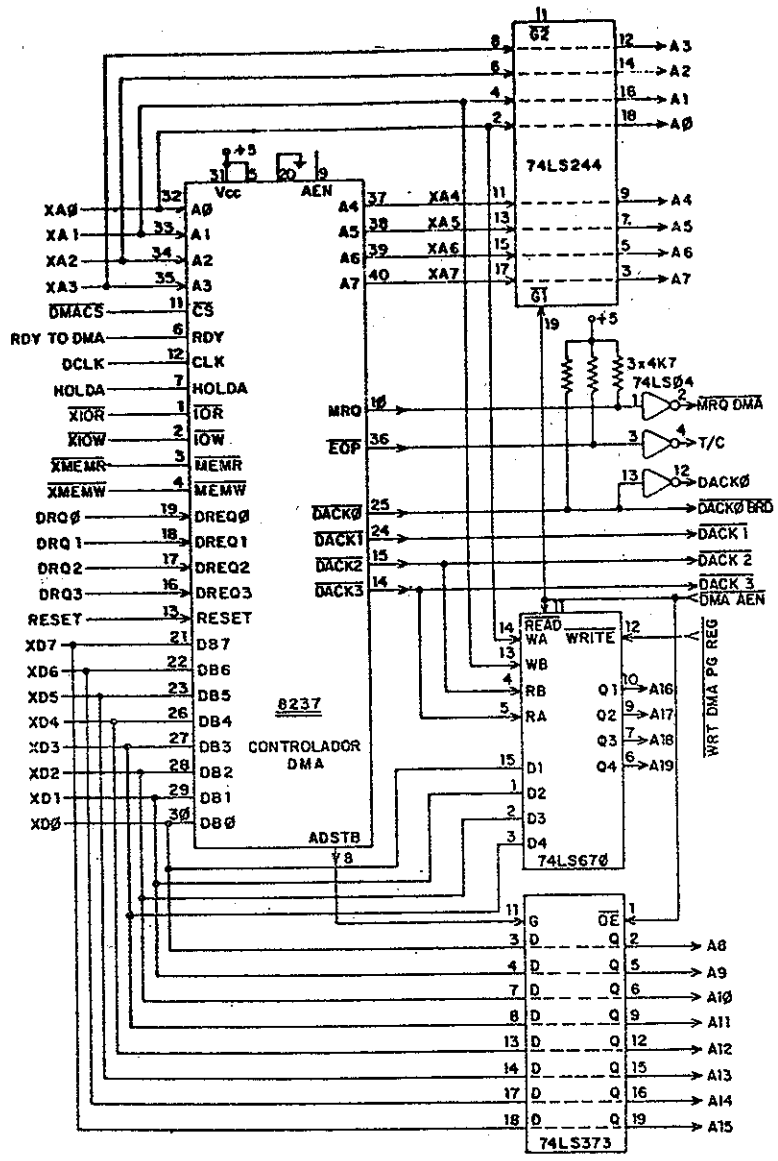
Os terminais de endereço A8-A15 são gerados na barra de dados (multiplexação) do controlador, sendo armazenados no CI 74LS373 (latch octal tristate, reveja fig. 3-2) quando ele leva a nível H o pino 8 - ADSTB

("adress strobe", impulso de endereço). Ao ser levado a nível L (pelo circuito da fig. 6-3) o sinal $\overline{\text{DMA AEN}}$ ("DMA addres enable", habilitação de endereço DMA) coloca na saída do 74LS373 os bits armazenados, formando A8-A15.

O byte inferior de endereço, A0-A7, é gerado no controlador como XA0-XA7, entrando nos respectivos pinos do CI 74LS244 (reveja fig. 4-6) e ficando disponíveis quando $\overline{\text{DMA AEN}}$ estiver em nível L. Note que no circuito ROM (fig. 4-5) o primeiro 74LS244 está em tristate durante a DMA (AEN BRD em nível H nos pinos 1 e 19), de maneira que os endereços serão XA0-XA7 e não A0-A7.

Temos assim formada a barra de endereços A0-A19, disponível tanto na memória quanto nos slots de periféricos.

O controlador é programável para marcar um tempo para cada DMA. Quando ele se esgota é emitido o pulso negativo no pino 36-$\overline{\text{EOP}}$, que após invertido no 74LS04 aparece como T/C ("terminal count", contagem de término), disponível nos slots para desativar o periférico.



6-4 circuito do controlador DMA

CAPÍTULO 7
PERIFÉRICOS

1- Controle de Interrupções

O PIC - PROGRAMMABLE INTERRUPT CONTROLLER - 8259 controla os pedidos de interrupção solicitados pelos periféricos. Ele está localizado na posição O20H-O21H do mapa de IO (reveja fig. 1-4), sendo selecionado pelo $\overline{\text{INTR CS}}$ gerado no circuito da fig. 6-1, e pelos sinais $\overline{\text{XIOR}}$, $\overline{\text{XIOW}}$ e XA0 emitidos pelo microprocessador ou pelo controlador DMA.

O circuito do PIC-8259 é visto na fig. 7-1. Para programá-lo são feitas duas saídas de dados IO para o endereço 021H - o que corresponde a $\overline{\text{INT}}$ e $\overline{\text{XIOW}}$ em nível L e XA0 em nível H. Os dois bytes de dados da programação são recebidos pelo PIC e indicarão o modo de prioridade das interrupções e os bits superiores dos endereços ("páginas") onde estarão as rotinas de interrupção.

Existem 8 terminais de interrupção - IRQ0 a IRQ7 (IRQ0 é dedicado ao timer e IRQ1 ao Keyboard). A prioridade é maior na ordem crescente de IRQØ para IRQ7. Para solicitar uma interrupção do microprocessador o periférico leva a nível H o terminal IRQ ao qual está ligado.

Ao percebê-lo o PIC coloca em nível H seu pino 17-INT que é conectado ao pino de interrupção INTR (ativo nível H) do 8088. Este ao reconhecer a interrupção codifica os pinos $\overline{S0}/\overline{S1}/\overline{S2}$, que decodificados pelo controlador de barras 8288 resultará no sinal $\overline{INTA}$ ("interrupt acknowledgement", reconhecimento de interrupção) no seu pino 14, o qual é ligado ao pino 26-$\overline{INTA}$ do PIC.

Após ser notificado do reconhecimnto da interrupção (pino 26-$\overline{INTA}$ em nível L) o PIC prossegue a operação colocando na barra de dados (D0-D7) três bytes de dados, sucessivamente. O 1º é o byte inicial de uma instrução CALL (chamada de sub-rotina); os outros dois são 16 bits que somados ao registro do 8088 formarão o endereço de 20 bits onde se encontra a rotina daquela interrupção. Neste último passo a página das rotinas é programável, fixando-se o endereço da primeira delas (IRQ0); as demais automaticamente se localizarão 4 posições adiante. Por exemplo, se IRQ0 for programado para o endereço FFF00H, então IRQ1 estará em FFF04H, IRQ2 em FFF08H, ... Note que estes endereços de rotinas de interrupção são posições gravadas na ROM-BIOS.

Enquanto uma interrupção está sendo atendida o microprocessador pode permitir que ocorram interrupções de maior prioridade, endereçando $\overline{XIOW}$ 020H (portanto XA0 em nível L) e enviando ao PIC uma máscara de 1byte que estabelecerá quais terminais IRQ serão reconhecidos, bloqueando-se os demais.

2- Interface de Periféricos

A interface de periféricos é feita pelo CI 8255- PPI ("programmable peripheral interface", interface programável de periféricos), cujo circuito é visto na fig. 7-2.

O 8255 encontra-se nas posições 060H-063H do mapa IO (fig. 1-4) e é habilitado pelo sinal $\overline{PPICS}$ ("PPI chip select", seleção de chip PPI), gerado no circuito da fig. 6-1 e entrando no seu pino 6-$\overline{CS}$. Veja que a decodificação do sinal $\overline{PPICS}$ ocorre exatamente quando é feita uma operação IO nos endereços 060H-063H.

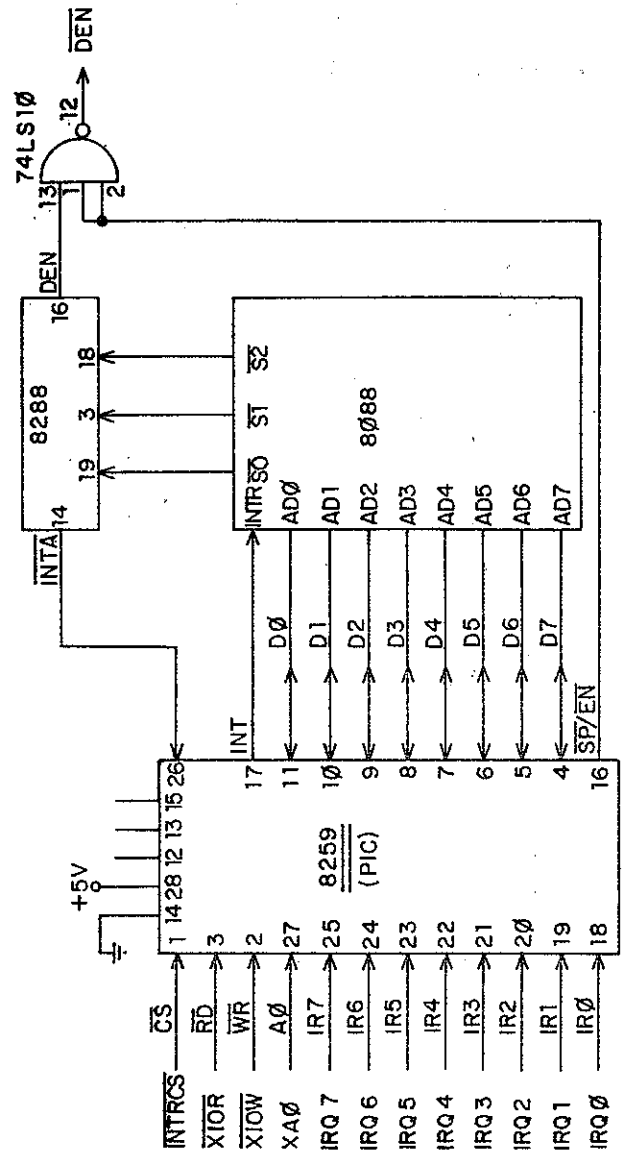
O PPI tem três portas de 1byte cada (PA0-PA7/PB0-PB-7/PC0-PC7) mais um registro de controle, que são endereçados de acordo com os terminais de endereço A0 - pino 9 e A1 - pino 8:

PORTA A: A1=L/A0=L, endereço IO 060H
PORTA B: A1=L/A0=H, endereço IO 061H
PORTA C: A1=H/A0=L, endereço IO 062H
REGISTRO DE CONTROLE: A1=H/A0=H, endereço IO 063H

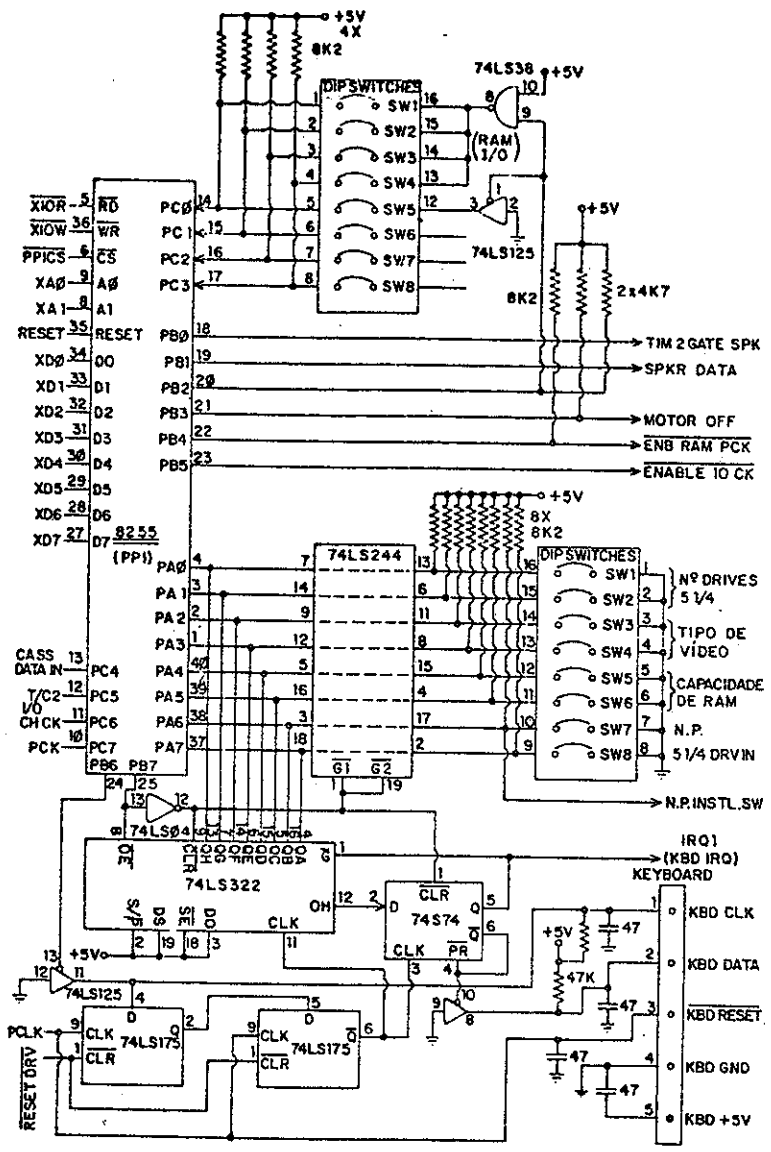
Para programação do PPI a instrução IO - saída de 1 byte da fig. 7-3 é carregada no registro de controle (endereço IO 063H). Se no bit dedicado à porta na instrução for programado nível H ela será porta de entrada, nível L porta de saída. No PC-XT o PPI é programado para ter PA e PC como portas de entrada e PB como porta de saída.

Na porta C o pino 10-PC7 recebe o sinal PCK (checagem de paridade) do circuito RAM; I/O CH CK ("I/O channel check", checagem de canal IO) no pino 11-PC6 é gerado em nível L nos slots quando há erro de paridade em dispositivo IO ou RAM expansão e invertido para nível H no circuito da fig. 6-3; T/C 2 OUT no pino 12-PC5 é gerado no timer para sincronização de periféricos; CASS DATA IN no pino 13-PC4 é a entrada serial de dados do cassete. PC0 a PC3 (pinos 14, 15, 16 e 17) recebem o chaveamento indicativo da memória RAM instalada como expansão nos slots.

Na porta B o pino 18-PB0 gera o sinal TIM 2 GATE SPK usado pelo gate 2 do timer para interromper o alto-falante ("speaker"); o pino 19-PB-1 SPKR DATA é a saída de dados para o alto-falante (gerados no programa e carregados na barra de dados do PPI); o pino 20 é usado para controlar a leitura do chaveamento de RAM expansão; o pino 21-PB3 MOTOR OFF comanda o liga/desliga do motor do cassete; $\overline{ENB\ RAM\ PCK}$ ("enable RAM parity check", habilita checagem de paridade da RAM) no pino 22-PB4 é enviado para o circuito da RAM (fig. 5-3) e quando em nível H desabilita a checagem de paridade ao manter PCK sempre em nível L (ativação constante do clear do flip-flop 74LS74); $\overline{ENABLE\ IO\ CK}$ - pino 24-PC6 é enviado para o circuito da fig. 6-3 para habilitar (nível L) a leitura de erro de paridade nos slots ($\overline{IO\ CH\ CK}$); o pino 24-PB6 quando em nível L desabilita o clock do Keyboard, mantendo-o constantemente em nível L. O pino 25-PB7 é invertido pelo 74LS04 e em nível H habilita a porta PA a ler as chaves de configuração do sistema (G1 e G2 do 74LS244 em nível L), enquanto a interface do Key



7-1 controle de interrupções



7-2 interface de periféricos

board (74LS322)permanece em tristate; com o pino 25-PB7 em nível L os papéis são invertidos , com habilitação da inferface de teclado e tristate das chaves de configuração.

O circuito do Keyboard (localizado em unidade destacável juntamente com as teclas e controlado pelo microprocessador 8048) decodifica o estado do teclado e envia o código correspondente pelo pino 2-KBD DATA do concector J7, o qual entra no pino 17-D1 do CI de interface 74LS322. Se não houver tecla apertada o código é zero e provoca nível L na saída pino 12-DH, que chega ao pino 2-D do flip-flop 74S74 e aparece no pino 5, não ativando o pedido de interrupção IRQ1.

Se há uma tecla apertada o código é diferente de zero, consistindo de 8 bits que vão sendo armazenados sucessivamente (serial para paralelo) nos pinos QA até QH do CI 74LS322. A transferência de dados é sincronizada pelo clock dos dois flip-flop 74LS175, que entra no pino 3 - CLK do flip-flop 74s74 e no pino 11- CLOCK do 74LS322. Os 2 flip-flop do clock são sincronizados pelo sinal PCLK de 2,38MHZ recebido do gerador de clock 8284, podendo ser desabilitado quando o pino 24-PB6 do PPI 8255 fica em nível L.

Com tecla apertada o pino 1-DH do 74LS322 é levado a nível H, que transmitido à saída pino 5-Q do flip-flop 74S74 emite o sinal de interrupção IRQ1, ativo nível H, para o controlador de interrupções PIC - 8259. Este sinal é ainda enviado ao pino 1-$\overline{G}$ do74LS322 desabilitando -o e evitando que haja nova transferência de dados enquanto o byte não for lido. Também em consequência de IRQ1 em nível H seu complemento no flip-flop, pino 6-$\overline{Q}$ fica em nível L, provocando a ativação do pino 4-$\overline{PR}$ do 74S74, o que o mantém setado (Q=nível H e $\overline{Q}$=nível L).

Ao reconhecer a interrupção IRQ1 do Keyboard, executando a respectiva rotina, o microprocessador leva a nível L o pino 25- Pb7 do PPI-8255, o que ativa o pino 8-$\overline{OE}$ ("output enable", habilita saída) do 74LS322, transferindo o byte código da tecla para a porta PA do PPI-8255. A saída do pino PB7 do PPI ainda passa pelo 74LS04, sendo invertido; quando termina a rotina de leitura do código seu nível volta a H e após a inversão aparece como nível L no pino 1-CLR do flip-flop 74S74, levando-o ao reset (Q=L e $\overline{Q}$=H), o que desativa IRQ1 em nível L e repõe o sistema no estado inicial.

3- Timer PI - 8253

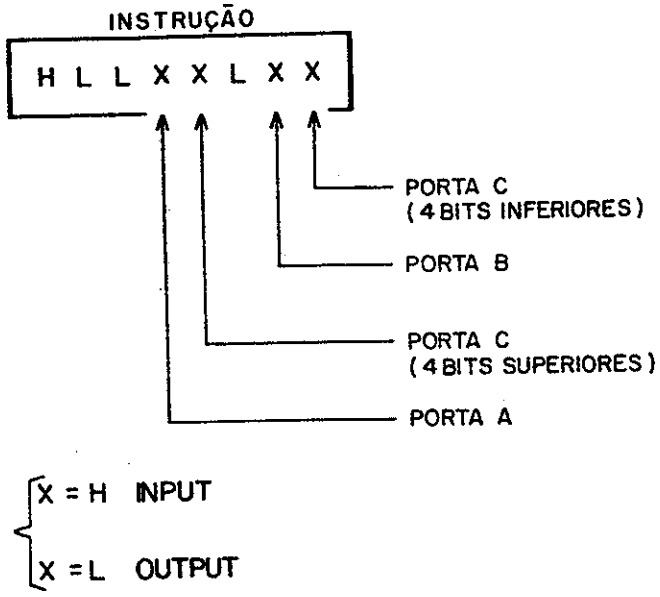
O Circuito do timer é visto na fig. 7-4, baseando-se no CI 8253 -PIT ("programmable interrupt timer", timer de interrupção programável). Ele se localiza nos endereços 040H-043H do mapa IO (reveja fig. 1-4), sendo selecionado no pino 21-$\overline{CS}$ pelo sinal $\overline{T/C\text{-}CS}$ ("timer counter-chip select", seleção de chip - timer contador) gerado no circuito da fig. 6-1. Note que a decodificação de $\overline{T/C\text{-}CS}$ no 74LS138 ocorre no endereçamento de 040H-043H.

O timer dispõe de três registros internos, cada um correspondendo às três saídas - OUT0 -pino 10, OUT1-pino 13, OUT2-pino17, além de um registro de controle. Eles são selecionados pelos terminais XA0-pino19 eXA1-pino 20, formando os endereços:

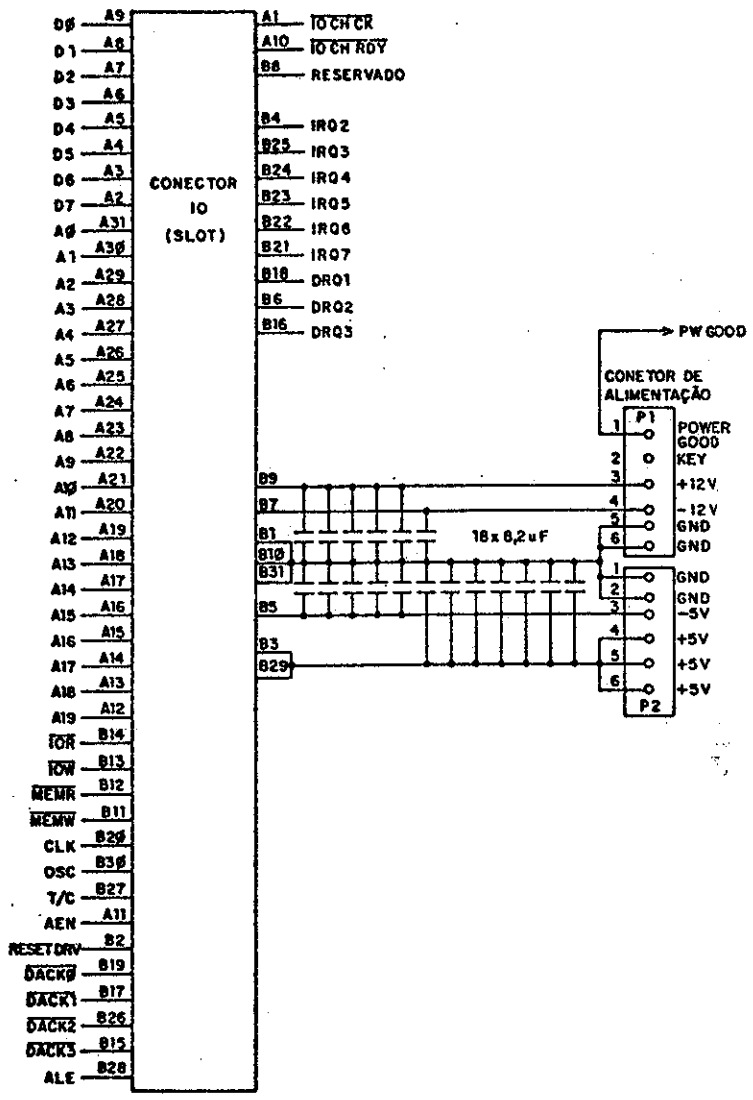
REGISTRO OUT 0: A0=L, A1=L, endereço 040H
REGISTRO/OUT 1: A0=H, A1=L, endereço 041H
REGISTRO/OUT 2: A0=L, A1=H, endereço 042H
REGISTRO CONTROLE: A0=H, A1=H, endereço 043H

Para programá-lo é executada uma instrução IO de saída ($\overline{XIOW}$) na posição do registro decontrole(043H), enviando 1byte que seleciona o registro, e em seguida 2bytes indicando a contagem. Esta é decrescente e sincronizada pelo clock de 2,38MHZ do sinal PCLK (do gerador de clock 8284), através da saída do flip-flop 74LS175 ligada aos pinos 9-CLK0, 15-CLK1, 18-CLK2. A contagem se inicia quando o gate do registro é ativado em nível H, sendo que GATE0 -pino 11 e GATE1-pino 14 são mantidos permanentemente ativados, enquanto GATE 2 é controlado pelo sinal TIM 2 GATE SPK gerado no PPI-8255. Ao fim da contagem o registro está zerado e é emitido um sinal de interrupção na saída correspondente (OUT0, OUT1, OUT2). O estado de uma contagem em determinado momento também pode ser lido por uma instrução $\overline{IOR}$.

A interrupção OUT0 é enviada para PIC-8259 como IRQ0. A interrupção OUT 1 origina um pedido periódico de DMA refresh DRQØ através do flip-flop 74LS74. Quando a interrupção OUT 2 está desativada em nível L a saída da NAND 74LS38 também está desativada em nível H. Mas quando OUT 2 é ativada em nível H a NAND apresentará na sua saída o complemento



7-3 instrução de programação do PPI



7-4 conector de slot

do sinal SPKR DATA gerado no PPI 8255, que poderá ser um som programado (digitalmente). OUT 2 ainda fica disponível para o PPI 8255 e também é usada para gravação do cassete.

O sinal MOTOR OFF recebido do PPI-8255 atravessa a NAND 74LS38 e aparece na saída 1Y do CI 75477, controlando o relê que liga/desliga o motor do cassete. A entrada de dados deste é feita pelo pino 4-DATA IN do conector J6, atravessando o relê nos pinos 8 e 4 e entrando no pino 3 do amplificador operacional 1741, cuja saída pino 6- CASS DATA IN é enviada para o PPI 8255. A saída de dados para o cassete é derivada de OUT2 após atravessar a NAND 74LS38, saindo pelo pino 5 do conector J6.

4- Slots de expansão

Os conectores dos slots de expansão são vistos na fig. 7-4. Eles têm 62 terminais, 31 em cada face (B01-B31/A01-A31), recebendo os sinais assinalados, todos já discutidos neste livro e compatíveis TTL.

Receita de Paz

Ora com mais confiança em Deus.
Trabalha um tanto mais.
Serve com mais alegria.
Age mais caridosamente.
Desculpa as faltas alheias com mais compaixão pelos ofensores.
Usa mais calma, particularmente nas horas difíceis.
Tolera, com mais paciência, as situações desagradáveis.
Coloca mais gentileza no trato pessoal.
Emprega mais serenidade na travessia de qualquer provação.
E, assim, com a bênção de Deus, encontrarás mais segurança e paz, nas estradas do tempo, garantindo-te o êxito preciso nos deveres de cada dia, a caminho da Vida Maior.

EMMANUEL

(Página recebida pelo médium FRANCISCO CÂNDIDO XAVIER.)